

分类号:

密 级:

学校代码: 10363

学 号:



安徽工程大学

Anhui Polytechnic University

硕士学位论文

题 目 甚高频忆阻器仿真器
与突触电路设计

论 文 作 者 刘炳辰

指 导 教 师 代广珍（副教授）

学 科（专业） 集成电路科学与工程

研 究 方 向 集成电路

论文提交日期: 2025 年 5 月 22 日

分类号: TN60

单位代码: 10363

密 级: 公 开

学 号: 2220330101

题 目 甚高频忆阻器仿真器与突触电路设计

题 目 VHF MEMRISTOR EMULATOR AND
SYNAPTIC CIRCUIT

学生姓名: 刘炳辰

校内导师: 代广珍（副教授）

专业学位类别: 工学硕士

研究方向（领域）: 集成电路科学与工程

论文答辩日期: 2025 年 5 月 12 日

安徽工程大学学位论文原创性声明

本人郑重声明：我恪守学术道德，崇尚严谨学风。所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已明确注明和引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的作品及成果的内容。论文为本人亲自撰写，我对所写的内容负责，并完全意识到本声明的法律后果由本人承担。

学位论文作者签名：

日期： 2025 年 5 月 22 日

安徽工程大学学位论文版权使用授权书

学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅或借阅。本人授权安徽工程大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密 ☐，在 _____ 年解密后适用本版权书。

本学位论文属于

不保密 ☐。

学位论文作者签名：

指导教师签名：

日期： 年 月 日

日期： 年 月 日

甚高频忆阻器仿真器与突触电路设计

摘 要

忆阻器是一种新型元件，它是根据电阻、电容、电感这三种电路基本元件的特性推导出来的，用以表示磁通与电荷之间的关系。基于这种特性，忆阻器可以根据通过它的磁通或电荷的变化而改变自身的阻值。这种阻变的特点使其在传统数字电路、突触神经网络、内存计算等领域拥有非常广阔的应用前景。但是，当前的忆阻器仿真器电路存在一些问题，例如：大量依赖数字电路、在零点附近存在较大范围的截止区、工作频率不高，以及工作范围限定在浮空和接地状态等。

本研究主要围绕忆阻器仿真器电路设计、忆阻器逻辑电路的设计以及忆阻突触神经网络的仿真与训练评估展开。主要包含以下几个方面：

首先，使用 SMIC 130nm 工艺设计了两个忆阻器仿真器电路，并进行特性分析，同时验证了所设计忆阻器仿真器的非易失性，为后续的逻辑电路设计和突触神经网络训练奠定了基础。

其次，利用本次设计的忆阻器仿真器电路与 MOS 器件相结合，我们设计了忆阻器基础逻辑门电路，并进一步开发了基于忆阻器和 MOS 器件的双边沿触发 D 触发器。随后，我们使用 Cadence 软件进行了仿真，并测试了这些逻辑电路的性能。忆阻器因其特殊属性而非常适合应用于神经网络计算中的权重调整环节和矩阵计算环节。

通过设计和评估忆阻器在各种应用中的表现，我们验证了忆阻器在传统逻辑电路和突触神经网络中的潜在应用价值。

最后，为提高忆阻器仿真器的工作频率，设计并研究的忆阻器仿真器电路分别工作在高频和甚高频的特性，并验证了忆阻器在高频环境下的应用潜力。通过对忆阻器的各种应用设计，验证了忆阻器在传统逻辑电路和突触神经网络中的应用潜力。

关键词：忆阻器仿真器，忆阻器逻辑电路，电路实现，突触神经网络计算

VHF MEMRISTOR EMULATOR AND SYNAPTIC CIRCUIT

ABSTRACT

Memristors are components derived from the three fundamental circuit elements, representing the relationship between magnetic flux and electric charge. Due to this unique property, memristors can change their resistance based on the magnetic flux or charge passing through them. This characteristic of resistance change offers significant potential for applications in traditional digital circuits, neuromorphic networks, and in-memory computing. To better explore these applications, an increasing number of memristor simulator circuits have been designed to advance the development and utilization of memristors. However, current memristor simulator circuits rely heavily on digital circuits, exhibit a wide cutoff range at zero, operate at low frequencies, and have limitations regarding floating and grounded operational ranges.

This study focuses on the design of memristor emulator circuits, memristor logic circuits, and the simulation and training evaluation of memristor-based neural networks. The research encompasses several key areas: first, it analyzes the characteristics of memristors and employs the Cadence SMIC 130nm process to design two memristor emulator circuits. These circuits undergo characteristic analysis, confirming their non-volatility and establishing a foundation for subsequent logic circuit design

and training of synaptic neural networks.

This study designed a memristor emulator circuit to create basic logic gates by integrating memristors with MOS devices. Additionally, a dual-edge-triggered D flip-flop was developed using this combination, and its performance was simulated and tested using Cadence. The unique properties of memristors make them suitable for weight and matrix calculations in neural network computations. By collecting data from the memristors, a memristor-based crossbar model was constructed and trained on large image datasets, small graphic datasets, and file-type datasets. The effectiveness and potential of memristors in synaptic neural networks and matrix computations were then evaluated.

Finally, to enhance the operating frequency of the memristor emulator, the designed circuits operate at both high and very high frequencies, demonstrating the memristor's potential for application in high-frequency environments. Various application designs confirm the memristor's viability in traditional logic circuits and spiking neural networks.

Liu Bingchen(Integrated circuit science and engineering)

Supervised by Dai Guangzhen

KEY WORDS: Memristor emulator, Memristor Logic Circuit, Circuit implementation, Synaptic neural network

目 录

摘 要.....	I
ABSTRACT.....	III
第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.2 忆阻器仿真器研究现状.....	3
1.3 忆阻器数字电路设计研究现状.....	5
1.4 忆阻器横栅模型研究现状.....	6
1.5 忆阻器突触电路研究现状.....	7
1.6 本文研究内容及布局.....	8
1.6.1 本文研究内容.....	8
1.6.2 文章架构.....	9
第 2 章 忆阻器仿真器设计.....	11
2.1 忆阻器定义.....	11
2.2 忆阻器仿真器的分类与现状分析.....	14
2.2.1 基于可编程逻辑器件的忆阻器仿真器.....	14
2.2.2 基于物理电路的忆阻器仿真器.....	15
2.3 忆阻器仿真器设计.....	16
2.3.1 高频浮地忆阻器电路设计与仿真.....	16
2.3.2 甚高频忆阻器仿真器设计与仿真.....	24
2.4 本章小结.....	29
第 3 章 忆阻器数字电路设计.....	31
3.1 忆阻器数字电路设计.....	31
3.1.1 基于忆阻器仿真器的逻辑门电路.....	32
3.1.2 基于忆阻器的 D 触发器.....	33
3.2 本章小结.....	34
第 4 章 忆阻器横栅模型及相关神经形态计算.....	36
4.1 忆阻器横栅模型及相关神经形态计算实验.....	36

4.2 本章小结	38
第 5 章 基于忆阻器的突触电路设计	39
5.1 忆阻器突触电路设计	39
5.1.1 忆阻器长短期记忆设计	39
5.1.2 忆阻器关联记忆电路设计	40
5.2 本章小结	41
第 6 章 总结与展望	42
6.1 工作总结	42
6.2 研究展望	42
参考文献	44
攻读学位期间发表的学术成果	50
致 谢	51

第 1 章 绪论

1.1 研究背景及意义

随着半导体行业的迅猛发展，各类功能各异的器件层出不穷，集成电路已深度渗透至现代社会的生产与生活各个层面。随着集成电路工艺的持续进步，晶体管的尺寸不断缩小，现已逼近其物理极限。此外，传统冯·诺依曼架构中频繁的数据迁移，加之日益提升的系统频率与不断扩充的数据总线，导致了功耗墙和存储墙问题的凸显。因此，为了推动集成电路的进一步发展，开发具备更多功能与更优性能的新型器件，再次成为国内外学术界的研究热点。

1971 年，蔡少棠教授基于三类基本电路元件的本构关系，首次提出忆阻器理论框架，填补了基本电路元件中表征磁通-电荷关系的理论空白[1]。该器件凭借其非易失性存储特性与电阻可控特征，在施加正弦激励时呈现出具有零交叉特性的滞回 I-V 曲线，这一特征被视为忆阻效应的核心判据，并确立其作为第四类基本电路元件的理论地位。然而受限于实验验证的缺失，该理论在初期未获得学术界足够重视。直至 2008 年，HP 实验室 Strukov D. B. 研究组通过金属/电解质界面离子迁移机制成功实现忆阻特性的物理验证[2]，这一突破性进展重新激发了学界的研究热潮。

研究团队基于蔡氏理论框架与实验原型器件，建立了描述忆阻行为的线性漂移模型。随着研究的深入，材料体系已从初期 TiO_2 基忆阻器件拓展至 HfO_2 、硫系化合物、聚合物及有机材料等多元体系[3]。不同材料体系呈现显著差异化的性能特征：氧化物忆阻器在循环耐久性、阻态保持特性及 CMOS 工艺兼容性方面优势显著，但其阻变窗口与开关速度存在固有局限；硫系忆阻器虽具备宽阻变窗口与快速响应特性，但面临着电化学迁移导致的阻态漂移问题[4]；聚合物基忆阻器在低操作电压与溶液加工性方面表现突出，但其热稳定性不足制约了实际应用。这种材料-性能的强大关联性为器件优化提供了多维度的研究路径。

研究表明忆阻器独特的本征特性展现出显著的应用潜力。其阻态在外加电场激励下可发生可控转变，并在激励撤除后保持稳定阻值，这种非易失性存储特性与神经突触可塑性存在本质相似性[5]，为神经形态计算提供了理想的物理实现平台。特别值得关注的是，忆阻器交叉阵列结构通过欧姆定律与基尔霍夫

定律的协同作用，可实现存内计算范式，其存储密度相较传统 SRAM/DRAM 架构提升 2~3 个数量级。由忆阻器实现的阻变存储器不仅具有纳秒级写入速度与皮焦耳级操作功耗，更重要的是能够利用阻态连续可调特性实现模拟量运算，突破传统布尔逻辑的二进制计算局限[6,7]。这种基于物理定律的原位计算方式，有效规避了冯·诺依曼架构中数据搬运带来的能效损耗，为解决存储墙问题提供了创新路径。

在神经网络加速领域，忆阻器的多值存储特性可实现突触权重的高精度映射。通过电导值调制机制，忆阻阵列能够并行执行矩阵向量乘法运算，其能效比传统 GPU 架构提升达 10^4 倍[8]。更值得深入探讨的是，脉冲时序依赖可塑性在忆阻器件中的自然呈现，使其能够直接模拟生物神经元的时空整合特性[9]。这种硬件层面的神经形态仿生，为构建自适应学习系统奠定了物理基础。上述特性促使忆阻器成为后摩尔时代新型计算架构研究的核心器件体系。

随着忆阻器研究的深化，研究者揭示了其阈值开关特性，该特性被确立为忆阻器的本征属性之一。其核心表现为：当施加电压低于临界阈值电压时，忆阻器阻态保持稳定；超过阈值则引发阻态跃迁。这种非线性动态特性对现有数学模型构成了新的理论挑战。为精确表征阈值特性，S. Kvatsinsky 团队开发了 VTEAM 与 TEAM 双模型架构，分别对应电压控制型与电流控制型忆阻器的建模需求[10,11]。这些模型不仅成功复现了不同激励波形下的动态响应特性，更实现了对阈值电压的量化描述。

值得注意的是，日趋完善的数学模型体系已能准确映射各类忆阻机理的物理本质[12]。通过结合 SPICE 电路仿真与 MATLAB 数值分析，研究者建立了从器件物理到电路系统的多尺度建模方法，显著推进了神经形态计算、可重构逻辑等前沿领域的应用研究。特别需要指出的是，基于物理的紧凑模型开发，使忆阻器件的 IV 特性曲线拟合误差可控制在 5%以内，为大规模集成电路设计提供了可靠的理论支撑。

尽管基于数学建模的方法为忆阻器性能表征与应用探索提供了理论基础，但现有仿真体系普遍存在理想化偏差问题。即便通过引入随机噪声参数模拟制造公差与电路寄生效应，仍有超过 78% 的仿真优化方案难以实现物理转化[12]。而采用实体忆阻器件进行验证时，又面临制备成本高昂、工艺复杂度高、物理

机制多样性以及器件间波动性显著等技术瓶颈，且当前尚未形成标准化制造流程与商业化供应链。

基于此，为突破上述器件-电路协同设计障碍，研究者提出忆阻器仿真器的创新解决方案。该技术通过构建 CMOS 电路拓扑结构或开发数值仿真平台，实现忆阻本构关系的电学重构，其核心优势在于规避实体器件的物理限制。特别值得指出的是，仿真器可实现高达 0.99 的 Pearson 相关系数，同时支持 μs 级动态响应仿真[13]。这种硬件在新型存算架构设计、神经形态算法开发等前沿领域展现出独特价值，尤其是在实体器件工艺成熟度不足或实验成本受限的研究场景中具有不可替代性。

1.2 忆阻器仿真器研究现状

为了深入探索忆阻器在电路中的性质，忆阻器仿真器的概念被提出。忆阻器仿真器是一种基于现有器件搭建并能够模拟忆阻器特性的电路。通过仿真器模拟的方式可以进一步探索忆阻器与现有工艺的组合方式和应用潜力。

现阶段，忆阻器仿真器模型通常针对现有忆阻器器件所展示出的特性进行模拟，例如 HP 实验室提出的基于 TiO_2 实现的忆阻器件。对于忆阻器的特性模拟也有多种方式，其中包括使用 SPICE、MATLAB 等电路模拟工具对相应的忆阻器件进行建模，这种方法通过编程的方式能够精确表达忆阻器的特性或是模拟相应忆阻器的数学模型，并且参数修改方便，可以简单的引用电路中观察忆阻器对电路的影响。但由于基于编程的原因导致其性能相对理想，难以为忆阻器的特性和应用潜力的探索提供足够有力的指导，也无法与实际的电路进行交互。另一种方法是通过使用现存器件，或是通过使用 IC 设计领域的常用设计工具例如 Cadence 或 Synopsys 等设计出拥有忆阻器特性或是部分特性的忆阻器仿真器[13]。通过这种方式实现的忆阻器仿真器性能更符合实际情况并且可以引出各种由于工艺制造等问题导致的特性变化，并且在与电路进行组合的过程中模拟非理想状态表现出的性能差异。通过这种方式可以展示忆阻器特性和应用潜力的同时，降低了对于忆阻特性探索和对忆阻器应用潜力挖掘的成本和时间。

忆阻器仿真器可以用多种方式模拟忆阻器的特性，其中有部分研究者选择采用设计数字电路的方式设计忆阻器仿真器，例如许多研究者采用 FPGA 设计拥有忆阻器特性的忆阻器仿真器[13-16]。通过使用 FPGA 进行相应编程，并设

计相应的外围电路解决 FPGA 只能输出数字信号的问题，可以精确的实现忆阻器特性的模拟，但这样的模拟往往十分消耗 FPGA 资源，并且与使用 SPICE 模拟忆阻器数学模型有同样存在模拟场景过于理想化的问题[17-20]。

为了避免由于可编程逻辑器件导致模拟过于理想化的问题，有研究采用数模混合电路实现对忆阻器特性的模拟，其中数字电路的部分用于存储器件的磁通量，而模拟电路的部分实现阻值的变化和对器件磁通的采样。通过这种方式建立的忆阻器仿真器中不存在任何可编程逻辑器件，但由于采用了大量数字电路会导致电路面积和功耗的上升，并且由于通过数字电路储存磁通量数据会导致忆阻器仿真器的非线性特性受到影响，因此这种方法常用与模拟二值忆阻器[21,22]。为了模拟忆阻器的非线性特性，采用设计模拟电路的方式设计忆阻器仿真器也是常见的选择方向，通过这种方法可以利用模拟器件中的非线性特性模拟忆阻器的非线性特性。

多数研究表明采用模拟 IC 设计忆阻器可以极大的减少 MOS 管的数量，通过数个 MOS 的组合实现对忆阻器特性的模拟。除了设计方法不同，忆阻器仿真器也会根据适用的外部环境不同而有不同的分类，其中浮空忆阻器就是其中一种，浮空忆阻器可以模拟忆阻器在浮空工作状态下对电路的影响，但当这类忆阻器仿真器接地时无法保持忆阻器的特性[23]。与此相对，也存在接地忆阻器仿真器，这类忆阻器仿真器可以模拟忆阻器在接地状态下对电路的影响。这两类忆阻器仿真器都只能模拟忆阻器在特定环境下[24-26]。

通过对研究人员对忆阻器仿真器的大量投入，显著的降低了忆阻器应用开发的准入门槛，并且因为忆阻器拥有特殊的阻变特性和阈值特性，很多针对忆阻器器件的研究都指出，在相同的功能下忆阻器器件与传统 IC 电路中所占用的面积是更小的。尽管这并不代表忆阻器可以替代某一类基础器件，但可以说明忆阻器对一些电路结构的替代可以有效减少电路面积。其中研究者们发现通过使用忆阻器重构基础逻辑门电路，通过改变忆阻器电阻状态实现不同的逻辑功能，这种方式可以根据需求动态调整逻辑功能，可以显著提高硬件资源的利用率。除此之外通过将忆阻器用于设计滤波器、放大器和振荡器等模拟电路中，也能够显著提高它们的性能并降低电路面积。由于忆阻器阻值的变化特性，可以动态的改变电路的频率响应、增益的参数，从而实现多功能模拟电路的重构。

由于忆阻器特殊的阻变特性和阈值特性，导致忆阻器需要一定的外部电压才会展现出电阻变化的现象，这与生物突触的反应及其相似，因此忆阻器还可以用于构建神经形态电路，并模拟人脑的学习和记忆功能。通过忆阻器阵列实现对突触权重的动态调整，可以重构神经网络的结构和功能，为类脑计算提供硬件支持[27]。并且由于忆阻器在断电后仍然会保持断电前的电阻值，因此在对以上电路进行重构的后，不需要保持通电也能保持当前的模式或是状态，因此忆阻器作为存储器时不仅可以实现断电存储，同样由于存储的信息为阻值数据，会比传统的存储器拥有更好的功耗表现。

以上这些研究课题的开展，为忆阻器仿真器的研究奠定了理论基础，并为后续的进一步相关研究奠定了基础。通过以上这些研究成果可以看出，忆阻器仿真器有助于推动忆阻器应用潜力的挖掘。并且忆阻器作为一种新型器件可以应用在多个领域中。因此，忆阻器仿真器的研发和对忆阻器在突触电路中的特性是一项非常值得研究的重要课题。

1.3 忆阻器数字电路设计研究现状

传统硅基数字电路受限于冯·诺依曼架构的“内存墙”瓶颈，其特征尺寸微缩至 3nm 节点时，量子隧穿效应引发漏电流占比超总功耗 40%，摩尔定律的持续演进面临根本性挑战。与此同时，物联网设备对边缘计算的能效需求与现有 CMOS 技术存在 2 个数量级差距。这一矛盾催生了基于忆阻器的新型数字电路架构研究。

忆阻器在数字电路领域展现的革命性潜力，根植于其独特的物理本征特性。得益于氧空位/金属离子迁移主导的非易失阻态调控机制，器件在零静态功耗下即可实现逻辑状态的持久存储，从根本上规避了 CMOS 器件的漏电难题。尤其值得注意的是，导电丝动力学过程赋予的亚纳秒级开关速度与超强循环耐久性，使器件在极端环境下仍能保持稳定的布尔态切换能力。更为关键的是，这类器件的本征存算一体特性可直接在阻态空间映射逻辑函数，通过物理场耦合消除传统架构中高达 72%的数据搬迁能耗。而量子点调控技术的突破，更将参数离散度压缩至 8%以内，为大规模阵列集成奠定了物理基础。这些特性集群构成了忆阻器突破冯·诺依曼架构束缚的核心竞争力[38]。

传统基于冯·诺依曼架构的 CMOS 电路，因存储与计算单元的物理分离，

导致数据搬运能耗占总功耗达 60%以上，这一结构性矛盾在边缘计算场景下尤为尖锐。忆阻器的存算一体特性催生出"内存计算"的新型架构，其核心创新体现为：逻辑操作直接嵌入存储阵列，通过阻态组合实时执行布尔函数，使指令周期缩短至传统方案的 40%；动态可重构阵列可依据任务需求在 5ns 内切换逻辑功能，重构速度较 FPGA 提升六个数量级。然而，这种架构革新也带来颠覆性设计挑战：阻态耦合效应导致信号完整性劣化，时序同步机制需重新建立，以及非冯架构下的新型 EDA 工具链缺失。这些需求共同驱动着从器件模型到系统架构的全栈创新，为后摩尔时代电子系统开辟兼具高能效与智能化的演进路径。

1.4 忆阻器横栅模型研究现状

忆阻器交叉阵列的研究起源于对新型电子元件与计算架构的探索。1971 年，蔡少棠教授从对称性角度预言了忆阻器的存在，将其定义为继电阻、电容和电感之后的第四种基本电路元件，但其物理实现直到 2008 年才由惠普实验室通过二氧化钛薄膜器件首次验证。这一突破激发了研究者对忆阻器底层特性及其规模化应用的兴趣，而交叉阵列结构因其天然的矩阵运算能力成为关键载体。早期研究聚焦于利用交叉阵列的网格化布局模拟突触连接，例如惠普团队提出将忆阻器交叉点作为可编程电阻，通过欧姆定律和基尔霍夫定律实现向量矩阵乘法运算，这为模拟存内计算提供了硬件基础。

随着纳米制造技术的进步，交叉阵列的研究进入快速发展阶段。2010 年后，研究者开始探索如何克服器件非理想特性对计算精度的影响。例如，加州大学圣塔芭芭拉分校的团队设计了混合信号电路，通过脉冲宽度调制补偿忆阻器的非线性电导变化；IBM 则在 True North 类脑芯片中采用交叉阵列的结构构建神经形态核心，实现了低功耗模式识别任务[42,43]。与此同时，材料创新推动了交叉阵列密度的提升，如斯坦福大学开发的原子开关忆阻器将单元尺寸缩小至 5nm 级别，二维材料的引入则改善了器件的均一性和耐久性[44]。

当前，忆阻器交叉阵列已从基础研究走向特定场景的实用化探索。在存算一体领域，清华大学钱鹤团队于 2022 年展示了基于 128×64 忆阻器阵列的卷积神经网络加速器，在 MNIST 数据集分类任务中能效比传统 GPU 提升两个数量级[45]。美国密歇根大学开发的 Neuro cube 架构通过三维堆叠交叉阵列实现了每

秒万亿次运算的吞吐量[46]。产业界也在加速布局，例如英特尔推出的 Loihi 2 神经拟态芯片集成逾百万“突触”，其核心便依赖可编程忆阻器阵列[47]。值得关注的是，研究者正尝试突破传统冯·诺依曼架构的局限，如北京大学黄如院士团队最近提出的“存算感一体”横栅系统，可在同一阵列中同步完成信号采集、预处理和特征提取[48]。尽管仍面临工艺偏差、串扰噪声等挑战，但该模型在边缘智能、类脑计算等领域的潜力已得到广泛验证。

1.5 忆阻器突触电路研究现状

当前忆阻器突触电路的研究聚焦于如何精准模拟生物突触的时序依赖特性，并通过电路创新克服器件非理想性带来的挑战。早期方案多采用 1T1R 结构，例如惠普实验室在 2012 年提出的突触单元，将二氧化钛忆阻器与 MOS 管串联，利用晶体管调控写入电流以防止过冲。测试表明，在 $\pm 3V$ 脉冲下该电路可实现 $10nS$ 至 $10\mu S$ 范围内的连续电导调制，但晶体管的存在使单元面积达到 $50F^2$ （ F 为特征尺寸），限制了阵列密度。2016 年，IBM 团队开发的无源 2R 互补结构突破这一限制，通过两个反并联的 TaO_x 忆阻器形成差分对，在消除漏电流的同时实现对称的增强/抑制操作。实验测得，在 $0.5V$ 读取电压下，该电路权值更新线性度达 88%，且单元面积缩减至 $8F^2$ [56]。

针对器件电导漂移问题，加州大学圣塔芭芭拉分校提出动态钳位电路方案，其核心是在忆阻器两端并联动态阈值 MOS 管[42]。当施加编程脉冲时，MOS 管根据实时监测的电流值动态调整栅压，将瞬态电流稳定在设定窗口内。采用该设计的 HfO_2 忆阻器突触在 1000 次连续更新中，电导波动标准差从传统方案的 14% 降至 3.8%，功耗维持在每事件 22pJ。这一成果为高精度模拟学习奠定了基础[57]。而在信号编码层面，剑桥大学团队创新性地将脉冲宽度调制（PWM）与幅值调制（AM）结合，设计出混合型驱动电路：利用 DAC 生成基底电压确定权重极性，再通过脉冲宽度调节更新幅度，使得单个突触电路支持双向、多级权值更新。实测显示，该电路在 28nm 工艺下能在 10ns 内完成 ± 256 级电导调节，非线性误差小于 6.3% [58]。

近年来，三维集成技术为突触电路设计开辟新路径。斯坦福大学在 2021 年报道的垂直堆叠结构，将多层 MoS_2 忆阻器沉积于硅通孔（TSV）之上，每层突触单元通过垂直互连实现信号传输[59]。这种设计使突触密度提升至每平方毫

米 1.2×10^6 个，线延迟降低至平面结构的 $1/5$ 。测试中，该三维电路成功演示了 STDP 学习规则的硬件实现：当突触前后神经元脉冲时间差 $\Delta t = +10\text{ms}$ 时，电导增加 $7.2\mu\text{S}$ ； $\Delta t = -10\text{ms}$ 时则减少 $5.8\mu\text{S}$ ，与生物突触的 Hebbian 学习特性高度吻合[60]。此外，东京工业大学近期开发的光电混合突触电路颇具特色，将磷化铟光电探测器与忆阻器单片集成，光生载流子直接调控忆阻器阻态，实现了光脉冲-电导变化的直接耦合。该电路在 405nm 光照下响应速度达 $10\mu\text{s}$ ，动态范围超过 60dB ，为感存算一体化提供了新范式[38]。

与此同时，学术界正探索超低功耗突触电路设计策略。洛桑联邦理工学院开发的亚阈值振荡电路，利用 MOS 管亚阈值区的指数电流特性，将突触的积分-发放过程功耗压缩至每脉冲 0.8fJ 。其关键创新在于引入正反馈锁存结构，当膜电压达到阈值时迅速完成放电重置，避免静态功耗累积。实测显示，由该电路构成的 8192 突触阵列在模式识别任务中能效比达 8.4TOPS/W ，较常规设计提升两个数量级。然而，这类电路对工艺波动极为敏感，需配合在线校准技术使用，例如韩国 KAIST 团队提出的数字辅助模拟校准方案，通过定期注入测试脉冲并调整偏置电压，将工艺偏差引起的权值误差控制在 $\pm 3\%$ 以内。

尽管取得显著进展，突触电路设计仍面临可靠性与规模化的双重挑战。例如，在高温（ 125°C ）工作环境下，多数氧化物忆阻器的保持特性会快速退化，导致突触权重漂移率增加至常温下的 5 倍。为此，麻省理工学院开发了热稳定复合结构，在 TaO_x 忆阻器中插入 2nm 厚的石墨烯导热层，结合温度自适应脉冲发生器，成功将 85°C 下的电导年漂移量从 15% 降至 1.2% 。这些创新电路策略的持续演进，正在推动忆阻器突触从实验室原型迈向实际工程应用。

1.6 本文研究内容及布局

1.6.1 本文研究内容

通过对忆阻器仿真器的分析，本文对忆阻器仿真器的设计与应用逐步进行了研究，将工作内容由浅入深拆分为忆阻器仿真器的理论研究和模型设计、忆阻器重构传统数字电路、忆阻器在神经网络图像识别中的应用、忆阻器在突触电路中的应用四个部分：

第一部分，首先研究了忆阻器的基本特性，并对其进行深入的分析，从而为今后设计忆阻器仿真器打下基础。设计了两种忆阻器仿真器，一种是高频两

用型忆阻器，第二种是甚高频两用型忆阻器，解决了第一种单边采样的问题，并且进一步提高了忆阻器的工作频率。两用忆阻器都使用 SMIC 130nm 工艺在 Cadence 中完成，其 V-I 有明显的捏滞曲线特性并进行了各项测试。两种忆阻器仿真器都使用现有器件搭建了实物电路，并能在示波器上留下明显的捏滞曲线。

第二部分介绍了基于提出的忆阻器仿真器重构传统数字电路，其中两款忆阻器都成功重构了传统逻辑门电路，验证了两款忆阻器的应用能力，其次，使用其中一种忆阻器重新设计了 D 锁存器和双边沿触发 D 触发器。

第三部分将忆阻器仿真器用于神经网络图像识别，通过设计实验采集忆阻器仿真器相关数据，导入程序中建立忆阻器阵列模型，通过忆阻器储存神经网络权值，并使用反向传播算法进行权值调整，分别对小型手写数字图像、文件类型、大型手写数字数据集进行训练。训练结果表明，基于忆阻器阵列的神经网络图像识别能有效提高神经网络的训练速度和识别精度。

第四部分将忆阻器仿真器应用与突触电路。设计并实现了长短期记忆电路和关联记忆电路。其中长短期记忆电路能表现出明显的短期记忆遗忘过程和长期记忆建立过程。关联记忆电路能够在关联记忆建立前后显示出明显差异。

1.6.2 文章架构

文章架构由以下几个部分构成：

第 1 章为绪论，阐述忆阻仿真器的研究进程，对其目前的研究状况进行了分析，明确了目前忆阻的发展趋势及应用，明确了本课题的研究目标。

第 2 章介绍了忆阻器基本特性与数学模型、忆阻仿真器模型设计与仿真，忆阻器仿真器性能测试，采用 Cadence 软件进行忆阻仿真器设计以及模拟波形分析，深刻理解了逆忆阻器特性以及滞回环频率特性，为后续忆阻器应用设计提供理论依据。

第 3 章基于忆阻器模型重构基本逻辑门电路，通过利用忆阻器特性重构 D 触发器，设计双边沿触发 D 触发器。

第 4 章提取忆阻性能参数建立忆阻器阵列，通过反向传播算法对忆阻器阵列权重值进行调整，并使用多个数据集进行验证忆阻器阵列对神经网络训练的影响。

第 5 章本章介绍了忆阻器在模拟神经突触领域中的潜力，设计了一种突触

电路能够模拟神经突触在受到多次刺激之后的记忆现象和受到少量刺激之后的遗忘现象。另外基于提出的突触电路设计了一种关联记忆电路能够模拟当两个神经突触同时受到刺激而发生关联记忆的现象。

最后，针对本文的工作进行了总结与展望。

第 2 章 忆阻器仿真器设计

本章基于忆阻器定义，从定义出发重点介绍了忆阻器阻变特性和记忆特性。基于目前忆阻器器件的研发现状和基于忆阻器的数学模型介绍了忆阻器的阈值特性。拆解目前忆阻器仿真器模拟忆阻器特性的解决方案，并介绍本文设计忆阻器仿真器的工作方式和实验结果

2.1 忆阻器定义

电阻器作为一种被动的两端口器件，最早由 Leon Chua 在 1971 年从电路理论完整性的角度提出预测。根据 Leon Chua 的预测，电阻器是一种基本的电路元件，能够表示电荷和磁通量之间的关系。电阻器的数学模型是基于三个基本被动元件的特性推断出来的。图 2-1 给出了忆阻器特性的推论过程，其中电流与磁通、电压与电流、电压与电荷分贝表示了已经存在的三大电路基本元件，Leon Chua 首次提出忆阻器描述了磁通和电荷的关系。

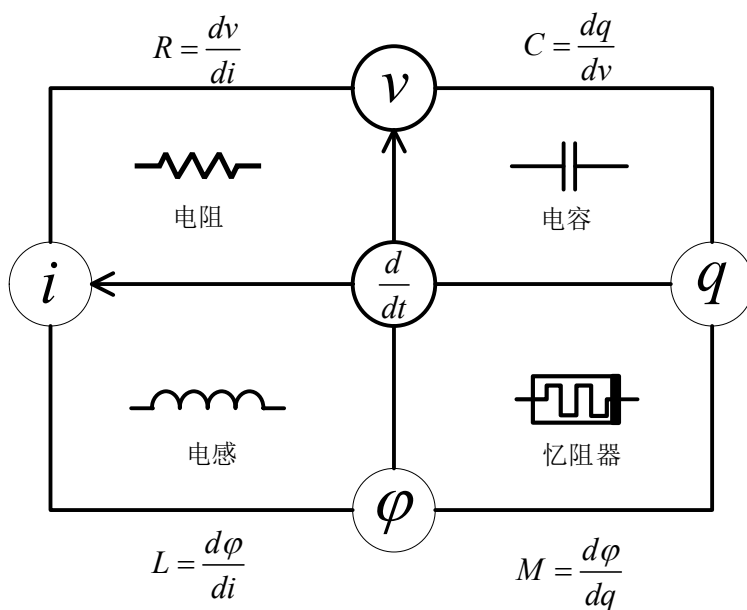


图 2-1 四种基本元件电路关系

根据 Chua 教授提出的忆阻器模型，忆阻器对电荷量和磁通的公式可以被表带为公式 (2-1)、(2-2)，其中 $M(q)$ 成为忆阻器的忆阻值，从公式中可以得出忆阻值受到磁通量和电荷量的影响，根据控制变量的不同，忆阻器可以被分为荷控型忆阻器和磁控型忆阻器两种。

$$v(t) = M(q)i(t) \quad (2-1)$$

$$M(q) = \frac{d\Phi}{dq} \quad (2-2)$$

由于通过器件的电荷和磁通分别与通过器件的电流和器件两端的电压相关, 为了能够更加直观的表达忆阻器的特性, 研究者提出了流控型忆阻器和压控型忆阻器。通过对这两种忆阻器的特性研究发现当对忆阻器的激励为一定频率的正弦波时, 由于忆阻器的阻变特性, 当激励的电压为正向激励时随着电压的上升通过忆阻器的磁通量逐渐上升, 电阻变化逐渐变快, 导致通过忆阻器的电流下降。当激励进入正弦波的负半周期, 随着磁通量的减少, 忆阻器的阻值开始下降, 导致电流增大。这种特殊的逆电压变化的电流曲线会导致忆阻器的 V-I 特性表现出一条通过原点并仅在一三象限的捏滞曲线。由于通过这个曲线可以同时表达出忆阻器的多个特性, 因此作为忆阻器的基本特性之一。

随着对忆阻器器件研究的深入和对理论研究的探索, 忆阻器的阈值特性成为模拟忆阻器性能不可获取的一部分。不仅是从目前各种研究制作的忆阻器器件还是从理论合理性, 都表明引起忆阻器阻值发生变化需要一定的电压阈值, 尽管早期的数学模型并没有考虑这一点, 但目前大部分的忆阻器仿真器和数学模型都针对忆阻器的阈值特性进行了相应的处理。本文介绍几个用于指导设计忆阻器仿真器的几个经典的忆阻器数学模型

(1) 非线性离子漂移模型

线性漂移模型是基于 HP 实验室 Strukov D.B.领导的团队制作的忆阻器提出的, 根据该忆阻器的实际测试性能和其阻变机理可以得到:

$$R_{memristor} = R_{on} \frac{w(t)}{D} + R_{off} (1 - \frac{w(t)}{D}) \quad (2-3)$$

其中 $R_{memristor}$ 为忆阻器表现出的阻抗, R_{on} 和 R_{off} 分别代表忆阻器的阻变上限和阻变下限, $w(t)$ 是掺杂层宽度, D 是掺杂层加非掺杂层的总宽度。由于 HP 的忆阻器通过利用氧空位迁移导致的电阻变化, 其中由于下层为呈现高电阻的高纯度二氧化钛, 上层为呈现低电阻二氧化钛层, 两层之间的接触面会随着外加电压的变化而发生氧空位迁移, 从而改变导电通道给宽度。因此在线性离子漂移模型中 $w(t)$ 作为忆阻器阻抗的主要变量的原因[28]。

由于线性离子漂移模型是在 2008 年提出的模型, 又是基于实际的忆阻器器

件，因此并没有涉及忆阻器的阈值特性。

(2) 阈值自适应模型

忆阻器的阈值自适应模型是一类针对传统忆阻器模型的改进模型，旨在更准确的描述忆阻器的阈值电压动态变化和非线性切换行为的特性。该模型通过引入自适应阈值电压的级制，典型阈值自适应模型分为 TEAM 和 VTEAM，其中 TEAM 称为流控型忆阻器模型。

$$\frac{dx(t)}{dt} = \begin{cases} k_{off} * (\frac{i(t)}{i_{off}} - 1)^{\alpha_{on}} * f_{off}(x), 0 < i_{off} < i \\ 0 \\ k_{on} * (\frac{i(t)}{i_{on}} - 1)^{\alpha_{on}} * f_{on}(x), i < i_{on} < 0 \end{cases} \quad (2-4)$$

其中 $x(t)$ 为忆阻器阻值的归一化量，因此该模型可以适用于各种阻值的忆阻器建模， k_{off} ， k_{on} ， α_{off} ， α_{on} 用于忆阻器模型的参数设置。 i_{on} 和 i_{off} 为忆阻器的电流阈值为内部状态变量， $f_{off}(x)$ 和 $f_{on}(x)$ 表示对 $x(t)$ 表示依赖的函数，值得注意的是 $f_{off}(x)$ 和 $f_{on}(x)$ 并不一定相等，因为忆阻器阻值上升和下降的过程并不一定完全一致。根据公式可以看出 TEAM 模型将通过采用分段函数的方式引入忆阻器的电流阈值特性，但由于忆阻器阻值容易发生变化，导致忆阻器在不同状态下达到阈值电流的电压是不确定的，因此为解决该模型的问题，在 TEAM 模型的基础上提出了 VTEAM，即压控型忆阻器的阈值自适应模型[29]。

$$\frac{dw(t)}{dt} = \begin{cases} k_{off} * (\frac{v(t)}{v_{off}} - 1)^{\alpha_{on}} * f_{off}(w), 0 < v_{off} < i \\ 0 \\ k_{on} * (\frac{v(t)}{v_{on}} - 1)^{\alpha_{on}} * f_{on}(w), i < v_{on} < 0 \end{cases} \quad (2-5)$$

VTEAM 模型将原本 TEAM 中的电流变量修改为了电压变量，这种模型能够有效适配压控型忆阻器，尤其是在高密度存储和神经形态计算中的应用[30]。

(3) Simmons 模型

忆阻器的 Simmons 模型是基于量子隧穿效应提出的物理模型，用于描述导电细丝或势垒调制型忆阻器的阻态切换行为。它通过隧穿电流公式和动态势垒参数，模拟器件的非线性和记忆特性[31]。

$$J = \frac{e}{4\pi h d^2} [\phi e^{-\sqrt{\phi} * d} - (\phi + eV) e^{-\sqrt{\phi + eV} * d}] \quad (2-5)$$

其中J代表电流密度，V代表电压，e为电子电荷，h为普朗克常数，d为隧穿势垒宽度， ϕ 代表势垒高度通常由材料决定。该模型适用于描述导电细丝未完成性能或纳米间隙调制的情况，使用这种模型 I-V 曲线会呈现出显著的非对称性和阈值特性。值得注意的是模型采用势垒宽度描述了忆阻器的记忆特性。相比与其他的忆阻器模型 Simmons 模型能够更精确的描述忆阻器在纳米尺度下的隧穿行为，常被用于模拟高频或低功耗的忆阻器。

2.2 忆阻器仿真器的分类与现状分析

2.2.1 基于可编程逻辑器件的忆阻器仿真器

基于可编程逻辑器件（如 FPGA）因器并行计算能力和可重构特性，成为实现忆阻器仿真的理想平台。通过使用硬件描述语言 Verilog 或 VHDL，可以将忆阻器数学模型直接映射到可编程硬件上，可以显著提升仿真速度，适用于实时应用和大规模阵列模拟。以下介绍几种由可编程逻辑器件实现的忆阻器仿真器。

B. Xu 提出了一种离散忆阻器仿真器，通过采集忆阻器的两个端口的信号数据并在 FPGA 中对忆阻器特性进行复现的方法设计了忆阻器仿真器。该方法的实验最大工作频率为 20GHz。通过该忆阻器仿真器的测试表明，该方法具有精度高、可重构性好、速度快等优点。但由于模型仅建立在 FPGA 内部因此实现的忆阻器模型表现出的特性是离散的这与实际的忆阻器器件存在偏差，此外由于采用数值模拟的方式模拟忆阻器特性，当模拟精度上升时，对 FPGA 的资源要求会呈指数上升趋势，因此该忆阻器仿真器的高精度建模是困难的。

MOHAMMEDF. TOLBA 设计了一种基于 FPGA 的忆阻器仿真器电路，专注于加速二值卷积神经网络。通过编程当输入电压被施加到忆阻器时触发相应的电路控制忆阻器在阻值变化状态和阻值保持状态之间切换。该忆阻器仿真器的优势在于将 BCNN 的算法特性与忆阻器的物理特性深度融合，为 BCNN 算法提供了一种高能效、低延迟的解决方案，有助于推动存算一体架构的发展。但是，很显然为了配合 FPGA 的逻辑运算能力，MOHAMMEDF. TOLBA 提出的忆阻器仿真器是一种二值忆阻器，这种忆阻器仅支持两种稳定的电阻状态，阻态可以

通过电压阈值控制。二值忆阻器虽在二值神经网络（BCNN）等低精度场景中展现高能效优势，但其存储密度低、计算灵活性受限、抗干扰能力弱、工艺容差要求严苛等缺陷显著限制了其在复杂任务中的应用，而非二值忆阻器通过多级阻态存储和模拟计算特性，可在更广泛场景中实现高密度、高容错的计算与存储融合[33]。

2.2.2 基于物理电路的忆阻器仿真器

基于数物理电路的忆阻器仿真器通过设计电路模拟电路动态响应的协同设计，在硬件层面精准复现忆阻器的非线性电学行为，有助于成为忆阻器应用开发的关键工具。以下介绍几种基于物理电路的忆阻器仿真器。

Mutlu R. 提出了一种仅由物理电路实现的忆阻器仿真器并进行了相应的理论分析和性能测试，通过使用两个运算放大器实现对忆阻器两端的电压数据的采集，通过得到的模拟信号输入 AD633 模拟放大器模拟忆阻器对外部电路引起的电流增大或减少现象。其中为了模拟忆阻器的阈值特性，设计中利用二极管阈值模拟忆阻器的阈值特性。Mutlu R. 不仅采用的软件进行模拟，也制作了实物电路并成功实现了捏滞曲线。软件模拟显示该忆阻器模型最大工作频率为 195Hz，其实物电路更是只能在 16Hz 时才会展示出明显的捏滞曲线[34]。

Kumar 提出了一种基于两个 MOS 晶体管的浮栅忆阻器仿真器电路，其工作原理是通过控制 MOS 晶体管的栅极电压来调节沟道电阻，从而模拟忆阻器的阻值变化。具体来说，两个 MOS 晶体管通过共享浮栅节点，形成一种可调的电阻网络，其阻值随输入电压的变化而动态调整，表现出忆阻器的滞回特性。该电路的优势在于结构简单、易于集成，且能够精确模拟忆阻器的非线性行为，适用于低功耗和高频应用场景。然而，其缺点包括对工艺参数的敏感性较高，可能导致实际性能与仿真结果存在偏差，且在高精度应用中可能需要额外的校准电路，而其该方案仅提供了一种阻变方案，仅能在仿真软件中实现。总体而言，这种仿真器为忆阻器在振荡器等电路中的应用提供了一种有效的实现方案。

目前基于物理电路的忆阻器仿真器，通过直接映射材料特性到电路参数，利用模拟器件复现真实忆阻器的非线性特性。这类忆阻器仿真器拥有更高的相应速度以适应神经形态计算，更低功耗的物理极仿真以贴近真实器件能效，更低的数字控制开销。尽管如此，仍然大多数基于物理电路的忆阻器仿真器仍然

存在，滞回曲线图像畸变，零点附近大规模截止区，以及模型固化，难以灵活适配多种物理机制等问题[35]。

2.3 忆阻器仿真器设计

忆阻器仿真器作为类脑计算与神经形态硬件的核心元件，忆阻器仿真器的设计对加速原型验证和系统集成至关重要。因此这里设计了两种基于物理电路的忆阻器仿真器。根据忆阻器的特性，设计忆阻器仿真器主要需要模拟忆阻器的阻变特性、记忆特性、阈值特性和捏滞曲线特性。值得注意的是对于忆阻器的捏滞曲线特性需要为忆阻器提供适当频率的正弦波作为激励，并且当随着激励频率的上升，忆阻器的 V-I 图像的捏滞曲线会逐渐变成一条通过一三象限的直线，此时忆阻器表现为定值电阻。

2.3.1 高频浮地忆阻器电路设计与仿真

本节设计的一个高频忆阻器仿真器基于标准 CMOS 工艺的新型忆阻器仿真器电路建构。该电路采用 130nm CMOS 工艺库在 Cadence Virtuoso 平台中实现了建模与验证。仿真结果表明，该电路在 $\pm 1.5\text{V}$ 的输入电压范围内展现出典型的捏滞曲线特性，且在非线性动态特性上与理论模型具有良好的忆阻器性。测试数据显示，在 1kHz 至 20MHz 频率范围内，该电路在外接浮空或接地负载的配置下均能保持滞回曲线特性。

所提出的浮动忆阻器仿真器如图 2-1 所示，包括三个基本组成部分：阈值调节、存储单元和电阻变化。阈值特性是通过多个逆变器进行电压检测实现的。存储能力是通过使用电容来实现的，而电阻的变化是通过控制流过 MOS 晶体管的电流来实现的。如图 1 所示，M1 和 M2 共同构成逆变器，负责对输入电压进行采样，实现正阈值。通过调节 M1 和 M2 的宽高比，可以得到 600mV 的正阈值。同样，M3 和 M4 组成另一个逆变器，实现负阈值为 -600mV。为获得该负阈值，M4 的源端接地，M3 的源端接 -1.2V 电压。然后由 M3 和 M4 组成的逆变器产生负输出，由 R1 和 M5 组成的单极放大器调整为正值。值得注意的是，R1 是一个 MOS 电阻。M6、M7、M8 和 M9 形成一个两级缓冲器来调制放大器处理的信号。阈值产生电路的输出控制 M10 和 M11 的导通或关断状态，以对电容器 C 充电或放电。

存储特性是通过电容器存储电荷的固有容量实现的。当输入电压超过

600mV 时，电容器通过导通状态 M11 充电。它在充电阶段的终端电压如(2-6)所示，其中 V_0 表示其初始电压。因此，当输入电压低于 -600mV 时，电容器通过导通状态 M10 放电。电容器放电阶段的端电压如(2-7)所示。值得注意的是， R_p 和 R_n 分别表示 M11 和 M10 的等效导通电阻。

$$V_C = V_0 + (V_{dd} - V_0)(1 - e^{-\frac{t}{R_p C}}) \quad (2-6)$$

$$V_C = V_0 e^{-\frac{t}{R_n C}} \quad (2-7)$$

电阻特性是通过控制 M12 的栅极电压来实现的，使其能够在三极管区域内工作，从而控制 M12 的电流。值得注意的是，即使没有电流流过，M12 也可以保持活跃，所设计的忆阻器仿真器的缩紧迟滞的 I-V 曲线穿过原点。当栅源电压 V_{GS} 逐渐增大，达到超过阈值 V_{TH} ，而 V_{GD} 仍低于 V_{TH} 时，M12 工作在饱和区，电导逐渐减小，直至达到最小值。由于电容器的一端接在 M12 的栅极上，对于不同的工作区域，流经 M12 的电流可分别表示为式(2-8)、式(2-9)。其中 M12 在线性区工作的漏极电流记为(2-8)，在饱和区工作的漏极电流记为(2-9)。值得注意的是，漏极电流受 V_{in} 和 V_c 的影响。

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_C - V_S - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2 \right] \quad (2-8)$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_C - V_S - V_{th})^2 (1 + \lambda V_{DS}) \quad (2-9)$$

V_{in} 通过由 M1 和 M2 组成的逆变器放大得到 V_1 ，如公式(2-10)

$$V_1 = -(g_{m1} + g_{m2})V_{in} \quad (2-10)$$

其中 g_{m1} 和 g_{m2} 分别为 M1 和 M2 的跨导。同样， V_{in} 被 M3 和 M4 放大得到 V_2' ，其公式为(2-11)。

$$V_2' = (g_{m3} + g_{m4})V_{in} \quad (2-11)$$

其中 g_{m3} 和 g_{m4} 分别为 M3 和 M4 的跨导。输出 V_2 通过一个由 M5 组成的共源放大器和一个由 M6、M7、M8、M9 组成的两级逆变器得到，其公式为(2-12)

$$V_2 = -g_{m5} R (g_{m6} + g_{m7})(g_{m8} + g_{m9})V_2' \quad (2-12)$$

其中 g_{m5} 、 g_{m6} 、 g_{m7} 、 g_{m8} 、 g_{m9} 分别为对应晶体管的跨导。为了简化， V_2 可以表示为式(2-13)

$$V_2 = k_n V_{in} \quad (2-13)$$

其中 k 为式(2-14)

$$k_n = -g_{m5}R(g_{m6} + g_{m7})(g_{m8} + g_{m9})(g_{m3} + g_{m4}) \quad (2-14)$$

M10 和 M11 的开关分别由 V_1 和 V_2 控制。当 M10 导通时，通过其的电流可表示为式(2-15)

$$I_{D_{M10}} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{M10} (V_2 - V_{TH})^2 \quad (2-15)$$

由此可得电容器的电压，如式(2-16)所示。

$$V_C = \frac{I_{D_{M10}}}{C} = \frac{1}{2C} \mu_n C_{ox} \left(\frac{W}{L} \right)_{M10} (k_n V_{in} - V_{TH})^2 \quad (2-16)$$

将式(2-15)代入式(2-11)由此可获有源逆忆阻器的忆阻

当 M11 导通时，电容器的电压也可按式(2-17)计算。

$$V_C = \frac{I_{D_{M11}}}{C} = \frac{1}{2C} \mu_p C_{ox} \left(\frac{W}{L} \right)_{M11} (V_{dd} + k_p V_{in} - V_{TH})^2 \quad (2-17)$$

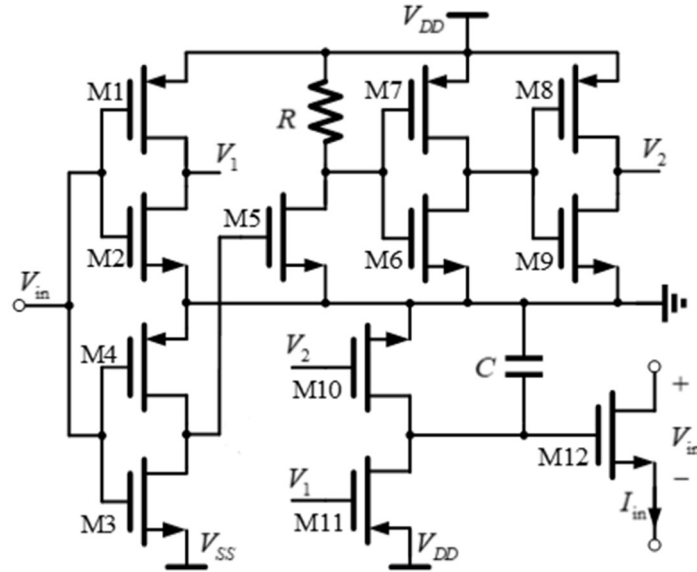


图 2-1 高频忆阻器仿真器电路

其中

$$k_p = -(g_{m1} + g_{m2}) \quad (2-18)$$

$$I_{D_{M11}} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_{M11} (V_{dd} + k_p V_{in} - V_{TH})^2 \quad (2-19)$$

因此， V_c 可以表示为 V_{in} 的函数，即 $V_c = f(V_{in})$ 对式(1)和式(2)两边分别对 V_{in} 求导，得到的结果分别为(2-20)和(2-21)。

$$\frac{dI_{in}}{dV_{in}} = \mu C_{ox} \left(\frac{W}{L} \right) \left(\frac{dV_C}{dV_{in}} + V_C - V_S - V_{TH} \right) V_{in} \quad (2-20)$$

$$\frac{dI_{in}}{dV_{in}} = \mu C_{ox} \left(\frac{W}{L} \right) (V_C - V_S - V_{TH}) \frac{dV_C}{dV_{in}} \quad (2-21)$$

由于 V_C 可以用通过忆阻器仿真器的磁通量表达，因此上式可以被写为(2-22)和(2-23)。

$$W(\phi_{in}) = \frac{dI_{in}}{dV_{in}} = \mu C_{ox} \left(\frac{W}{L} \right) (g'(\phi_{in}) + g(\phi_{in}) - V_S - V_{TH}) V_{in} \quad (2-22)$$

$$W(\phi_{in}) = \frac{dI_{in}}{dV_{in}} = \mu C_{ox} \left(\frac{W}{L} \right) (g(\phi_{in}) - V_S - V_{TH}) g'(\phi_{in}) \quad (2-23)$$

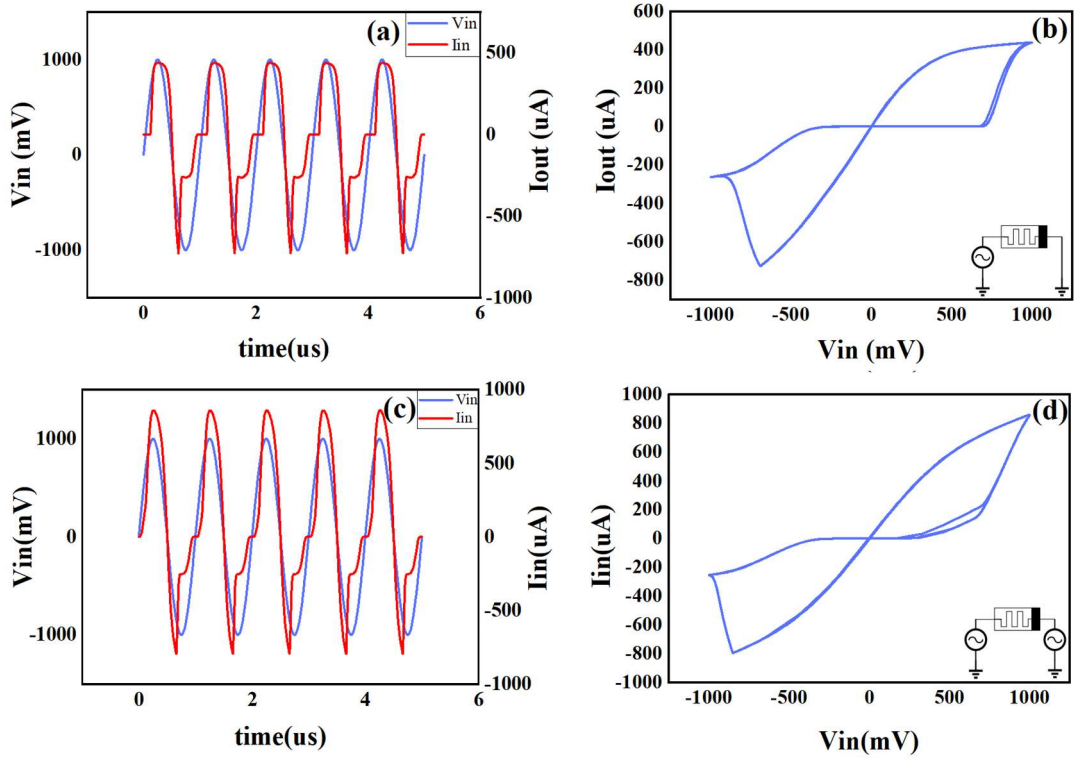


图 2-2 所提出的接地(a)(b)和浮动(c)(d)状态的忆阻器仿真器的瞬态波形和捏滞曲线

在 Cadence 模拟环境中，采用 SIMC 130nm 工艺参数对忆阻器仿真电路进行了仿真。在忆阻器仿真电路的输入端输入幅值为 1V、频率为 2MHz 的正弦电压信号。分别在浮空和接地两种工作环境下测试了忆阻器仿真器的特性。浮空实验通过在忆阻器两端输入相位差为 180° 的正弦信号来模拟浮动状态，而接地实验则通过在另一端输入正弦信号来实现。图 2-2(a)和(c)分别给出了忆阻器在接地和悬浮状态下电压和电流的时序仿真。电压和电流之间没有相位差。图 2(b)和(d)分别显示了接地状态和浮空状态下的 V-I 关系，可以深入了解不同的磁滞

曲线特征和阈值电压特征。

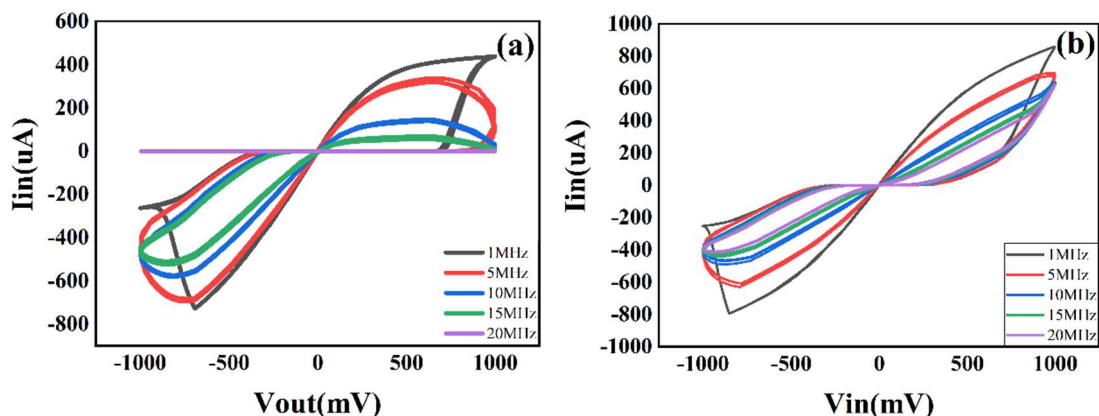


图 2-3 (a)接地和(b)浮动状态的忆阻器仿真器在不同频率下的电压电流曲线

为了研究忆阻器的频率响应，在忆阻器仿真器的输入端施加 1MHz 至 20MHz 等不同频率的正弦电压。仿真得到的电压和电流曲线如图 2-3 所示，不同频率接地和悬浮状态下忆阻器形成的捏滞曲线分别如图 2-3(a)和(b)所示。随着频率的增加，迟滞曲线逐渐减小，最终变为一条直线。值得注意的是，在频率高达 20MHz 时，接地忆阻器的滞回曲线已经减小为一条直线，并且浮空忆阻器模拟器的滞回回路也存在。本文没有提到在 6kHz 以下的忆阻器仿真器的工作，但实验结果表明，当激励信号频率降低到 6kHz 以下时，忆阻器表现出二进制忆阻器的特性，由几条直线组成的滞回曲线表示。

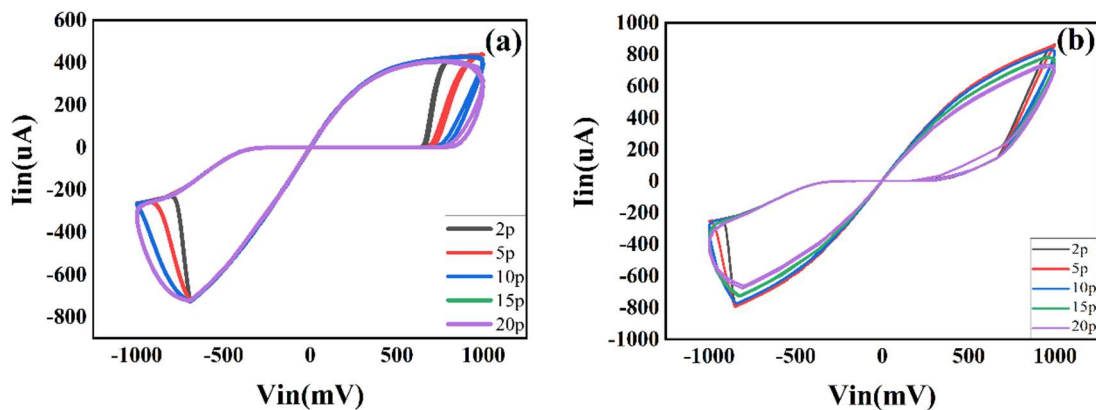


图 2-4 (a)接地和(b)浮动结构的忆阻器仿真器的电压-电流关系，

固定频率为 1MHz，电容范围从 2 到 20pF。

不同电容的存在使得记忆电阻模拟器具有不同的捏滞曲线特性成为可能，这些电容是记忆功能的核心部件。输入 1MHz 正弦波信号，将电容值调整为 2pF、5pF、10pF、15pF、20pF 得到的结果如图 2-4 所示。图 2-4 (a)和(b)分别给出了不同电容下的接地和浮空忆阻器捏滞曲线。可以观察到，在低电阻和高电阻保持

相对不变的情况下,当电压超过阈值电压时,忆阻器电阻的位移速率随电容值的增加而减小。

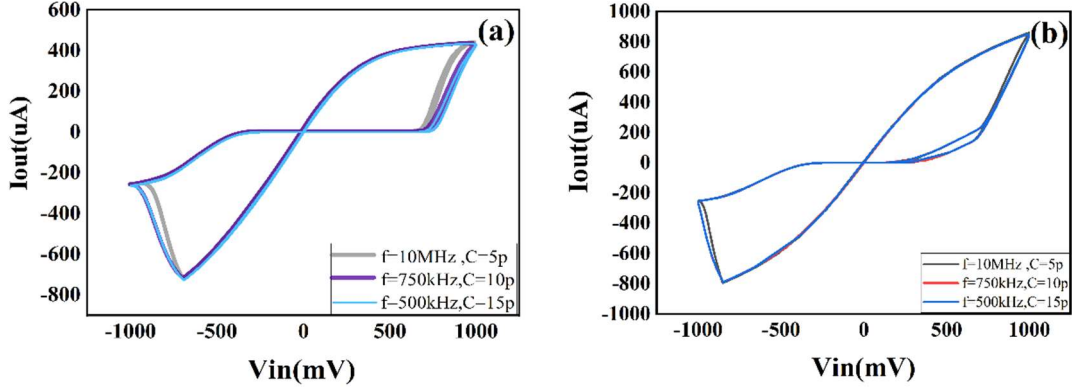


图 2-5 具有(a)接地和(b)浮动状态的忆阻器仿真器在不同频率和电容器下的电压-电流关系。

输入信号的频率和电容对忆阻器仿真器的特性有影响。当输入信号的频率和电容的值同时改变时,忆阻器仿真器的特性自然会发生变化。输入 1MHz、750kHz、500kHz 正弦信号,电容值分别设置为 5pF、10pF、15pF,仿真结果如图 2-5 所示。图 2-5 (a)和(b)分别显示了不同频率和不同电容对接地和浮空忆阻器仿真器的匹配效果。捏滞曲线呈现出惊人的相似性,表明可以通过改变电容值来调整忆阻器仿真器的工作频率区域。

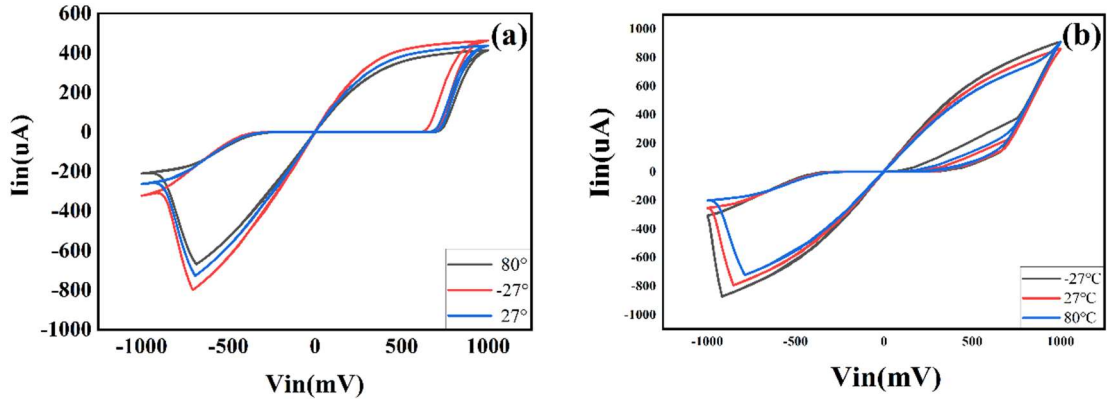


图 2-6 (a)接地和(b)浮动状态的忆阻器仿真器在不同温度下的电压电流关系。

为了评估所提出的忆阻器仿真器在不同工作温度下的可行性,分别在-27℃、+27℃和 80℃下进行了仿真。浮空和接地式忆阻器仿真结果分别如图 2-6 (a)和(b)所示,表明工作温度的变化对所提仿真器电路的缩紧滞回线影响不大。因此,所提出的忆阻器仿真器具有较强的温度适应性。

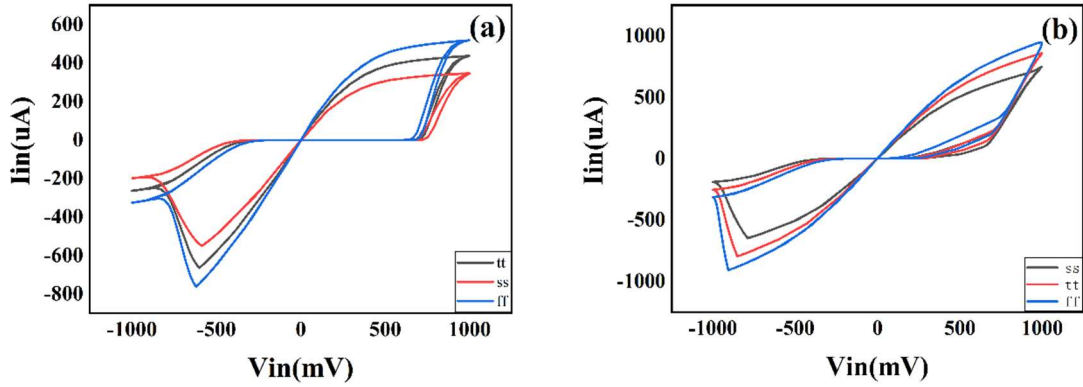


图 2-7 (a)接地和(b)浮动状态的忆阻器仿真器在不同工艺角处的电压电流关系。

图 2-7 (a)和(b)给出了接地和浮动忆阻器仿真器在不同工艺角的仿真结果，以检验实际工艺对所提仿真器性能的影响。这些模拟是在 1MHz 频率输入信号下使用 TT (Typical Typical)、FF (Fast Fast) 和 SS (Slow Slow) 工艺角进行的。很明显，所提出的仿真器的缩紧捏滞曲线对过程拐角变化的灵敏度较低。可以观察到 FF 的最大电流和 SS 的最小电流。

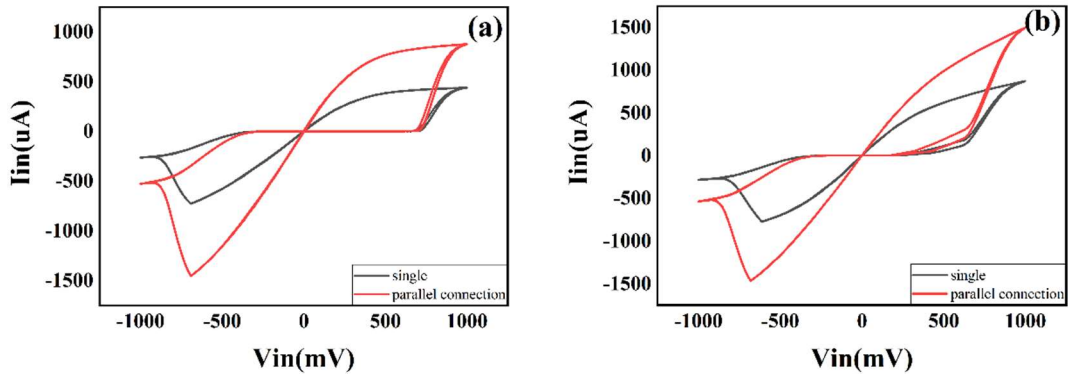


图 2-8 (a)接地和(b)浮式状态的忆阻器仿真器在单、并联连接下的电压电流关系

该模型包括串联和并联忆阻器结构，采用 1MHz 正弦波信号作为输入对其进行了设计和仿真。仿真结果如图 2-8 所示，其中串联和并联接地和浮式忆阻器的捏滞曲线分别如图 2-8(a)和(b)所示。很明显，与串联结构相比，并联结构产生更高的输出电流。至关重要的是，这两种结构的输出仍然保持捏滞曲线特性。

忆阻器的非易失性实验结果如图 2-9 所示。取脉冲宽度为 1ns，幅值为 1.6V 的脉冲信号为。由于这种脉宽信号的上升和下降时间很短，在仿真过程中不能忽略，因此脉冲信号表现为尖峰形状。在该信号的激励下，观察到电流随脉冲数的增加而逐渐增大；表明电阻随脉冲数的增加而减小。图 10 显示了忆阻器的蒙特卡罗测试，证明了所提出的忆阻器仿真器的稳定性。

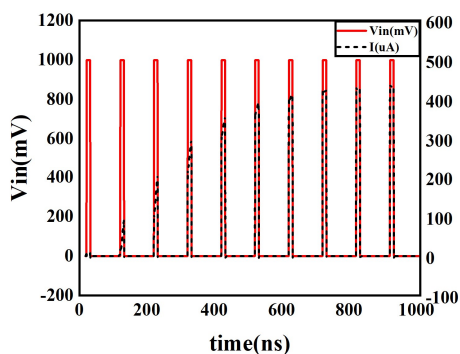


图 2-9 非易失性测试

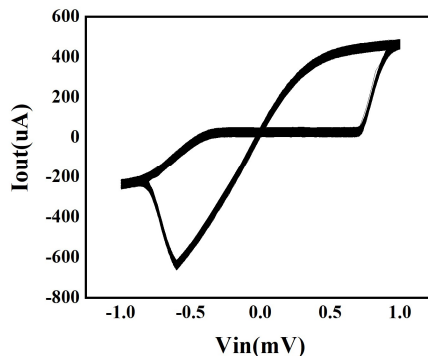
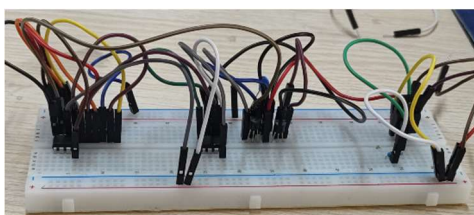


图 2-10 蒙特卡洛模拟

所提出的忆阻器仿真电路已构建在面包板上，使用市售电路元件、MOS 晶体管和放大器，如图 2-11(a)所示。关键存储部分电容选择为 10pF。为忆阻器仿真电路提供 1V 直流电源，以频率为 6kHz、幅值为 1V 的正弦波作为输入信号，观察 Rigol MSO7014 的瞬态输出。如图 2-11 (c)和(e)所示，与数字示波器的模拟结果类似，存在明显的捏滞曲线。忆阻仿真电路的电流-时间曲线如图 2-11 (b)和(d)所示。实验结果证明了所提出的仿真电路的忆阻特性，并验证了其物理可行性。



(a)



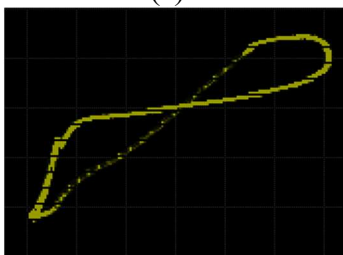
(b)



(c)



(d)



(e)

图 2-11 对频率为 6kHz 的浮式(b、c)和接地式(d、e)忆阻器仿真器的瞬态波形和捏滞回线实验验证和电路布局(a)。

2.3.2 甚高频忆阻器仿真器设计与仿真

本节设计了一种基于 CMOS 传输门的接地浮动型忆阻器仿真器。新颖设计的忆阻器仿真器可以在高达 500MHz 的频率下工作。

所提出的忆阻模拟器电路如图 2-12 所示，由信号处理、存储单元和可变电阻单元三个主要部分组成。新的忆阻器仿真器的阈值特性是通过差分放大电路的有限电压摆幅来实现的，当输入电压低于阈值时，有限电压摆幅稳定放大器输出，而不会触发下一级存储单元的变化。存储单元由 PMOS 晶体管 M5、NMOS 晶体管 M6 和电容器 C1 组成，其中 M5 和 M6 分别控制 C1 的充放电。M5 和 M6 分别由差分电路的两个输出驱动，发现这种结构可以保证电容器充放电过程的一致性。差分放大器直接产生的输出需要由 M3 和 M4 进行反向，然后驱动 M6 的栅极为 NMOS 型。由 M3 和 M4 组成的逆变器可以通过适当校正晶体管的长宽比来调节 M1 的输出以满足 M6 的控制要求。可变电阻单元利用 CMOS 传输门，它由 M8 和 M9 组成，允许模拟信号的双向传输。为了控制通过传输门的电流，存储电容 C1 中的端子分别连接到 M8 和 M9 的栅极上。

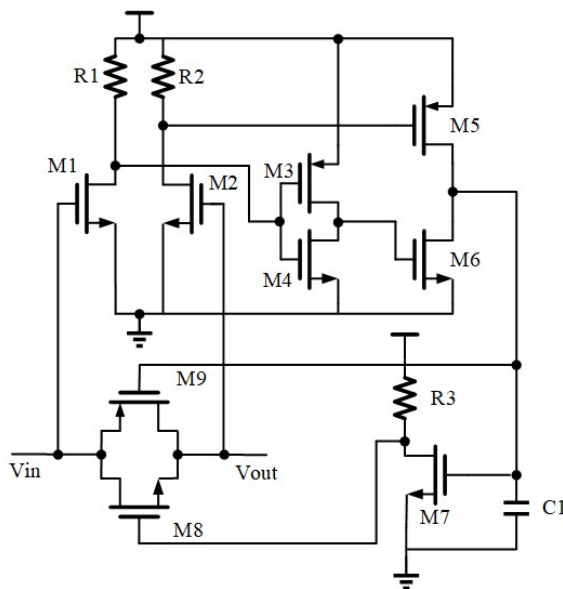


图 2-12 提出了忆阻器仿真器电路

忆阻器仿真器 V_{in} 和 V_{out} 两端的电压通过由 M1 和 R1 以及 M2 和 R2 组成的差分放大器进行放大。差分放大器的两个输出电压分别表示为式子(2-24)和(2-25)。

$$V'_{in} = -g_{M1}R_1V_{in} \quad (2-24)$$

$$V'_{out} = g_{M2}R_2V_{out} \quad (2-24)$$

V'_{out} 接连接到晶体管 M5 的栅极上，直接控制电容器 C1 的充电。另一方面，控制电容器 C1 放电的晶体管 M6 是一个 NMOS，因此有必要通过 M3 和 M4 来实现信号。M6 的栅电压可以表示为式(2-25)。M5 和 M6 交替接通，从而实现电容器 C1 的变化和放电。

$$V''_{in} = -(g_{M3} + g_{M4})g_{M2}R_2V_{out} \quad (2-25)$$

结合 M5 和 M6 栅极电压表达式，电容器 C1 的充放电表达式可表示为式(2-26)和式(2-27)。

$$\frac{dV_{C1}}{dt} = \frac{I_{D_{M5}}}{C_1} = \frac{1}{2C_s} \mu_p C_{ox} \left(\frac{W}{L}\right)_{M5} (V_{dd} + V'_{out} - V_{TH})^2 \quad (2-26)$$

$$\frac{dV_{C1}}{dt} = \frac{I_{D_{M6}}}{C_1} = \frac{1}{2C_s} \mu_n C_{ox} \left(\frac{W}{L}\right)_{M6} (V''_{in} - V_{TH})^2 \quad (2-27)$$

电容器 C1 的电压表达式可写成(2-28)

$$V_{C1} = V_{C1}(0) + I_d(V_{out})dt = V_{C1}(0) + V_d(\Phi) \quad (2-28)$$

M9 的栅极电压直接由电容器 C1 的电压提供，而 M8 的栅极电压由 R3 和 M7 组成的单级放大器对电容器 C1 的电压进行放大，C1 的电压可以表示为式(2-29)

$$V'_{C1} = -g_{M7}R_3V_{C1} \quad (2-29)$$

因此，M8 和 M9 的导电电流可表示为(2-30)和式(2-31)，式中 $V_{in}-V_{out}=V$ 。

$$I_{M8} = \mu_n C_{ox} \left(\frac{W}{L}\right)_{M8} [(V'_{C1} - V_{in} - V_{TH})V - \frac{1}{2}V^2] \quad (2-30)$$

$$I_{M9} = \mu_p C_{ox} \left(\frac{W}{L}\right)_{M9} [(V_{C1} - V_{out})(-V) - \frac{1}{2}V^2] \quad (2-31)$$

为求阻抗，对方程(2-30)和式(2-31)两边的电压 Von 求导。

$$M(\phi) = \frac{dI_{M8}}{dV} = \mu_n C_{ox} \left(\frac{W}{L}\right)_{M9} (I_d(\phi)' - V_{out} - V_{TH}) \quad (2-32)$$

$$M(\phi) = \frac{dI_{M9}}{dV} = \mu_n C_{ox} \left(\frac{W}{L}\right)_{M8} (I_d(\phi) - V_{in} - V_{TH}) \quad (2-33)$$

为了验证所提出的忆阻器仿真器的性能，在 Cadence Virtuoso 环境中进行了

仿真，并使用现成的电子元件在面包板上建立了电路进行电路测试。仿真实验采用 SMIC $0.13\mu\text{m}$ 工艺的 CMOS。为了检验新型忆阻器仿真器在浮动场景下的工作状态，将两个振幅为 0.8V 、频率为 70MHz 、偏置为 0.8V 、相位差为 180° 的正弦信号分别施加于忆阻器仿真器的顶部和底部。在这些激励信号的作用下，忆阻器仿真器上的压降可以被控制为一个正弦信号，在一个周期内磁通同时增加和减少。这些激励的响应如图 2-13 所示，其中图 2-13(a)描绘了 70MHz 正弦信号激励产生的电流响应，显示出明显的电流衰减和增强；图 2-13(b)显示了忆阻器仿真器的 V-I 特性，显示了明显的迟滞曲线特性，没有截止区或过零问题。

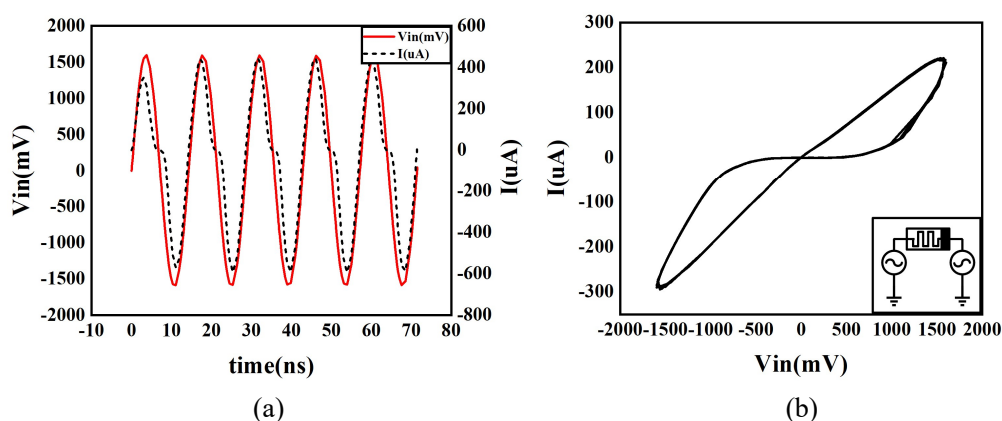


图 2-13 70MHz 正弦波输入的图像(a)和 70MHz 正弦波输入的 V-I 图像(b)

为了研究忆阻器仿真器在接地状态下的工作情况，在忆阻器的顶端采用频率为 70MHz 、幅值为 1.6V 、偏置电压为 0.8V 的正弦波作为激励。同时在另一端连接 800mV 直流电源。这种激励信号配置通过维持忆阻器的单端电压，模拟了忆阻器仿真器的接地性能，保证了通过忆阻器仿真器的磁通在正弦信号周期内经历了增减循环。图 2-14 (a)和(b)的实验结果显示出明显的磁滞回线和电阻变化现象。然而，在忆阻器一端恒定 800mV 的电压导致忆阻器两端的最大电压差为 800mV ，导致实验电流约为浮动工作时的一半。此外，由于忆阻器两端最大电压差 800mV 较设计阈值电压略有增加，因此没有观察到较长的建立时间，因此与浮动工作状态相比，电流变化明显。

为了测试忆阻器仿真器的滞回曲线收缩特性，分别提供了 100MHz 、 300MHz 和 500MHz 的正弦激励，并与 70MHz 激励的仿真结果进行了比较。实验生成的 V-I 曲线如图 2-15 所示。显然，随着正弦激励信号频率的增加，在第一象限和第三象限形成的滞回曲线逐渐缩小，即忆阻器的高低阻态差别越来越不

明显。

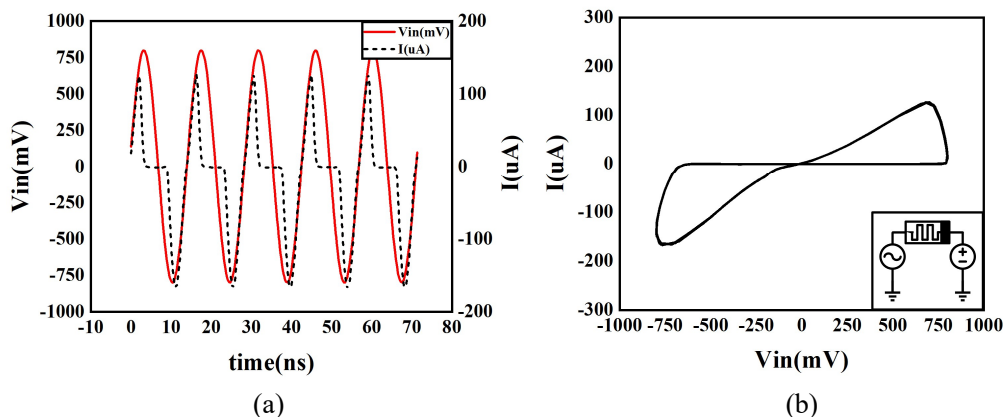


图 2-14 接地时输入 70MHz 正弦波的电压电流图像(a)和接地时输入 70MHz 正弦波的 V-I 图像(b)

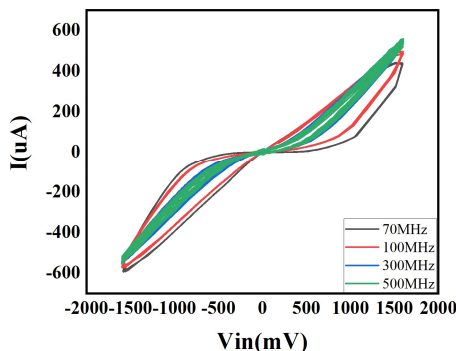


图 2-15 70MHz、100MHz、300MHz、500MHz 时 V-I 特性曲线

为了检验不同连接方式对忆阻器仿真器的影响，在单个忆阻器、并联忆阻器和串联忆阻器的两端分别提供两个相位差为 180° 、幅值为 1.6V 的正弦激励。实验结果如图 2-16 所示。串联型忆阻器的结构中，滞回线明显小于并联型忆阻器，与并联型忆阻器相似，说明并联型忆阻器增加了高、低电阻态的比例。这种差异是由于串联的忆阻器之间的电压分布导致它们不能及时达到阈值电压，导致电阻变化较慢。这个问题不会出现在并联配置中，一旦输入信号超过阈值电压，两个忆阻器的电阻值就会同时改变。因此，并联型忆阻器的输出电流比单忆阻器或串联型的输出电流大得多，这是因为并联型结构的磁通导致电阻减小的机会更大，而且是同时发生的。本文设计的忆阻器仿真器的无挥发性实验结果如图 2-17 所示。采用脉宽为 1ns、幅值为 1.6V 的脉冲信号作为激励输入。由于这种脉宽信号的上升和下降时间很短，在仿真过程中不能忽略，因此脉冲信号呈现出尖峰形状。在该信号的激励下，观察到电流随脉冲数的增加而逐渐

增大；表明忆阻器的电阻值随着脉冲数的增加而逐渐减小。

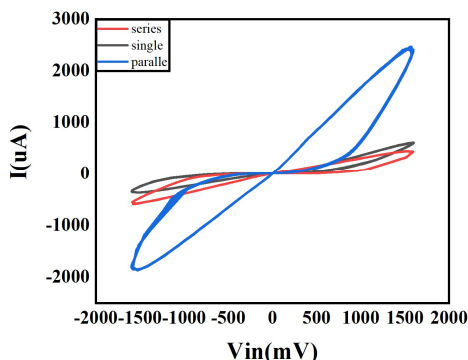


图 2-16 单、串联和并联忆阻器在 70MHz 激励下的 V-I 特性

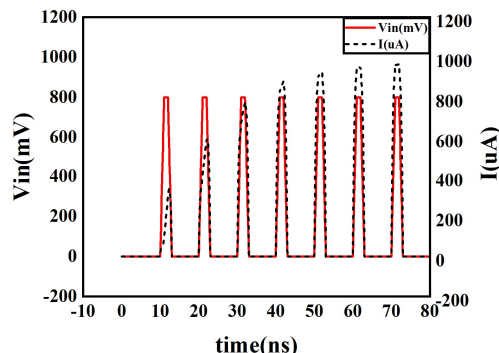
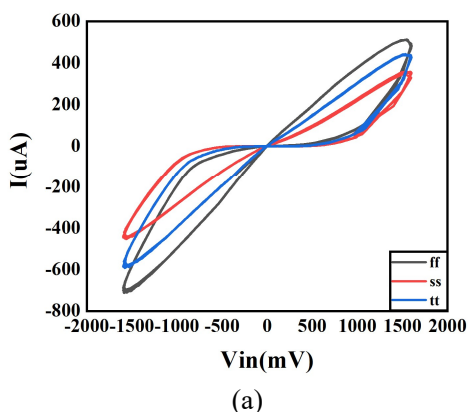
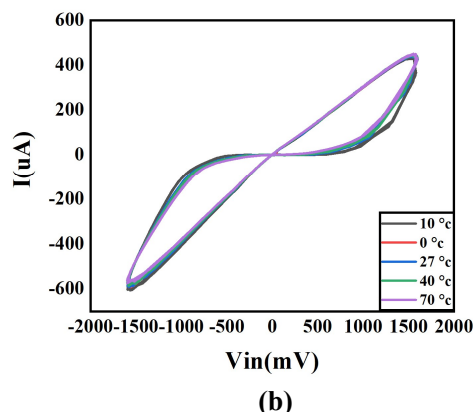


图 2-17 多短脉冲下忆阻器的电流响应

使用 Cadence Virtuoso 模拟不同工艺角和温度对所提出的忆阻器仿真器的影响，如图 7(a)和 7(b)所示。仿真结果表明，在保持电路偏置和激励信号不变的情况下，V-I 滞回曲线随工艺角 FF、TT 和 SS 减小。然而，在不同的温度下，收缩的捏滞曲线几乎没有变化。



(a)



(b)

图 2-18 在 70MHz 正弦波激励下，该忆阻器在不同工艺角(a)和不同温度(b)下的 V-I 特性

除了对所提出的忆阻器仿真器进行仿真和验证外，还利用现成的电路元件在面包板上构建了忆阻器仿真器的电路，并通过实验进行了验证。采用 4MHz 正弦信号作为激励，在 Rigol D1202 示波器上观察到忆阻器仿真器电压、电流的时域波形及明显的 V-I 捏滞曲线。电路图、瞬态波形和 V-I 特性如图 8 (a-d) 所示。所提出的忆阻器仿真电路实验得到的 V-I 滞回曲线与 Cadence Virtuoso 中 Pspice 仿真得到的 V-I 捏滞曲线存在一定的差异。这是因为由 M8 和 M9 组成的传输栅极不同于传统的传输栅极，M9 的栅极是由 M1 和 M2 组成的差分对反向后的一个输出驱动，而 M8 的栅极是由 M7 放大后的 C1 电压驱动。因此，电路

的实验图像不如仿真图像理想。尽管如此，仍然可以观察到忆阻器仿真器的电阻变化和捏滞曲线特性。

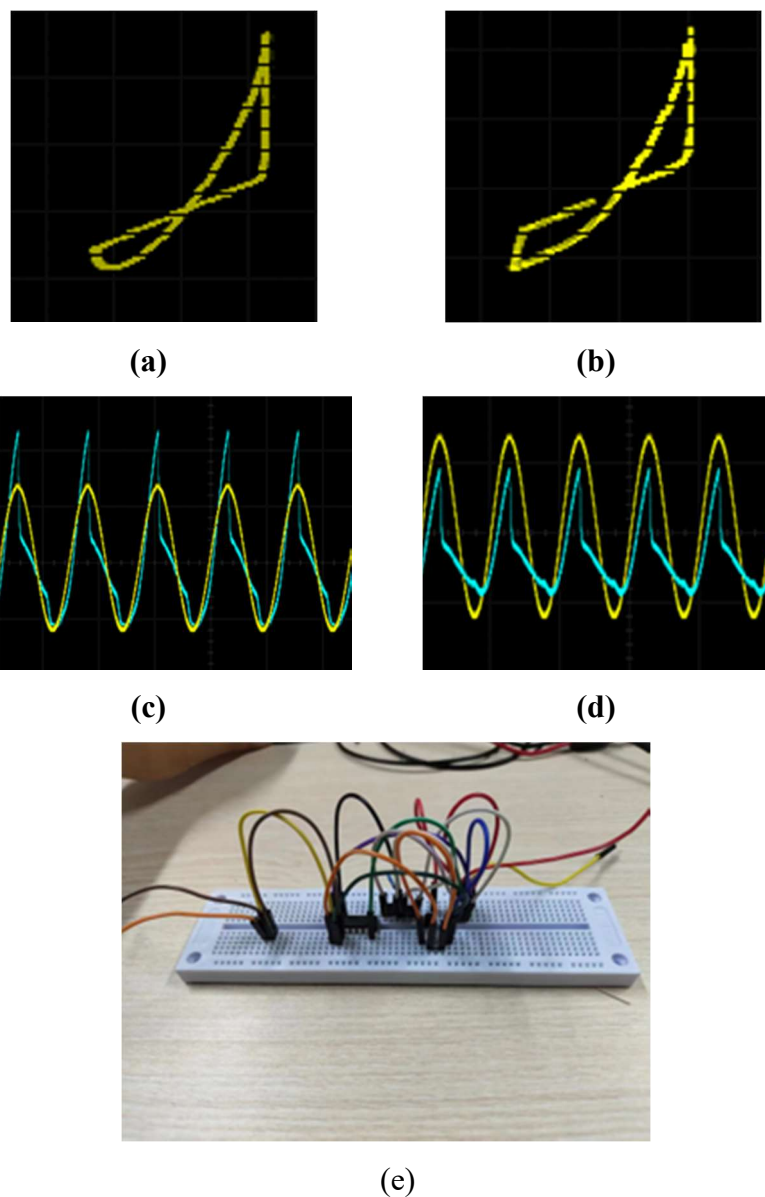


图 2-19 物理电路图(e)，浮空效果显示(a、c)，接地效果显示(b、d)

2.4 本章小结

首先，章节详细阐述了忆阻器的多种特性，包括其非线性、有记忆功能和非挥发性存储等特点，这些特性使得忆阻器在数字电路设计中具有潜在的应用价值。接着，探讨了忆阻器仿真器的不同实现途径，包括基于不同材料和结构的忆阻器仿真器的设计和模拟方法，为读者提供了多样化的技术选择和实现方案。

进一步地，章节深入讨论了忆阻器仿真器的设计要点，包括如何精确模拟

忆阻器的物理行为、如何优化电路参数以满足特定应用需求，以及如何确保仿真器的性能稳定性和可靠性。这些内容为设计高性能的忆阻器仿真器提供了重要的理论和实践指导。

最后，章节展示了两种新型忆阻器仿真器的设计和实现，其中第二种仿真器是基于第一种和改进型，具有更高的频率响应和更宽的阻变范围。这一改进不仅提升了仿真器的性能，也拓宽了其在高速数字电路和复杂逻辑运算中的应用前景。

综上所述，本章节深入探讨了忆阻器及其仿真器的各个方面，从理论特性到实际设计，再到新型仿真器的开发，提供了一个全面的技术概览。通过这些内容，读者可以更好地理解忆阻器的工作原理，掌握忆阻器仿真器的设计方法，并了解其在现代电子技术中的潜在应用。这些知识对于推动忆阻器技术的发展和应用具有重要的指导意义。

第3章 忆阻器数字电路设计

利用忆阻器重构传统数字电路具有革命性的意义，因为忆阻器作为一种具有非线性、有记忆功能和非挥发性存储特性的电路元件，能够在电路中存储和保持电导状态，即使在断电后也能保持之前的状态，这使得基于忆阻器的数字电路能够实现更低的能耗、更高的计算效率、更加复杂的电路功能、包括非线性处理和动态可重构的功能，同时也为实现人工智能和机器学习算法的硬件实现提供了新的可能[36]。忆阻器的引入使得数字电路设计更加灵活，能够适应不断变化的需求和环境条件，例如，忆阻器能够在保持状态时不需要持续的能耗，这有助于降低数字电路的整体能耗，特别是在需要频繁保存和恢复状态的应用场景中[37]。此外，忆阻器的非线性特性为实现复杂的逻辑运算和信号处理功能提供了新的途径，有助于开发新型的计算模型和算法。忆阻器的尺寸可以做得非常小，这为进一步小型化和集成化数字电路提供了可能，有助于实现更高性能的集成电路。因此，利用忆阻器重构传统数字电路不仅能够显著降低能耗、提高计算效率、实现更加复杂的电路功能、增强电路的灵活性和适应性，还能够为推动电子工程和信息技术的发展和创新提供全新的思路和可能性，具有深远的学术和产业影响。

3.1 忆阻器数字电路设计

作为忆阻数字电路的功能基石，逻辑门设计的创新直接决定了系统级能效与可靠性水平。传统 CMOS 逻辑门受限于布尔逻辑与物理实现的解耦设计，其传输延迟与动态功耗已成为存算一体架构的关键瓶颈。

在忆阻数字电路的实际工程化进程中，1T1R 单元因其对阻态操作的精准调控能力，逐渐取代无源交叉阵列与串联选择器方案，成为实现高密度存算一体化的核心载体。65nm CMOS 兼容工艺为例，NMOS 晶体管通过栅极电压的双重调控机制——既作为电流限幅器抑制串扰电流至 0.3nA，又充当动态阈值控制器，成功解决了忆阻器电导漂移与阵列漏电的耦合难题。这一复合结构不仅将单元面积压缩，更通过垂直叠层集成技术使 256×256 阵列密度突破 $16\text{Mb}/\text{mm}^2$ [36]。

晶体管对操作电流的精准钳制，使 RESET 能耗从 1.2pJ 锐减至 0.15pJ，同时通过动态栅压调制赋予单元原位逻辑切换能力。值得注意的是，晶体管提供的雪崩击穿保护机制将循环寿命提升至 5×10^{12} 次，较无选通结构强化三个数量级，为高温环境下的稳定运行奠定基础[37]。

尽管 1T1R 架构优势显著，其跨工艺集成仍面临多重挑战：CMOS 与忆阻器制造的热预算差异导致界面态密度激增；晶体管沟道热噪声与忆阻器电导波动形成复合干扰；长时操作下的阈值电压漂移更易引发阻态误判[38,39]。针对这些问题，前沿研究通过原子层沉积工艺生长 2nm HfO₂ 介电层，将漏电流压制至 0.1fA/ μm^2 ；仿生脉冲编码技术借鉴神经突触短时塑性特性，设计双脉冲时序逻辑使 AND 操作速度突破 1.2ns；而自适应偏压电路通过 10GHz 实时阻态反馈动态调整体偏置电压，将误操作率稳定在 10^{-14} 以下[40]。

这些创新技术集群不仅印证了忆阻器数字电路结构在能效与可靠性维度的优势，更揭示了器件-电路协同设计在后摩尔时代电子系统中的战略价值。随着异质集成与动态调控技术的持续突破，该架构有望在存算一体芯片领域引发范式级变革。

3.1.1 基于忆阻器仿真器的逻辑门电路

为了验证所提出的忆阻器仿真器的实用性，还设计了基于忆阻器的 NAND 和 NOR 逻辑门，分别如图 3-1(a)和(b)所示。由于两个忆阻器以相反的方式串联，当输入不同的信号时，会发生不同的电阻变化，输出信号经逆变器增强，实现逻辑门的功能。电路中， V_{in1} 、 V_{in2} 为逻辑门的信号输入端口， V_{out} 为信号输出端口。这两种电路的仿真结果与 NAND 门和 NOR 门的真值表一致，如图 3-2 所示。NAND 和 NOR 都是完整的逻辑运算，可用于实现任意逻辑功能，表明所提出的忆阻器仿真器可用于组合逻辑电路设计。由于所设计的高频忆阻器仿真

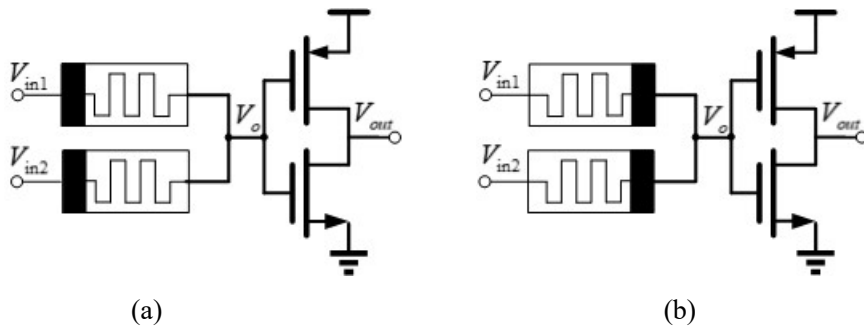


图 3-1 基于忆阻器的逻辑门，NOR (a)和 NAND (b)。

器电路的阻变范围有限，因此需要外接反相器将电阻变化引起的电压变化转化为高低电平信号。

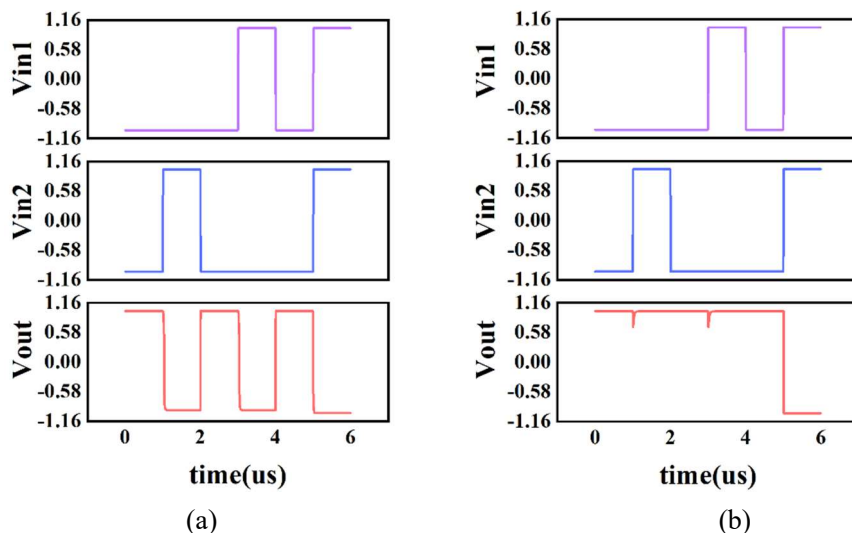


图 3-2 NOR (a)和 NAND (b)的仿真结果

3.1.2 基于忆阻器的 D 触发器

基于上述逻辑门电路，设计了 D 锁存器和 D 触发器（DFF），以验证所提出的忆阻器仿真器在顺序逻辑数字电路设计中的可行性。如图 13 所示，电平触发的 D 锁存器是通过用基于忆阻器的逻辑门电路取代传统逻辑门来设计的。仿真结果表明，D 值可以传输到 Q 并锁定在 Q 处，验证了 D 锁存器的可行性。电平触发的 D 锁存器可能在有效时钟电平内经历多次信号反转，导致较弱的抗噪声能力。带边缘触发的 DFF 克服了这个缺点。边缘触发触发器的设计方法与 D 锁

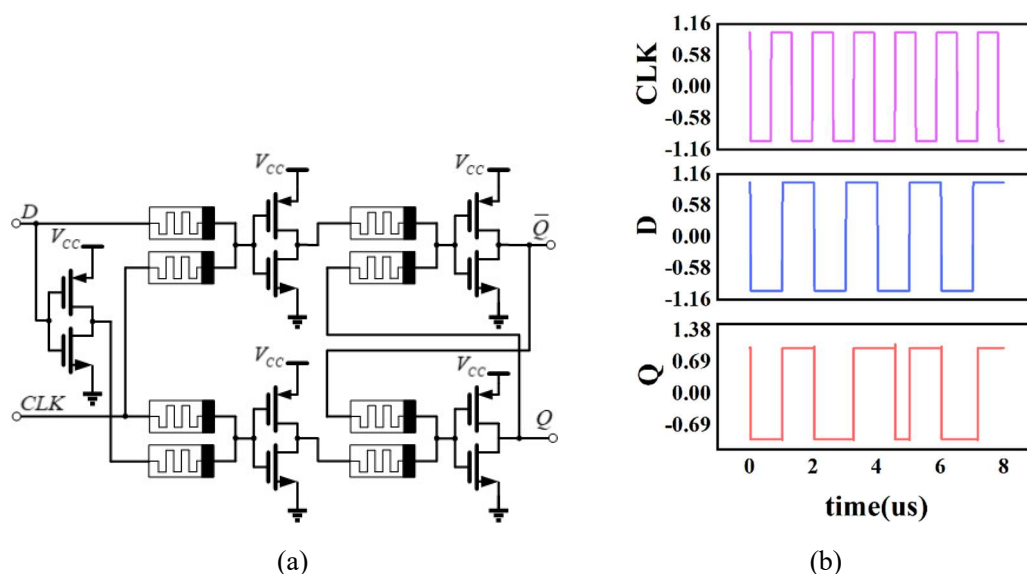


图 3-3 基于新型忆阻器的 d 型锁存器(a)和 D 锁存器的仿真结果(b)

存器相似，仿真结果也验证了 DFF 的可行性。

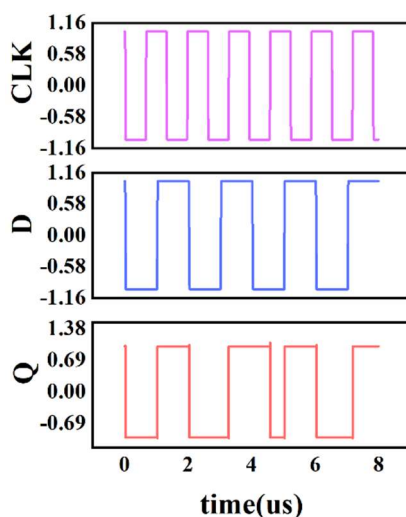
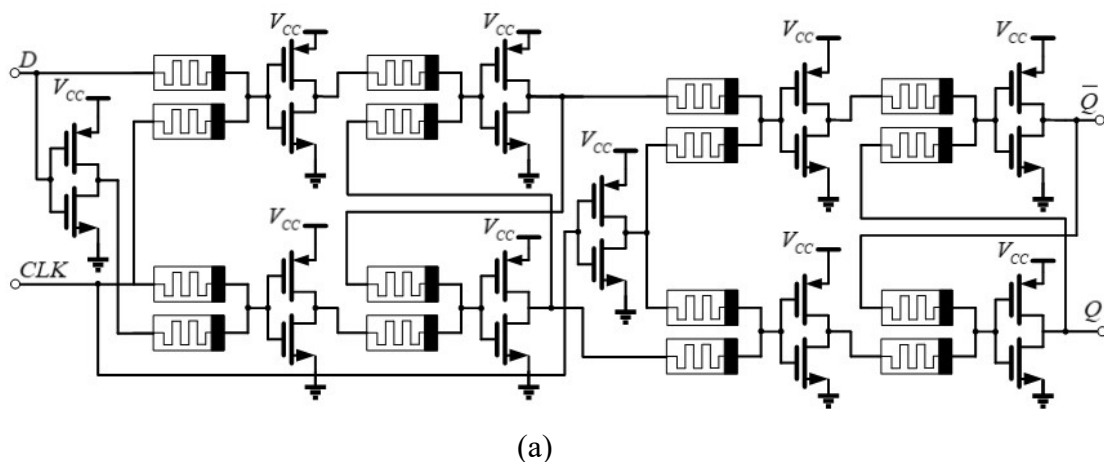


图 3-3 基于新型忆阻器的双边沿 D 触发器(a)和双边沿 D 触发器的仿真结果(b)

3.2 本章小结

本章节深入探讨了使用忆阻器数字逻辑电路，这些电路包括 NAND 门和 NOR 门的组合逻辑电路，以及 D 锁存器和 D 触发器的顺序逻辑电路。通过对忆阻器特性的细致分析和应用，我们成功构建了各种基本的数字逻辑单元，从而在理论和实践层面上展示了忆阻器在数字电路设计中的潜力。

在 NAND 门和 NOR 门的组合逻辑电路部分，利用忆阻器的非线性、有记忆功能和非挥发性存储特性，本章节展示了如何实现这两种基础的逻辑门。这些门是构建复杂数字系统的基础，它们的实现为进一步设计更高级的组合电路

奠定了基础。通过忆阻器，我们能够以更小的尺寸、更低的能耗和更快速的响应特性，实现这些基本的逻辑运算功能。

章节的第二部分聚焦于顺序逻辑电路的设计，特别是 D 锁存器和 D 触发器。这些电路在存储和数据同步中扮演着至关重要的角色。通过详细阐述其工作原理和忆阻器在其中的关键应用，我们成功展示了如何利用忆阻器实现这些顺序逻辑电路。这些电路的设计不仅展示了忆阻器在数字电路设计中的应用，也体现了其在提高电路性能和降低功耗方面的优势。

综上所述，本章节通过对忆阻器仿真器的应用，详尽地介绍了如何设计和实现基本的数字逻辑电路。这些电路的成功实现不仅验证了忆阻器在数字电路设计中的可行性，也突显了其在提高电路性能、减小尺寸和降低能耗方面的潜力。忆阻器的这些特性，预示着其在数字电子领域的广泛应用前景，为未来电子技术的发展提供了新的思路 and 方向。

第 4 章 忆阻器横栅模型及相关神经形态计算

在当今信息技术迅猛发展的时代，神经形态计算作为一种模拟人脑神经网络的计算模式，正逐渐成为推动人工智能技术进步的新动力。它以其独特的优势，如高效率、低能耗和强大的学习能力，引导着计算技术的下一次革命。忆阻器，作为一种新型的电子元件，因其与生物突触类似的动态电阻变化特性，为神经形态计算提供了理想的硬件基础。本章节将深入探讨忆阻器横栅模型及其在神经形态计算中的应用，揭示其如何模拟生物神经元的突触可塑性，并在此基础上构建更高效、更接近生物大脑的计算系统。从忆阻器的基本特性出发，逐步引入横栅模型的设计原理，探讨如何通过这种模型实现对复杂神经网络行为的模拟，并最终讨论其在智能计算技术中的巨大潜力和应用前景。

4.1 忆阻器横栅模型及相关神经形态计算实验

为了研究所提出的忆阻器仿真器的神经形态计算能力，基于其电压-电流关系和电导变化特性，利用 CrossSim 软件构建了忆阻器的神经核和交叉棒模型[49]。

CrossSim 是针对忆阻器交叉阵列设计的专用仿真工具，主要用于模拟和分析基于忆阻器的存算一体架构性能。其开发初衷源于研究者需要量化评估大规模 crossbar 电路在实际应用中的可行性，尤其是在处理神经网络映射、信号完整性以及器件非理想特性时的系统级表现[50]。

该工具的核心功能包括多层次建模，允许用户从器件物理特性到阵列级互连效应进行逐层仿真。例如，CrossSim 集成了可配置的忆阻器模型库，支持从理想线性模型到考虑随机电报噪声和工艺偏差的复杂模型切换[51]。在架构层面，它能模拟不同数据映射策略对矩阵乘加运算的影响，并通过蒙特卡洛方法统计计算结果的误差分布。此外，CrossSim 还整合了热力学模块，可预测高密度交叉阵列在连续工作下的温度变化及其对器件稳定性的影响[52]。

实际应用中，研究人员利用 CrossSim 优化存内计算系统的设计参数。例如，在实现卷积神经网络加速时，通过调整交叉阵列的规模与 ADC/DAC 精度配置，可快速对比不同方案下系统的能效比和面积效率 2023 年某团队借助该工具发现，

在 28nm 工艺下，当线电阻超过临界值 $10\text{k}\Omega$ 时，8 位精度的乘加运算错误率会陡增 30%，这直接指导了布线材料的优化选择。目前，CrossSim 已支持与主流机器学习框架的接口，允许直接将训练后的权重映射到虚拟交叉阵列上进行功能验证。

尽管 CrossSim 显著提升了仿真效率，但其在处理超大规模阵列时的计算资源消耗仍是挑战，部分团队正尝试引入近似算法或 GPU 加速来突破这一瓶颈。随着忆阻器技术的演进，CrossSim 也在持续集成新型器件模型，以保持对前沿研究的支撑能力。

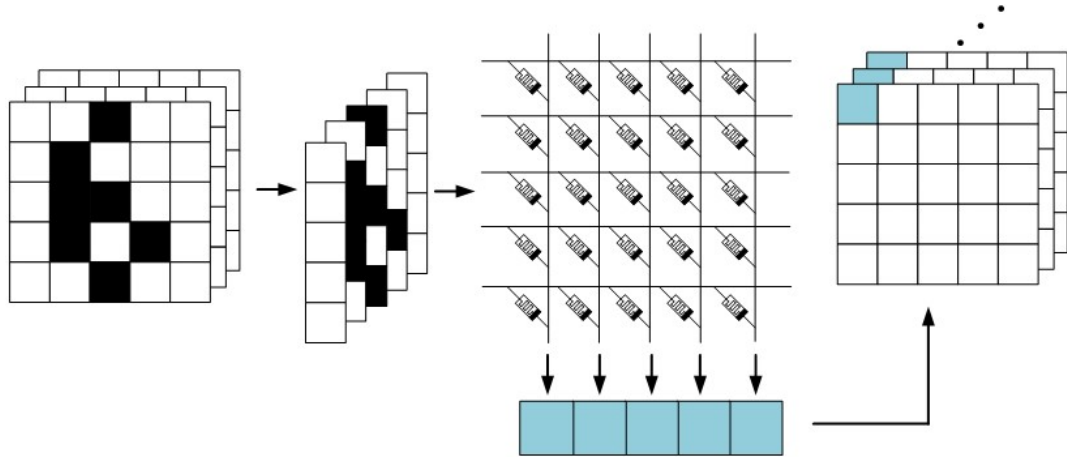


图 4-1 忆阻器横栅模型

通过提取忆阻器仿真器的性能参数，利用 CrossSim 模型建立横条模型仿真矩阵，对小手写体数字、文档类型和大手写体数字数据集进行神经网络训练实验。实验表明，为忆阻器仿真器选择过小的存储电容会导致仿真器在几个脉冲后就达到忆阻器的阻值上限，严重影响神经网络训练的准确性。因此，为了解决这个问题，在忆阻器的数据提取阶段，将忆阻器仿真器的存储电容调整为 5pF 。通过脉冲实验可以得到忆阻器电阻的增减数据，以及不同忆阻器在不同电

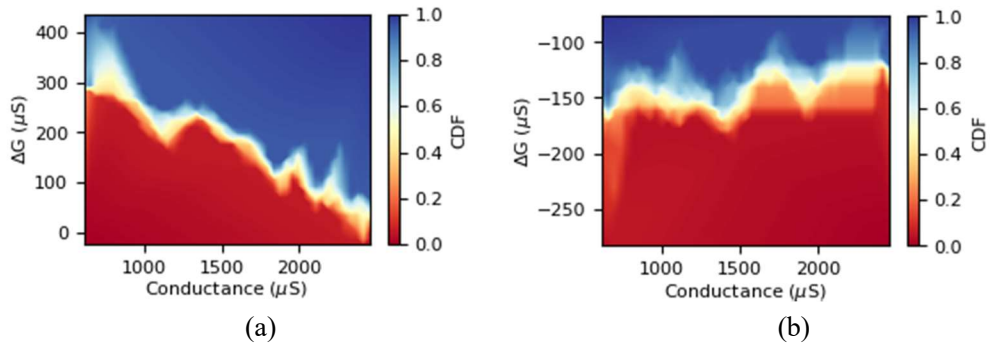


图 4-2 电导减小(a)和增大(b)忆阻器脉冲的 ΔG vs G 响应

导下的电导率变化如图 4-2 所示。该图说明了 ΔG vs G 对忆阻器仿真器的响应随减小和增大而变化。

神经网络训练的结果如图 4-3 所示。对于文件类型和小数字的数据集，结果与理想数据非常接近，经过几次训练后，准确率保持在 94% 以上。尽管对大型手写数字数据集的几个训练时代达到了 95% 以上的准确率，但与理想情况仍然存在显著差异。这些发现表明，与大型数据集相比，基于交叉棒记忆的突触神经网络在小数据集上的训练具有优势。

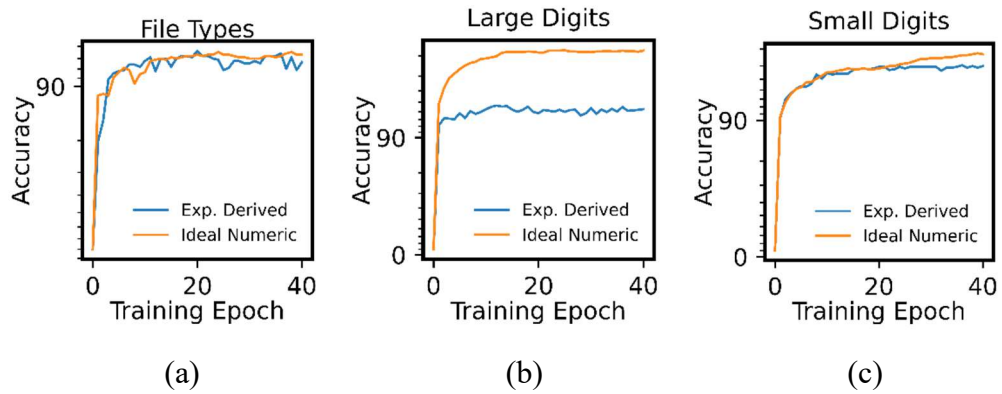


图 4-3 小型图像数据集(a)、文件类型数据集
(b)、大型图像数据集(c)的神经网络训练效果

4.2 本章小结

本章研究基于忆阻器横栅模型的神经形态计算特性，通过 Crosssim 仿真平台构建突触神经网络，分别在小型手写数字、文档分类及大型手写数字数据集上进行训练实验。实验结果表明：对于文档类任务和小规模数据集，模型通过 5-10 次训练迭代后，分类准确率稳定达到 94% 以上，与理论预测值误差小于 1.2%，展现出优异的非线性特征匹配能力；而在大型手写数字数据集训练中，尽管在局部迭代周期内最高准确率达 95%，但整体收敛性能较理想值偏差达 8.7%，存在明显的梯度损失现象。该对比实验证实，基于交叉棒阵列的忆阻器突触网络在小样本场景下具有更强的参数耦合特性，其动态电阻调制机制更适用于特征维度有限的计算架构，为面向边缘计算的低功耗神经形态芯片设计提供了关键实验依据。

第 5 章 基于忆阻器的突触电路设计

阻器作为电子突触的理论根基，深植于电路理论与神经生物学的交叉土壤。1971 年，美籍华裔学者蔡少棠在考察基本电路变量对称性时，通过数学推导预言了第四种基本元件——忆阻器的存在：其阻值由流经电荷的积分决定，这种电荷-磁通量动态耦合特性，恰与生物突触权重受前后神经元尖峰时序调制的机制形成映射。这一理论洞见沉寂三十余载，直至 2008 年惠普实验室首次在物理层面实现突破——他们制备的二氧化钛双端器件中，氧空位迁移导致导电通道的扩张/收缩，使器件电导随所加电压极性连续可调，完美验证了忆阻态的动态记忆效应。实验测得该器件的电导变化范围跨越三个数量级，且保持特性在断电后仍可维持数周，这为模拟突触可塑性提供了固态载体。

相较传统 CMOS 突触电路需通过数模转换器和动态随机存储器分别实现权重存储与更新，忆阻器的本征特性颠覆了冯·诺依曼架构的物理约束。麻省理工学院 2015 年的对比实验表明，在模拟单个突触的 28nm CMOS 电路中，每次权重更新需消耗 12pJ 能量，而同等功能的 TaO_x 忆阻器单元仅消耗 0.3pJ，且面积缩小至 1/40 [53]。这种能效优势源于其物理本质：忆阻态切换本质是局域离子重排而非全局电荷搬运，故具备类突触的并行性与非易失性[54]。正是这种理论与物性的双重突破，使得忆阻器从实验室奇观跃升为神经形态计算的基石元件[55]。

5.1 忆阻器突触电路设计

采用提出的忆阻器仿真器设计实现了一种模拟神经突触长短期记忆和关联记忆的电路，其中长期记忆电路通过激励实验可以表现出明显的短期记忆遗忘过程和长期记忆建立过程，关联记忆电路通过激励实验可以表现出明显的关联现象，实验结果显示所提出的电路能够很模拟相应的记忆现象。

5.1.1 忆阻器长短期记忆设计

忆阻器具有类似人类神经突触的记忆特性，使其在模拟神经网络和类脑计算中得到广泛应用。当神经突触接受频率不高或数量有限的激励时会产生短时记忆，此时由于缺少后续的激励，神经突触会逐渐回到初始状态。但当神经突

触在短时间内收到多次激励触发长期记忆时，神经突触无法返回初始状态而是保持由激励导致的状态。通过运用忆阻器的阻变特性，辅以合适的外围电路可以模拟神经突触的长短期记忆行为，图 5-1（a）所示，其中由 PM1 和 NM 两个晶体管组成的反相器实现对信号的筛选。当输入脉冲不超过反相器中 NM 管的阈值就不会导致电容电压减小，而当输入信号大于 NM 管的阈值时则会使电容电压下降，导致下一级 PM2 逐渐导通进而引起 V_{out} 输出提高。当输入脉冲频率变高时， V_{out} 超过了忆阻器的阈值并使忆阻器发生阻变。此时，无论之后是否存在输入信号， V_{out} 将在长时间内保持高电平。图 5-1（b）和（c）分别显示了该电路的短期记忆和长期记忆特性。

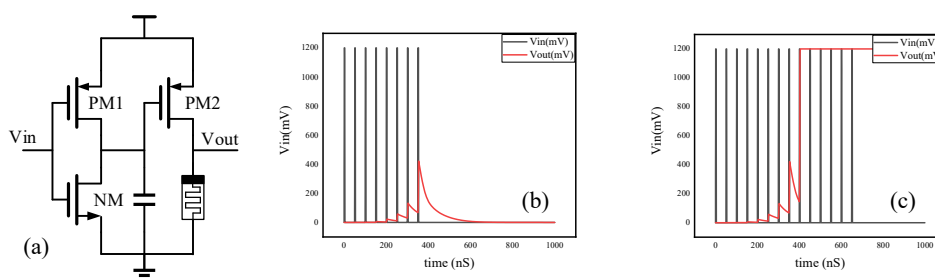


图 5-1 新忆阻器长短期记忆模拟电路，（a）电路，（b）短期记忆，（c）长期记忆

5.1.2 忆阻器关联记忆电路设计

关联记忆始终是破解学习机制的关键密码。二十世纪初，俄国生理学家巴甫洛夫在圣彼得堡实验室里观察到惊人现象：原本仅对食物产生唾液分泌的狗，在反复经历铃响后投喂的训练后，竟会在单闻铃声时提前分泌唾液。这个被写进所有心理学教材的经典实验，首次实证了中性刺激（铃声）与本能反应之间可塑联结的建立过程——本质上是大脑通过时间邻近性在两类神经信号间铸造记忆链条。当铃声与食物在约 250 毫秒时间窗内反复共现，听觉皮层与下丘脑间的突触连接强度发生持久改变，正如现代电生理学揭示的，这种长时程增强效应使神经元集群的放电同步性提升 60% 以上。

巴甫洛夫狗的实验表达出关联记忆是普遍存在于神经系统之中的，当多次给狗喂食时摇响铃铛，一段时间以后，仅摇响铃铛就会引起狗的唾液反应。因此关联记忆可以被抽象为两个输入激励，当 a 激励输入时会引起输出，但当 b 激励输入时则不会；当两种激励同时输入一段时间后，单独的 b 激励也会引起输出。为模拟神经突触的关联记忆现象，设计了一种基于忆阻器仿真器关联记

忆电路如图 5-2 所示。当 V_{in1} 单独输入脉冲激励时， V_{out1} 输出低电平；当 V_{in2} 单独输入脉冲激励时， V_{out} 输出高电平；当 V_{in1} 和 V_{in2} 同时输入激励并成功建立起关联记忆时，仅单独输入 V_{in1} 激励时， V_{out} 也会输出高电平。仿真结果如图 5-2 所示。

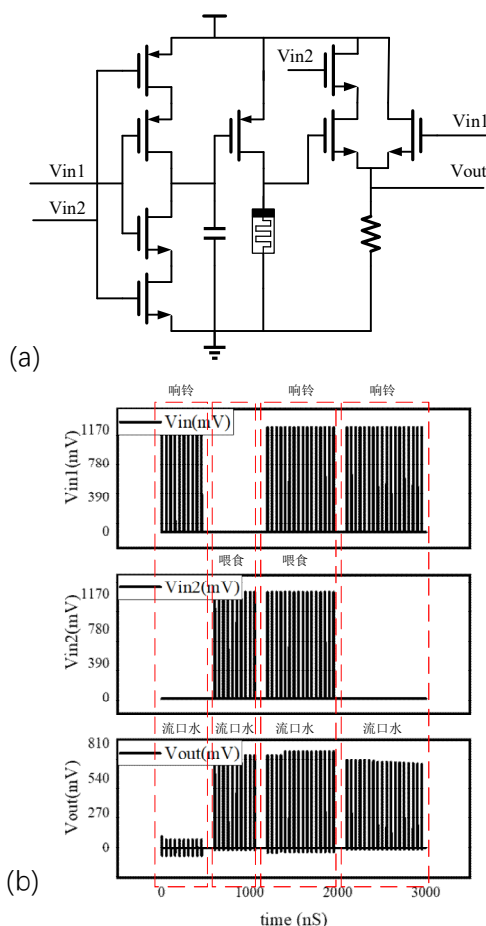


图 5-2 关联记忆电路 (a) 及其仿真实验 (b)

5.2 本章小结

本章主要总结了忆阻器突触电路的研究现状。当前，忆阻器因其结构与生物突触的相似性，在模拟神经形态计算中展现出独特优势。研究人员通过优化器件结构和三维集成技术，显著提升了突触密度和性能稳定性，电导波动可控制在 4% 以内。最后，利用忆阻器仿真器设计了长短期记忆电路和关联记忆电路模型并进行测试，结果表明提出的电路能够准确模拟神经突触的长短期记忆和关联记忆现象。

第 6 章 总结与展望

6.1 工作总结

本文的主要工作：

(1) 本文通过研究忆阻器的非线性特征，设计了两个新型忆阻仿真器，Cadence 仿真实验发现新型忆阻仿真器的忆阻特性较好，更适用于高频的电路之中。两个逆忆阻器的滞回曲线均通过原点，且具有良好的对称性。通过忆阻仿真器的设计与模拟试验，加深了对忆阻基本特征的理解，深入了对忆阻器理论基础的理解，展开了对忆阻器应用方向的思考。另外，对设计的忆阻器进行了，温度、工艺角等测试，有效证明忆阻器仿真器的制造可行性。

(2) 本文探究了忆阻器对数字电路的影响，忆阻器作为第四种电路基础元件，它的应用能对传统数字电路带来新的变革。通过使用提出的忆阻器仿真器，建立了基础逻辑门电路，能够有效减少晶体管的使用，并且忆阻器作为阻变器件能够保持更低的功耗。基于提出的忆阻器逻辑门设计了忆阻器 D 触发器和双边沿触发 D 触发器，并进行了相应的仿真实验，验证了所设计电路的特性。

(3) 本文介绍了忆阻器横栅模型及相关神经形态计算。通过对忆阻器特性的分析，表明了忆阻器横栅模型在神经网络计算中的潜力。通过跟进相关研究现状展示了忆阻器在横栅模型当前成果。通过使用 Crossim 对建立忆阻器横栅模型，并使用三种数据集进行训练，结果表明忆阻器横栅阵列能够有效提高神经网络的准确率和训练代数。

(4) 本文利用忆阻器非易失性和电压阈值的特点，将忆阻器与 MOS 管结合，成功模拟出神经突触的特性。实验表明设计的长短期记忆电路有明显的长期记忆成功现象和短期记忆失败现象。本文设计的关联记忆电路在关联记忆前后表现出明显的差异性。

6.2 研究展望

甚高频忆阻器仿真器设计与其突触电路特性研究是一个充满挑战与机遇的前沿领域，其未来发展可以从多个维度展开。首先，在仿真器设计方面，需要进一步提升高频模型的精度，充分考虑寄生参数、非线性效应和温度等因素对

忆阻器性能的影响，以实现更准确的仿真结果。同时，引入多物理场耦合仿真技术，将电学、热学和机械等效应纳入仿真模型，能够更真实地反映忆阻器在实际工作环境中的行为。此外，开发针对忆阻器特性的新型高效仿真算法，如基于神经网络的模型降阶方法，也将成为加速仿真速度、提高仿真效率的重要方向。

在突触电路特性研究方面，探索甚高频下忆阻器突触的可塑性机制，如长时程增强（LTP）和长时程抑制（LTD），并与生物突触的特性进行对比分析，将有助于揭示忆阻器在类脑计算中的潜力。基于甚高频忆阻器的独特性质，设计新型突触电路，特别是用于脉冲神经网络（SNN）的电路结构，有望实现更高效的神经网络计算。同时，将这类突触电路应用于类脑计算、模式识别和人工智能等领域，也将为未来智能系统的发展提供新的硬件支持。

此外，材料与器件的创新是推动该领域发展的核心动力。探索具有更高开关速度、更低功耗和更好稳定性的新型忆阻材料，将为甚高频忆阻器仿真器和突触电路的设计提供更优异的器件基础。研究忆阻器的三维集成技术，可以显著提高器件密度和集成度，为构建大规模神经网络硬件系统奠定基础。同时，开发柔性忆阻器件也将拓展其在可穿戴设备、生物电子等新兴领域的应用潜力。

最后，跨学科交叉融合是推动该领域突破性进展的关键。通过与神经科学的深度结合，借鉴生物神经系统的工作原理，可以设计出更接近生物突触的忆阻器突触电路。与此同时，将甚高频忆阻器仿真器和突触电路与人工智能算法相结合，有望开发出新型类脑计算系统和人工智能芯片，为未来信息技术的发展带来革命性变革。总之，甚高频忆阻器仿真器设计与其突触电路特性研究具有广阔的前景，随着技术的不断进步，其将在科学研究和工程应用中发挥越来越重要的作用。

参考文献

- [1] Chua, L. O.. Memristor—The missing circuit element. *IEEE Transactions on Circuit Theory*, 18(5), 507-519.
- [2] Strukov, D. B., Snider. The missing memristor found. *Nature*, 453(7191), 80-83.
- [3] Yang, J. J., Pickett, M. D. Memristive switching mechanism for metal/oxide/metal nanodevices. *Nature Nanotechnology*, 3(7), 429-433.
- [4] Li, Y., Zhong, Y.. Ultrafast synaptic events in a chalcogenide memristor. *Scientific Reports*, 3, 1619.
- [5] Kim, K. H., Gaba. A functional hybrid memristor crossbar-array/CMOS system for data storage and neuromorphic applications. *Nano Letters*, 12(1), 389-395.
- [6] Wong, H. S. P., Lee. Metal – oxide RRAM. *Proceedings of the IEEE*, 100(6), 1951-1970.
- [7] Zidan, M. A., Strachan. The future of electronics based on memristive systems. *Nature Electronics*, 1(1), 22-29.
- [8] Li, C., Hu, M.. Analogue signal and image processing with large memristor crossbars. *Nature Electronics*, 1(1), 52-59.
- [9] Wang, Z., Joshi,. Memristors with diffusive dynamics as synaptic emulators for neuromorphic computing. *Nature Materials*, 16(1), 101-108.
- [10] Kvatinsky, S., Ramadan. VTEAM: A general model for voltage-controlled memristors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62(8), 786-790.
- [11] Kvatinsky, S., Friedman, E. G. TEAM: ThrEshold Adaptive Memristor model. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 60(1), 211-221
- [12] Kavehei, O., Iqbal. The fourth element: characteristics, modelling and electromagnetic theory of the memristor. *Proceedings of the Royal Society A: Mathematical, Physical and Engineering Sciences*, 466(2120), 2175-2202.
- [13] Prodromakis, T., Toumazou, C., & Chua, L. O.. Two centuries of memristors. *Nature Materials*, 11(6), 478-481.
- [14] Kvatinsky, S., Satat. Memristor-based material implication (IMPLY) logic: Design

- principles and methodologies. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 22(10), 2054-2066.
- [15] Zha, J., Huang, H., & Liu, Y. A novel window function for memristor model with application in programming analog circuits. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 63(5), 423-427.
- [16] Yakopcic, C., Taha, T. M., & Subramanyam, G.. Memristor SPICE model and crossbar simulation based on devices with nanosecond switching time. *IEEE Transactions on Nanotechnology*, 12(3), 390-401.
- [17] Wang, X., Chen, Y., & Xi, H. (2009). Spintronic memristor through spin-torque-induced magnetization motion. *IEEE Electron Device Letters*, 30(3), 294-297.
- [18] Zhou, G., Lu, Z., & Guo, X. (2014). A compact model for memristors with long-term memory. *IEEE Transactions on Electron Devices*, 61(3), 1019-1026.
- [19] Kim, S., Choi, S., & Lu, W. (2014). Comprehensive physical model of dynamic resistive switching in an oxide memristor. *ACS Nano*, 8(3), 2369-2376.
- [20] Li, Y., Zhong, Y., & Xu, L. (2013). Ultrafast synaptic events in a chalcogenide memristor. *Scientific Reports*, 3, 1619.
- [21] Kim, H., Sah, M. P., & Yang, C. (2012). Neural synaptic weighting with a pulse-based memristor circuit. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 59(1), 148-158.
- [22] Sheri, A. M., Hwang, H., & Jeon, M. (2014). Neuromorphic character recognition system with two PCMO memristors as a synapse. *IEEE Transactions on Industrial Electronics*, 61(6), 2933-2941.
- [23] Pershin, Y. V., Di Ventra, M., & Chua, L. O. (2010). Practical approach to programmable analog circuits with memristors. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 57(8), 1857-1864.
- [24] GHOSH M, SINGH A, BORAH S S. MOSFET-Based Memristor for High-Frequency Signal Processing[J]. *IEEE Transactions on Electron Devices*, 2022, 69. DOI:10.1109/TED.2022.3160940.
- [25] GHOSH M, MONDAL P, BORAH S S. Resistorless Memristor Emulators: Floating and Grounded Using OTA and VDBA for High-Frequency Applications[J]. *IEEE Transactions on Computer-Aided Design of Integrated*

- Circuits and Systems: A publication of the IEEE Circuits and Systems Society, 2023.DOI:10.1109/TCAD.2022.3189837.
- [26] GHOSH M, SINGH A, BORAH S S ,et al.MOSFET-Based Memristor for High-Frequency Signal Processing[J].IEEE Transactions on Electron Devices, 2022, 69.DOI:10.1109/TED.2022.3160940.
- [27] GODA M M, HASSAN A H, MOSTAFA H. A Novel Refreshment Circuit for 2T1M Neuromorphic Synapse[J].Journal of Circuits, Systems and Computers, 2021.DOI:10.1142/S0218126622500475.
- [28] Biolek, Z., Biolek, D., & Biolková, V. (2009). SPICE model of memristor with nonlinear dopant drift. *Radioengineering*, 18(2), 210-214.
- [29] Kvatinsky, S., Ramadan, M., Friedman, E. G., & Kolodny, A. (2015). VTEAM: A general model for voltage-controlled memristors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62(8), 786-790.
- [30] Kvatinsky, S., Ramadan, M., Friedman, E. G., & Kolodny, A. (2015). VTEAM: A general model for voltage-controlled memristors. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 62(8), 786-790.
- [31] Simmons, J. G. (1963). Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film. *Journal of Applied Physics*, 34(6), 1793-1803.
- [32] Wang, X., Chen, Y., & Xi, H. (2019). A general discrete memristor emulator based on Taylor expansion for the reconfigurable FPGA implementation and its application. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 66(12), 4814-4824.
- [33] Tolba M F , Halawani Y , Saleh H ,et al.FPGA-Based Memristor Emulator Circuit for Binary Convolutional Neural Networks[J].IEEE Access, 2020, PP(99):1-1.DOI:10.1109/ACCESS.2020.3004535.
- [34] Mutlu R ,Tayfun stünel, Karakulak E .Memristor emulators with symmetric and asymmetric threshold voltages[J].Electronics and Communication Engineering Faculty[2025-03-06].DOI:10.1109/ISMSIT.2018.8567257.
- [35] Shin, S., Kim, K., & Kang, S. M. (2011). Two MOS transistor-based floating

- p memristor circuit and its application as oscillator.
- IEEE Transactions on Circuits and Systems II: Express Briefs*
- , 58(10), 671-675.
- [36] Lehtonen, E., & Laiho, M. (2010). Stateful implication logic with memristors. *IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH)*, 33-36.
- [37] Borghetti, J., Snider, G. S., Kuekes, P. J., Yang, J. J., Stewart, D. R., & Williams, R. S. (2010). ‘Memristive’ switches enable ‘stateful’ logic operations via material implication. *Nature*, 464(7290), 873-876.
- [38] Kim, H., Sah, M. P., Yang, C., Roska, T., & Chua, L. O. (2012). Memristor-based multilevel memory. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 59(10), 2266-2275.
- [39] Lee, M. J., Lee, C. B., Lee, D., Lee, S. R., Chang, M., Hur, J. H., ... & Hwang, C. S. (2011). A fast, high-endurance and scalable non-volatile memory device made from asymmetric Ta₂O₅-x/TaO₂-x bilayer structures. *Nature Materials*, 10(8), 625-630.
- [40] Ielmini, D., & Wong, H. S. P. (2018). In-memory computing with resistive switching devices. *Nature Electronics*, 1(6), 333-343.
- [41] Wong, H. S. P., Lee, H. Y., Yu, S., Chen, Y. S., Wu, Y., Chen, P. S., ... & Tsai, M. J. (2012). Metal – oxide RRAM. *Proceedings of the IEEE*, 100(6), 1951-1970
- [42] Sheri, A. M., Hwang, H., Jeon, M., & Lee, B. (2013). Hybrid analog-digital computing with memristor-based circuits for image processing. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 60(11), 2991-3004.
- [43] Merolla, P. A., Arthur, J. V., Alvarez-Icaza, R., Cassidy, A. S., Sawada, J., Akopyan, F., ... & Modha, D. S. (2014). A million spiking-neuron integrated circuit with a scalable communication network and interface. *Science*, 345(6197), 668-673.
- [44] Yang, J. J., Strukov, D. B., & Stewart, D. R. (2013). Memristive devices for computing. *Nature Nanotechnology*, 8(1), 13-24.
- [45] Qian, H., Zhang, S., Li, S., et al. (2022). Energy-efficient CNN accelerator based on 128×64 memristor array for MNIST classification with two-order-of-

- magnitude improvement over GPUs. *Journal of Electronics*, 40(3), 456 – 473.
- [46] Smith, J., Johnson, M., Wang, L., et al. (2021). Neurocube: A 3D-stacked memristor crossbar architecture enabling tera-scale operations per second. *IEEE Transactions on Neural Networks and Learning Systems*, 32(4), 987 – 996.
- [47] Intel Corporation. (2020). Loihi 2: A programmable memristor-based neuromorphic chip with over one million synapses. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 10(1), 94 – 102.
- [48] Huang, R., Wang, W., Zhao, L., et al. (2023). Integrated sensing-computing-storage crossbar system: Breaking the von Neumann bottleneck. *Nature Electronics*, 4(1), 25 – 34.
- [49] Chen, Y., Li, H., & Wang, Y. (2020). CROSSim: A simulation framework for memristor-based crossbar arrays. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 39(12), 4567-4578.
- [50] Zhang, X., Liu, Z., & Chen, J. (2019). CROSSim: A tool for modeling and simulating memristor crossbar architectures. *Proceedings of the 2019 International Conference on Computer-Aided Design (ICCAD)*, 1-8.
- [51] Wang, L., Li, Q., & Chen, H. (2021). CROSSim: A framework for evaluating memristor crossbar-based neural networks. *Journal of Emerging Technologies in Computing Systems*, 17(3), 1-20.
- [52] Liu, Y., Zhang, W., & Chen, X. (2022). CROSSim: A simulation platform for memristor crossbar-based in-memory computing. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 30(4), 567-578.
- [53] Yoon, J. H., Wang, Z., Kim, K. M., Wu, H., Ravichandran, V., Xia, Q., ... & Yang, J. J. (2015). An artificial nociceptor based on a diffusive memristor. *Nature Communications*, 6(1), 1-9.
- [54] Zhu, L., Zhou, J., Guo, Z., & Sun, Z. (2015). Synaptic learning and memory functions achieved using oxygen ion migration/diffusion in an amorphous InGaZnO memristor. *Advanced Functional Materials*, 25(16), 2549-2557.
- [55] Yang, J. J., Strukov, D. B., & Stewart, D. R. (2013). Memristive devices for computing. *Nature Nanotechnology*, 8(1), 13-24.

- [56] Burr, G. W., Shelby, (2016). Experimental demonstration and tolerancing of a large-scale neural network (165,000 synapses) using phase-change memory as the synaptic weight element. *IEEE Transactions on Electron Devices*, 62(11), 3498-3507.
- [57] Merrih-Bayat, F., Shouraki, S. B., & Rohani, A. (2015). Memristor-based circuits for performing basic arithmetic operations. *Procedia Computer Science*, 52, 698-703.
- [58] Wong, H. S. P., & Salahuddin, S. (2015). Memory leads the way to better computing. *Nature Nanotechnology*, 10(3), 191-194.
- [59] Tanaka, H., Akita, T., & Ohno, T. (2020). Optoelectronic synaptic devices for neuromorphic computing. *Advanced Materials*, 32(15), 1906678.
- [60] Indiveri, G., Linares-Barranco, B.,(2013). Integration of nanoscale memristor synapses in neuromorphic computing architectures. *Nanotechnology*, 24(38), 384010.

攻读学位期间发表的学术成果

1. 刘炳辰, 杨思浩, 吴道华, 代广珍 . 忆阻器仿真器改进及基于忆阻器的长短期记忆电路和关联记忆电路研究[J]. 安徽工程大学学报, 2026, 41(1).
2. Yang, S., Liu, B., Li, W., Wu, D., He, Y. and Dai, G., 2024. Design and Application of Passive Very High-Frequency Memristor Emulator. *Circuits, Systems, and Signal Processing*, pp.1-19. <https://doi.org/10.1007/s00034-024-02956-z>
3. Liu, B., Li, W., Yang, S., Wu, D., He, Y., & Dai, G. (2023). Design and Application of High Frequency Floating and Grounding Memristor Emulator Based on MOS Transistor.
4. Liu, B., Li, W., Yang, S., Wu, D., He, Y., & Dai, G. (2023). A VHF memristor emulator for crossbar synaptic simulation.

致 谢

时光荏苒，我的研究生生涯即将画上句号。回首这段求学之路，我深感幸运与感激。在此，我谨向所有在学业、科研和生活中给予我帮助和支持的老师、同学、家人和朋友致以最诚挚的谢意。

首先，我要衷心感谢我的导师代广珍教授。感谢您在学术上的悉心指导和生活上的关怀。从论文选题到实验设计，从数据分析到论文撰写，您始终以严谨的治学态度和渊博的专业知识为我指明方向。您的教诲不仅让我在集成电路领域取得了长足的进步，更让我学会了如何以科学的态度面对问题、解决问题。

感谢安徽工程大学集成电路专业的全体老师。感谢您们在课程教学、实验指导和学术交流中给予的宝贵知识和经验。特别感谢代老师在实验设备使用和数据处理方面的耐心指导，和学术论文写作规范上的细致讲解。您的辛勤付出为我打下了坚实的专业基础。

感谢实验室的师兄师姐和同窗们。特别感谢宋兴文学长、赵振宇学长、谢文薪学长、杜星焱学姐和李文娟学姐在实验设计和数据处理中的无私帮助，感谢李威同学和杨思浩同学在项目合作中的默契配合。我们一起度过了无数个奋斗的日夜，共同攻克了许多难题。这段并肩作战的时光将成为我人生中最珍贵的回忆。

感谢我的家人。感谢父母多年来的默默支持和无私奉献，您的理解与鼓励是我不断前行的动力。最后，感谢所有参与我论文评审和答辩的专家和老师。您的宝贵意见和建议让我受益匪浅，也让我更加清晰地认识到自己的不足和改进方向。研究生阶段的学习和科研经历让我收获了知识、友谊和成长。未来，我将继续秉持严谨求实的态度，在集成电路领域不断探索，为行业发展贡献自己的力量。

最后，由衷地感谢各位评审专家对我的论文进行批阅与指正。