

分类号: TN492

密 级: 公开

学校代码: 10363

学 号: 2210330157



安徽工程大学

Anhui Polytechnic University

硕士学位论文

题目 基于忆阻器的模数转换器
设计

论 文 作 者 杜星焱

校 内 导 师 代广珍（副教授）

校 外 导 师 向艳

专业学位类别 电子信息（085400）

研究方向（领域） 人工智能与系统集成

论文提交日期: 2024 年 5 月 31 日

分类号：TN492

单位代码：10363

密 级：公 开

学 号:2210330157

题 目 基于忆阻器的模数转换器设计

题 目 **Design of Analog-to Digital Converter Based on Memristor**

学生姓名： 杜星焱

校内导师： 代广珍

校外导师： 向艳

专 业： 电子信息

研究方向： 人工智能与系统集成

论文答辩日期： 2024.5.16

安徽工程大学学位论文原创性声明

本人郑重声明：我恪守学术道德，崇尚严谨学风。所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已明确注明和引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的作品及成果的内容。论文为本人亲自撰写，我对所写的内容负责，并完全意识到本声明的法律后果由本人承担。

学位论文作者签名：杜星焱

日期：2024年5月31日

安徽工程大学学位论文版权使用授权书

学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅或借阅。本人授权安徽工程大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密 ☐，在 ____ 年解密后适用本版权书。

本学位论文属于

不保密 ☒。

学位论文作者签名：杜星焱

指导教师签名：王明

日期：2024 年 5 月 31 日

日期：2024 年 5 月 31 日

基于忆阻器的模数转换器设计

摘要

随着人工智能的发展，大数字模型需求的数字信号处理不断增长，速度、精度和效率也将持续提升。然而，随着传统晶体管接近其物理尺寸限制，对数字信号处理的关键——模拟数字转换器（Analog-to-Digital Converter, ADC）的设计提出了在器件、工艺以及架构等层面的全面创新要求。自从忆阻器问世，其简单的结构、纳秒级的操作速度、低功耗以及能与传统 CMOS 工艺良好的兼容等一系列独特优势为摩尔定律的延续提供了新的途径，同时也为进一步减小传统集成电路面积和功耗提供了新的解决方案。将忆阻器与传统晶体管结合来设计电路，不仅能够在减小器件尺寸的情况下显著提高电路性能，而且可以实现更高的功效。本文研究了将忆阻器件与 CMOS 器件相结合的方法，利用了忆阻器件的独特优势，在芯片面积更小、功耗更低的前提下，实现了模数转换性能的显著提升。以下是本文的主要研究内容：

（1）对忆阻仿真器模型中的整形函数进行了改进，使用晶体管设计整形函数的恒流源，简单且高效。并设计了基于改进的整形函数的新型电流控制忆阻仿真器模型，仿真结果显示了该仿真器的 I-V 特性、带宽、高低阻值比以及迟滞叶片面积方面有所提升，并且频率有所提高，可以应用于较高频率的电路场合。

（2）利用忆阻器模型与 CMOS 晶体管混合设计比例逻辑电路，

实现了逻辑“与”门、“与非”门、“或”门以及“或非”门。在 LTspice 软件中进行仿真验证，采用了 50nm BSIM4 模型，实现了基本逻辑门的功能。基于这些逻辑门设计了一种下降沿触发的 D 触发器和 3 位二进制编码器和 4 位二进制编码器，并且在 LTspice 软件中进行了仿真，验证了以上电路设计的正确性。利用忆阻器设计触发器和译码器不仅减少了器件的数量，并且抗干扰能力也有所提升，为后续的闪存模数转换器（Flash ADC）中寄存器模块以及编码模块设计打下良好的基础。

(3) 将忆阻器和 CMOS 晶体管混合实现的 D 触发器和编码器应用于 Flash ADC 电路的设计，结合电阻链以及比较器模块设计了 3 位 Flash ADC 电路，利用 LTspice 软件对电路进行了仿真，结果验证了该设计的可行性。此外，还进一步设计了 4 位 Flash ADC，成功进行了采样，得到了准确的数字信号。在 1V 电源下，所设计的 4 位 Flash ADC 表现出了良好的性能，功耗为 5.84mW，延迟时间为 17.8ns。与最近报道的 4 位 Flash ADC 设计相比，基于忆阻器设计的电路功耗降低了约 25.57%，性能有了显著的提升。整体的器件运用中晶体管数量减少，电路面积减小了 24.39%。

关键词：忆阻器，CMOS，门电路，D 触发器，编码器，闪存模数转换器

DESIGN OF ANALOG-TO-DIGITAL CONVERTER BASED ON MEMRISTOR

ABSTRACT

As the demand for digital signal processing continues to grow with the computer boom and the development of CMOS technology, the speed, accuracy and efficiency of digital signal processing will continue to increase. However, as conventional transistors approach their physical size limitations, the design of analogue-to-digital converters (ADCs), the key to digital signal processing, demands comprehensive innovation at the device, process, and architecture levels. With the introduction of the memristor, its simple structure, nanosecond operation speed, low power consumption, and good compatibility with traditional CMOS processes and a series of unique advantages for the further development and improvement of Moore's Law provides a new way to solve the problem of the traditional integrated circuits with large area and high power consumption provides a new solution. Combining amnesia devices with traditional transistors to design circuits can not only significantly improve circuit performance without reducing device size, but also achieve higher efficacy. In this paper, we have investigated the method of combining amnesia devices with CMOS devices, which takes advantage of the unique

advantages of amnesia devices and achieves a significant improvement in analogue-to-digital conversion performance with a smaller chip area and lower power consumption. The followings are the main research content of this paper:

(1) The shaping function in the model of the memristor emulator is improved by using transistors to design a constant current source for the shaping function, which is simple and efficient. A new current-controlled memristor emulator model based on the improved shaping function is also designed, and the simulation results show that the emulator has improved I-V characteristics, bandwidth, high to low resistance ratios, and hysteresis blade area, and that the frequency has been increased so that it can be applied to higher frequency circuit applications.

(2) The proportional logic circuits are designed using a mixture of memristor models and CMOS transistors to implement logic “AND” gates, “NAND” gates, “OR” gates and “NOR” gates. The simulations were verified in LTspice software and the 50nm BSIM4 model was used to implement the basic logic gates. A falling edge triggered D flip-flop and 3-bit binary encoder and 4-bit binary encoder are designed based on these logic gates and simulations are carried out in LTspice software to verify the correctness of the above circuit design. The use of memristors to design flip-flops and decoders not only reduces the number of devices, but also

improves the anti-interference ability, which lays a good foundation for the design of register modules and encoder modules in subsequent Flash ADCs.

(3) The D-flip-flop and encoder, which are hybrid implementations of memristors and CMOS transistors, are applied to the design of Flash ADC circuits, and a 3-bit Flash ADC circuit is designed by combining the resistor chain as well as the comparator module, and the circuits are simulated by using the LTspice software, and the results verify the feasibility of the design. In addition, a 4-bit Flash ADC was further designed and successfully sampled to obtain an accurate digital signal. The designed 4-bit Flash ADC exhibits excellent performance with a power consumption of 5.84 MW and a delay time of 17.8 ns under a supply of 1 V. The circuit designed based on the memristor consumes about 25.57% less power and offers a significant improvement in performance as compared to the recently reported 4-bit Flash ADC design. The overall number of transistors used in the device is reduced and the circuit area is reduced by 24.39%.

KEY WORDS: Memristor, CMOS, Gate Circuit, D-Flip-flop (DFF), Encoder, Flash Analog-to-Digital Converter (Flash ADC)

目 录

第 1 章 绪论.....	1
1.1 研究背景与意义.....	1
1.2 研究历史与现状.....	3
1.2.1 忆阻器研究现状.....	3
1.2.2 模数转换器研究现状.....	6
1.3 论文研究内容及结构.....	8
1.3.1 主要研究内容.....	8
1.3.2 文章脉络结构.....	9
第 2 章 忆阻器理论和模型.....	11
2.1 忆阻器理论.....	11
2.1.1 忆阻器概念与定义.....	11
2.1.2 忆阻器的工作原理及特性.....	13
2.2 HP 忆阻器模型.....	16
2.2.1 HP 忆阻器模型分析.....	16
2.2.2 惠普忆阻器仿真.....	17
2.3 忆阻器模型改进.....	18
2.3.1 整形函数设计与仿真.....	18
2.3.2 忆阻仿真器电流控制模型设计与仿真.....	21
2.4 忆阻器通用模型和仿真.....	22
2.5 本章小结.....	25
第 3 章 忆阻器逻辑门和基本数字电路设计.....	26
3.1 忆阻器逻辑门电路的实现.....	26
3.1.1 门电路设计.....	26
3.1.2 门电路仿真验证.....	29
3.2 忆阻器边缘触发 D 触发器电路设计.....	30
3.2.1 D 触发器电路设计.....	30
3.2.2 D 触发器电路仿真.....	32

3.3 忆阻器编码器电路设计.....	32
3.3.1 忆阻器 3 位二进制编码器设计与仿真	32
3.3.2 忆阻器 4 位二进制编码器设计与仿真	34
3.4 本章小结.....	36
第 4 章 忆阻器闪存模数转换器电路设计.....	37
4.1 闪存模数转换器（Flash ADC）简介.....	37
4.2 基于忆阻器的 Flash ADC 电路设计.....	39
4.2.1 A/D 转换的量化与编码	39
4.2.2 3 位 Flash ADC 电路设计	40
4.2.3 3 位 Flash ADC 电路仿真验证	42
4.2.4 4 位 Flash ADC 电路设计	43
4.2.5 4 位 Flash ADC 电路仿真验证	45
4.2.6 对比与总结.....	46
4.3 本章小结.....	47
第 5 章 总结与展望.....	49
5.1 工作总结.....	49
5.2 研究展望.....	50
参考文献.....	51
攻读学位期间发表的学术成果.....	58
致谢.....	59

第 1 章 绪论

1.1 研究背景与意义

众所周知，计算机的繁荣与 CMOS 工艺的发展密不可分。CMOS 工艺技术经历了一个充满活力的发展阶段，随着时间的推移，CMOS 的尺寸逐渐减小，从最初的小规模集成电路逐步发展到大规模集成电路。这一发展历程既表现为电路尺寸改变，又表现为电路集成度、功能性等方面得到不断强化^[1]。但尽管半导体技术蓬勃发展，摩尔定律也面临着前所未有的难题。在最近的几年中，大量的证据显示，摩尔定律已经不再保持其过去的绝对精确性和实用性^[2]，并且随着时间的流逝，CMOS 晶体管的关键尺寸持续缩小，与此同时，它的精确度正在不断上升，其大小已经逐渐趋近于其极限^[3, 4]。这种发展趋势对传统集成电路(IC)的生产工艺产生了显著的限制，例如晶体管短沟道效应，即晶体管的沟道长度变短，从而降低了晶体管的性能。此外，晶体管的量子效应也会导致其性能下降。与此同时，量子效应也对 CMOS 集成电路造成很多制约，并影响到它的各方面，其中包括功耗以及设计方案。这些制约因素严重妨碍 CMOS 技术向更深层次发展^[5]。据惠普实验室科学家 Stanley Williams 介绍，他预言，传统晶体管最大 15 年体积就会到达不能再减小的限度。所以，今后一个时期集成电路的设计方向更多集中在电子器件的有效使用和器件潜能的最大化。数字存储电路是集成电路中的一个核心子领域，随着集成电路技术的迅猛进步，数字存储电路的时代已经从基于元件的阶段向基于系统的阶段发展^[6]，这意味着电路面积不断增大，功能也逐渐丰富。在当今集成电路飞速发展的大环境下，面对着摩尔定律的逐步失效的现状，寻找全新的方向变得迫切。目前，科学家们已经提出了许多新型器件和材料的构想，例如量子器件和超高温超导材料^[7-9]。这些新器件、新材料显示出迎接集成电路高度集成化进程所带来的种种挑战所具有的潜力。引入了量子器件和超高温材料等新概念，已部分缓解数字电子技术领域快速发展时遇到的设计瓶颈^[10, 11]。数字电路目前面临着诸多难题，包括元器件多、能耗高、占用面积受限等。为了集成电路的长远发展，就必须探索新的器件与设计方法来解决数字电路所面临的面积，能耗与成本问题。因此，

研究这些问题具有十分重要的意义。

1971 年, 蔡少棠教授根据对称原理和理论分析, 首次提出了无源二端元件 (即忆阻器) 的创新概念, 它是继电阻、电容和电感之后电路中的第四个基本元素^[12]。2008 年, HP 实验室成功研制出第一个 TiO_2 忆阻器^[13]。这一物理器件的诞生极大地激发了科学界和研究领域对忆阻器的兴趣, 使得忆阻器自此成为了一个广受关注的研究对象。

现代计算机和集成电路技术日新月异, 信号处理也逐渐实现了数字化。实际环境中的信号 (如光信号、温度信号、声音信号等) 是以模拟形式存在。模数转换器是连接模拟和数字世界的桥梁, 它将带振幅的连续时间模拟信号转换为带振幅的离散数字信号, 便于数字系统处理。因此, 模数转换器已成为电子系统中不可缺少的一部分。随着 5G、物联网和其他技术的快速发展, 对作为 ADC 关键特性的精度和速度的要求将不断提高。ADC 是许多应用的重要组成部分, 如超宽带通信 (UWB) 电路、雷达系统、光学数据记录系统、光通信系统和磁盘驱动器, 这些都对我国的国防事业具有重要战略意义。

模数转换器有着很多种类, 适用于不同的场合。按照结构的不同, 主要有是闪存型 (Flash ADC)、逐次逼近型 (SAR ADC)、积分型 ADC、流水线型 (Pipelined ADC) 等。其中 Flash ADC 以其显著的速度脱颖而出, 由于其简单的设计和优越的吞吐量, 在低分辨率和高速应用中尤其具有优势。但是, 与其他 ADC 相比, Flash ADC 有一个显著的缺点, 即随着精度的提高, 电路规模迅速扩大。由于使用的元件数量众多, 功耗较高, 这就需要提供较高的电源电压和较大的芯片面积^[14, 15]。因此, 应从工艺、器件数量、结构、成本等方面对 ADC 的设计提出全面的创新需求, 以减小芯片面积, 降低功耗。新兴的新型器件即忆阻器的出现为 ADC 设计的创新提供了一条新的思路。它不只是作为信息储存的单元, 还具备执行逻辑运算的功能, 使得储存和计算功能得以结合。这样做免去了在冯诺依曼体系结构中, 每完成一次计算就必须通过总线把结果传送到内存或外部存储器中去的步骤, 有效减少了数据与内存间不断的数据交互, 从而降低了处理数据时的能耗。这有效地提升了信息处理效率, 同时增强了传统 CMOS 逻辑门的运算速度。另外, 忆阻器在 ADC 设计上的应用可以促使新型存储与计算系统的发展。由于忆阻器具有内在的非易失性和可编程性, 因此在

构建融合存储与计算系统时具备潜在的优势，这对于处理大规模数据和实现更快速的计算有着重要的影响。因此，本文对 CMOS/忆阻混合电路进行研究，并在此基础上设计 Flash ADC 电路。

1.2 研究历史与现状

1.2.1 忆阻器研究现状

随着电子信息时代的飞速发展，集成电路的集成度随着元件数量的不断增加逐步提高。现有的半导体晶体管有其局限性，需要能与传统元件结合或能完全取代传统元件的新型元件来解决集成电路目前的瓶颈。忆阻器的问世为这一难题开辟了全新的探索方向，近几十年来，国内外科研工作者对其一直持续不断的进行研究。

1971 年，蔡少棠教授首次理论上预言了忆阻器的存在，开启了忆阻器研究领域。五年之后，他与学生 Sun Mo Kang 共同深化了这一领域的理论基础，并将其应用推广至更广泛的忆阻性元件系统^[16]，为忆阻器技术的发展奠定了坚实的基础。他们强调，只有当器件两端施加电压或者内部的电流变化时，其电阻值才会发生非线性变化，这样的器件被归类为忆阻器件系统。而且，这种电阻状态在没有外部电压或电流作用时保持不变，因此忆阻器件被归类为一种非挥发性器件，其特点在于具有可变电阻状态，这一特性的引入为忆阻器的研究领域带来了广泛的拓展。在 1971 年至 2008 年的持续时间内，关于忆阻器的深入研究不断推进，主要聚焦于忆阻器的理论探讨以及理论在应用方面的研究。这段时期的研究着重于对忆阻器的理论基础进行论证，同时也着眼于其在实际应用中的潜在价值。这一时段的贡献为忆阻器技术的发展奠定了理论基础，并为未来的实际应用和技术创新提供了有益的指导。直到 2008 年，在《Nature》杂志上，惠普实验室的工程师 Dmitri B. Strukov 等人发表了一篇关于忆阻器的论文，成功地构建了忆阻器的物理模型，从实验角度验证了忆阻器的存在，至此之后，日益增多的学者致力于忆阻器的研究，涵盖了其建模^[17-19]、阻变原理^[20-22]、应用^[23]等多个方面。为了推进忆阻器的研究，蔡少棠教授在 2015 年又从数学方法上提出了忆阻器公式化定义，进行数学建模把忆阻器进行了分类，包括理想忆阻器、理想通用忆阻器、通用忆阻器和拓展忆阻器^[24]。近年来，研究人员从不同领域对忆阻器进行了全方面的探索与研究。

在忆阻器的电学特性研究领域，HP 实验室的 Williams 及其团队提出了一个被称为线性漂移模型的新概念^[13]。这个模型描述了忆阻器件在高阻区域和低阻区域之间串联组成的情况，并提出了一个假设，即电流导致离子漂移，进而导致高阻区和低阻区的边界位置发生变化。同时，该模型还假设当离子达到边界时会停止漂移，并通过窗口函数来进一步阐释这一过程。Shahar Kvatinsky 及其团队在以色列理工学院开发了一种新型的忆阻器件模型^[25]。这一模型特别强调了阈值电压的特性，并在分析离子的非线性漂移行为时，对 Simmons 隧道模型进行了融合和改进。该研究不仅深入讨论了离子漂移模型，还采用了一种半经验方法来建立电流和电压之间的关系。这项研究为忆阻器件的理论建模提供了新的思路和方法。尽管忆阻器件的阻变机制尚未得出一致的结论，但众多学者倾向于认为导电细丝机制与势垒型机制是其中较为可信的解释。举例来说，就导电细丝机制而言，专家们推断，忆阻器中阻值的改变可能源自于绝缘层内导电细丝的形成或断开^[26]。这些理论为理解和优化忆阻器件的性能提供了重要参考，但仍需要更多实验证据和深入研究来验证和完善这些理论。

在存储电路设计领域，随着数据量的增加，冯·诺依曼架构面临着诸多挑战。随着忆阻器的出现，研究人员和科学家发现了开发计算机架构的新方法。基于 CMOS-忆阻器设计的新型非易失性存储器结构的发展势头日益强劲。2010 年，惠普实验室提出了一项创新想法，将忆阻器和电阻进行串联，使忆阻器的高低阻态替代了传统 CMOS 电路中的高低电平，从而进行逻辑运算。该想法基于忆阻器的非易失性，它可以在逻辑运算后保持其电阻状态。这一创新证实了忆阻器存算一体化的功能，为计算机科学与工程学的未来创造了新的机遇。2014 年，Kvatinsky 等人提出了忆阻辅助逻辑电路(memristor aided logic, MAGIC)^[27]这一创新电路。此创新之精髓在于采用了独立的忆阻器来保存计算成果，利用其阻态的高低作为逻辑输出，可大大简化操作，提高逻辑电路的效率。Mane 等人^[28]提出了一种基于嵌入式“或非”逻辑的 FPGA 架构，其中忆阻器负责逻辑运算，嵌入式存储器负责存储数据。2023 年，经过 11 年辛勤工作，清华大学的研发团队成功开发了世界上第一款全面集成且能在芯片上高效学习的忆阻器存储计算芯片^[29]，这一创新预计将推动人工智能、自动驾驶技术、可穿戴设备等领域的进步。作为计算能力的具体承载者，这枚强大而节能的芯片已成为当前智能革

命发展的核心基石，也是中国人工智能技术持续发展的又一能量源泉。

在数字电路设计领域，可以将忆阻器的电阻状态作为逻辑值，高阻状态为0，低阻状态为1，从而实现基本的逻辑运算功能。2012年，Kvatinsky等人进一步研究了IMP逻辑，并提出了一种与现有CMOS技术兼容的忆阻比例逻辑电路（MRL）^[30]。与惠普实验室提出的忆阻蕴含逻辑不同，MRL设计使用电压作为输入和输出，忆阻器只充当逻辑运算的算术单元，其优势在于能够轻松与CMOS逻辑电路混合。Mane等人设计了基于CMOS/分子架构的“或非”逻辑电路，利用CMOS/忆阻器实现了忆阻蕴含逻辑^[31]。文献^[32]提出了一种方法来解决蕴含逻辑受限扇出问题，即结合忆阻器和电流镜来实现并行操作。文献^[33]和文献^[34]提出了一种通用CMOS反相逻辑门结构，它将“与”、“或”、“异或”逻辑功能结合在同一电路中，并提供不同的功能，还开发了加法器和乘法器等功能电路。

在人工神经网络设计领域，忆阻器是一种具有记忆功能的非线性电阻，可以模仿神经突触的行为^[35-38]。这种特性让忆阻器在人工智能和神经网络领域备受关注，因为它们在模拟生物神经元的联接和信号传导方面更为精确。通过改变忆阻器的电阻值，可以模拟出突触的强度和连接的变化，从而实现类似于人脑神经网络的学习和记忆功能。2012年，Kim和其他研究人员提出了一种新的突触电路，它可以实现正、零和负突触权重，并使用差分放大器将电流转换为电压^[39]。这引入了一种更加灵活和多样化的突触连接方式，使得神经网络的模型能够更贴近生物神经系统的复杂性。2015年，段书凯教授领导的研究小组对该突触电路进行了改良^[40]，用两个电阻代替原来的失忆器，简化了电路权重的操作。这一创新使得突触电路的设计更加灵活且易于控制，为神经网络的实现提供了更便捷的解决方案。根据文献^[41]的研究，开发出了一种新型的多层次神经网络电路。这种电路的设计依赖于忆阻器的桥突连接。研究者通过采用误差反向传播算法（简称BP算法）来训练神经网络，从而实现了突破性的成果。

在混沌系统开发领域，忆阻器具有独特的非线性动力学特性，可导致一系列非线性不具有平衡态或无限平衡态的特殊非线性动力学系统可能具有潜在的混沌吸引子，从而导致各种复杂的动力学行为，如状态转换、超混沌和共存吸引子^[42-44]。在混沌系统中应用忆阻器会大大增加系统的混沌程度。2012年，

Wang 及其团队提出了一项引人注目的研究^[45]，他们设计了一种基于惠普(HP)忆阻器的三阶混沌系统。这个创新系统揭示了极其复杂的动态行为，为混沌理论与非线性动力学的研究领域注入了新的活力。2015 年，鲍伯诚团队在蔡氏电路中使用忆阻器代替二极管，经过周期性信号激励后，发现了电路的各种瞬态特性^[46]。此外，文献^[47]和文献^[48]还不断提出两级旋转吸引子和多级吸引子并存产生对称周期簇的现象，进一步揭示了非线性混沌系统的复杂性。

在集成与集成电路设计领域，研究人员正在探索如何将忆阻器融入现有的半导体工艺中，以实现更高的集成度。Shin Sangho 及其团队展示了忆阻器在可编程模拟电路中的有效性，他们通过对脉宽和频率的精确调整来改变忆阻器的电阻值，并且成功开发了一个脉冲控制的差分放大器^[49]。同时，HP 实验室的科研人员也在非挥发性存储器领域，实现了纳米忆阻器技术的应用，开发了一种创新的非挥发同步触发器^[50]。这项技术突破具有重大意义，因为该电路能够高效地存储和恢复状态，在 1000 次掉电事件中，错误率仅为 0.1%。Wei Wang 及其团队利用了一种能够与现行 CMOS 工艺相兼容的技术，成功开发出了一款结合了 CMOS 和忆阻器的 FPGA 混合架构^[51]。这一创新性结构具有 1T1M(1 Transistor 1 Memristor)的特点，能够构建出高效的 FPGA 存储块。最重要的是，与传统的纯 CMOS 结构相比，CMOS-忆阻器件结构的路径切换方式不同，实现了低功耗、高速和高密度的数据处理，该研究的成功为可编程逻辑器件的设计与制造带来了新的思路，为下一代计算架构的发展提供了有力支持。

1.2.2 模数转换器研究现状

如今，随着半导体工艺技术的持续进步以及工业和学术领域对其深入研究的推动，模数转换器技术领域正迎来快速发展，形成了一个具有多样化特性和架构的广泛家族。模数转换器本身构成了一个广泛的领域，其中每一种类型都展现出独特的优势和局限性。在高速模数转换器领域，Flash ADC 占据了主导地位。该类型的 ADC 以其能够轻易实现极高转换速度为特点，但其缺点在于，随着转换位数的增加，其核心电路的复杂性和能耗也会显著增加。此外，由于采用了众多比较器，比较器之间的失调和 mismatch 可能会导致系统误差增大。因此，Flash ADC 主要被应用于那些对速度有一定要求，而对能耗和精确度要求相对较低的应用场合，如雷达系统。随着对更高系统性能的需求不断增长，研究人员

越来越关注低能耗和高精度 ADC 的研发，这已经成为了国际上的研究焦点。随着 IC 工艺的迅速发展，模数转换器在转换速度、精度和能效等关键方面都取得了显著的进步。国内外越来越多的研究人员在这三个核心维度上不断进行探究和研究。

1.高速 ADC 研究与探索。2006 年，加州大学伯克利分校的 Chen S W M 提出了一种速度为 600MS/s 的 6 位 SAR ADC^[52]。该 ADC 使用异步时钟周期和按需分布的时钟脉冲，大大提高了 ADC 转换速度。2010 年，Liu C C 等人提出了一种具有二进制冗余的 10 位 100 MS/s SAR ADC^[53]。这一创新性的研究以一种不同寻常的方式引入了冗余位，并通过增加冗余位成功缩短了电容矩阵的恢复时间。在实现 10 位精度的同时，有效地提高了采样速度，为快速且精准的模数转换提供了一种创新的解决方案。2012 年，Verbruggen B 等人提出了一种采样速度为 250MS/s 的 11 位时间交织流水线型的 ADC^[54]。它结合了粗量化和细量化功能，有效提高了电路利用率。2013 年，恩智浦（NXP）公司提出了一款功耗较高的 11bit 3.6GS/s 的 4×16 TI-SAR ADC^[55]，其功耗达 795MW。2015 年 Hong H K 等人提出了一种 2 位/周期的 SAR ADC^[56]。它采用 M bit/step 方法，在每个时钟周期内获得 M 位输出，有效提高了 ADC 的效率，并实现了 1GS/s 的采样率。2018 年，中国台湾科技大学提出了一款功耗仅为 38MW 的 7 位 5GS/s TI-SAR ADC，采用了背景时序偏移校准技术^[57]。2019 年，Wu C 等人利用开环分段电容器成功开发出速度为 300MS/s 的 12 位流水线型 ADC^[58]，大大提高了 ADC 的转换速度。

2.高精度 ADC 研究与探索。过去，ADC 电路设计常采用模拟自校准的方式来应对设备失配、寄生效应和噪声问题带来的精度影响。然而，随着工艺的发展，这些传统方法在未来将不再适用，新的解决方案应运而生。例如，使用高压输入管代替具有传统电压容差的晶体管，可以增加输入信号的振荡幅度，提高电路精度。此外，还出现了一些数字校准技术，用于解决模拟电路的非理想问题，并结合 Sigma-Delta ADC 的噪声整形技术，以进一步改善电路精度。2008 年，伍斯特理工学院（WPI）率先使用分立电容器进行数字校准，并成功开发出 1MS/s 的 16 位 SAR ADC^[59]。2012 年，德州仪器公司提出了一种采用双电容阵列结构的 SAR ADC^[60]，在输入管中使用一个 5V 高压晶体管，将 4 位粗量化

与 16 位精确量化相结合, 以实现兼容精度和功耗。同年, Flynn M P 等人首次提出了过采样噪声整形技术, 成功设计了一款 10 位 90MS/s 的 SAR ADC^[61]。2016 年, ADI 推出了一款 16 位 SAR ADC, 具有 3 MS/s 的速度和多通道复用功能, 实现了近乎零延迟开关和比同类产品高三倍的精度。在 2018 年, Li S 等人开发了一种二阶 $\Sigma\text{-}\Delta$ SAR ADC^[62], 通过引入误差反馈方法并将其与电荷分离方法相结合, 显著提高了电路精度。

3.低功耗探索与研究。2010 年, Liu C C 提出了一种单调开关策略^[63], 与传统方法相比, 功耗降低了 81%。同年, 中国澳门大学的 Zhu Y 提出了一种基于 V_{cm} 的开关策略^[64], 与传统方法相比, 功耗降低了 87%。2012 年, Huang JY 等人提出了一种开关策略, 避免了大型电容器的低效开关^[65], 功耗降低了 93%。2014 年, Yaul F M 等人提出了一种开关策略, 即从 LSB 位开始进行开关切换^[66], 从而大大降低了电路功耗。2018 年, Kung C Y 等人引入了自适应窗口来设计 SAR ADC^[67], 利用锁存器的瞬态来建立冗余位, 既避免比较器亚稳态, 又降低了系统的功耗。2019 年, Khorami A 等人提出了改进型的双尾电流动态比较器^[68], 并将其应用在 ADC 中, 大大降低了比较器的功耗。随着工艺的不断发展, 数字电路的性能也越来越好。2020 年, 韩国科学技术学院提出了双时钟数字控制技术^[69]来设计 ADC, 在 1V 的工作电压下, 其功耗仅为 1.9mW; 2021 年, 东南大学利用三级开关技术和开关行为的数字优化, 为合成孔径雷达实现了基于 10 位模数转换器的 10 位 SAR ADC^[70], 功耗仅为 185.72nW。

1.3 论文研究内容及结构

1.3.1 主要研究内容

对忆阻器和模数转换器的研究现状进行深入分析, 本文从基于忆阻器的逻辑门电路开展工作, 工作内容包含三个主要部分: 忆阻器理论与忆阻器模型改进、基于忆阻器的逻辑门电路和基本数字电路设计, 以及利用忆阻器实现的模数转换器。

第一部分讨论了忆阻器的概念和理论, 了解忆阻器的工作机制。包括对忆阻仿真器和忆阻器 SPICE 模型的探讨, 为今后忆阻器在逻辑电路中实现提供了坚实的理论基础。本文对忆阻仿真器中的整形电路进行了改进, 并把改进的整形函数应用于电流控制忆阻仿真器模型, 并进行仿真, 结果表明其滞回曲线性

能更好且频率有所提高，可以适应更高频率的电路场合。对通用忆阻器模型进行了数学分析以及仿真，加深了对忆阻器的阈值特性和电流-电压特性的理解，为后续电路设计奠定了理论与实践基础。

第二部分首先介绍了忆阻器的二值特性，这是忆阻器可以用于逻辑电路设计的主要原因，搭建经典 MRL 结构的基本逻辑门电路，并在此基础上设计和优化基于逻辑门的 D 触发以及 3 位二进制编码器和 4 位二进制编码器电路，以实现高性能、低功耗和可靠性的逻辑运算和时序控制，通过仿真验证了其正确性，并为后续 Flash ADC 电路设计奠定了基础。

第三部分在忆阻器逻辑门电路、忆阻器 D 触发器电路以及忆阻器二进制编码器的基础上搭建 3 位 Flash ADC 和 4 位 Flash ADC，并在 LTspice 软件中进行设计与仿真，验证了其正确性与稳定性，并与其他文献中的 4 位 Flash ADC 设计进行比较，发现本文设计的 Flash ADC 电路在电路面积、延迟时间和功耗等方面具有一定的优势。

1.3.2 文章脉络结构

文章的脉络结构分为下面五个部分：

第一章绪论。概述了忆阻器的科学背景，忆阻器是延续摩尔定律，突破当前集成电路困境的最有前景的电路元件之一。阐述了当前忆阻器研究的趋势及其在各个领域中的应用；同时介绍了模数转换器国内外研究现状，分析了目前市场对模数转换器的需求。本文利用忆阻器的特殊性质对 Flash ADC 设计进行了研究和探索。最后是介绍本次设计的目标以及文章架构综述。

第二章忆阻器理论和模型。探讨了忆阻器的理论，包括忆阻器的定义、工作原理以及特性。对 HP 忆阻器模型进行讨论，并通过模拟实验深度探讨了该模型。在此基础上提出了一种新型整形函数—— $\tanh$ 整形函数，并在此基础上设计了电流控制忆阻仿真器模型，对忆阻器模型进行了优化。在 I-V 特性、带宽、高低阻值比以及迟滞叶片面积方面性能有所提升，并且频率有所提高，可以应用于较高频率的电路场合。为后续电路设计奠定了基础。

第三章忆阻器逻辑门和基本数字电路设计。首先，利用忆阻器的二值特性搭建了逻辑“与”、“与非”、“或”、“或非”门电路，并通过仿真实验验证了正确性。运用“或非”门逻辑电路设计了下降沿触发的 D 触发器，利用“与”、“与

非”、“或”门电路设计了 3 位二进制编码器和 4 位二进制编码器电路，在 LTspice 软件中对这些电路进行了仿真，验证了所设计的电路稳定性、正确性，可以应用于后续 Flash ADC 电路设计

第四章忆阻器闪存模数转换器电路设计。首先分析了闪存模数转换器（Flash ADC）电路和优势，介绍了电路和各个模块，包括电阻链模块、比较器模块以及模数转换过程中量化电平的方法。在此基础上结合基于忆阻器的逻辑门电路、D 触发器和编码器电路设计了 3 位和 4 位 Flash ADC，并在 LTspice 环境中搭建了基于忆阻器件的 Flash ADC 电路模型，并进行了电路的功能的仿真验证。仿真结果与文献对比结果表明基于忆阻器的 Flash ADC 的功耗明显减小，器件数量大大减少，电路面积也相对减小。

最后，对本文的工作进行了总结和展望。

第 2 章 忆阻器理论和模型

本章深入探讨了忆阻器的基本概念与定义，此外，还深入分析了其电流与电压特性及阻抗变换的原理。介绍了 HP 忆阻器模型并进行数学分析以及仿真。在理论基础上对忆阻仿真器模型中的整形函数进行改进，优化忆阻仿真器电流控制模型。此外，介绍了忆阻器通用模型，分析了数学建模过程并在 LTspice 软件中进行仿真，从而为后续章节的深入研究和实验设计提供了理论支持。

2.1 忆阻器理论

2.1.1 忆阻器概念与定义

在电学的领域中，我们主要研究的四个核心概念是电荷、电流、电压和磁通量。其中，电阻 R 是用来表述电压和电流之间关系的参数，电容 C 展现了电荷与电压的相互作用，而电感 L 则是描述电流和磁通量关系的重要因素。基于这些理论基础，人类开创了电气技术和电子信息技术的辉煌时代。然而，长期以来，电荷与磁通量之间的关系却鲜少受到关注。在过去 140 年里，人类已知的基本无源元件只有三种：电容器、电阻器和电感器。直到 1971 年，蔡少棠教授揭示了第四种基本无源元件的存在。这一新型元件正是电荷与磁通量之间关系的体现，忆阻器扮演了磁通量和电荷相互联系的桥梁角色，如图 2-1 所示。教授因这个元件所具备的独特性，将其命名为忆阻器（Memristor）。

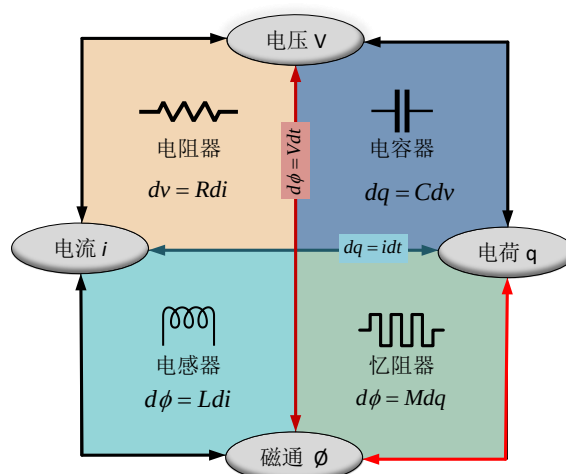


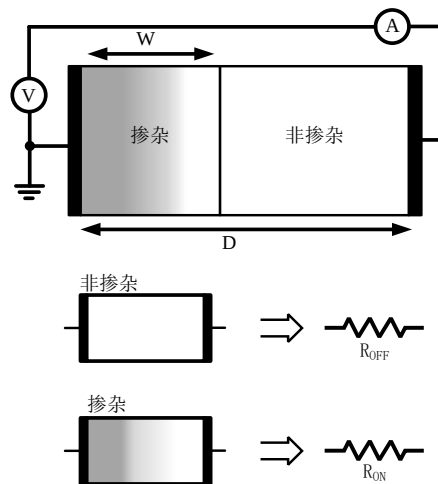
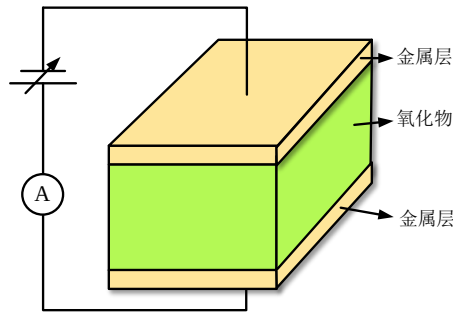
图 2-1 四种基础无源电路元件关系

从图 2-1 我们可以看出，如果磁通量和电荷量存在一一对应关系，那么可以定义 $φ$ 随 Q 的变化率：

$$M = \frac{d\phi}{dQ} = \frac{d\phi/dt}{dQ/dt} = \frac{V}{I} \quad (2-1)$$

这里的 M 代表忆阻值，它是一种与电阻相似的物理量，通过计算器件两端电压与通过的电流比值来确定^[12]。不同于普通电阻，忆阻器的数值不仅取决于其电阻属性，还受到之前流过该元件的电荷总量 Q 的影响，因此具有记忆功能。

忆阻器具有与电容器类似的金属-绝缘体-金属的多层结构，如图 2-2 所示。在这种结构中，两个电极夹持了一层极其薄的二氧化钛。这层二氧化钛被细分为两个部分，一部分作为常规的二氧化钛层，其中另一部分通过施加电场形成可移动的氧空位进行掺杂，电阻较低，剩余未掺杂部分电阻较高，具有绝缘性。两端加正向电压，形成的电场驱动氧空位进一步扩散，忆阻器电导增加，反之，两端加负向电压，电导减小。撤去电压，氧空位转移过程停止，这意味着忆阻器的电导随之固定下来，保持撤去电压前的状态。氧空位忆阻迁移机制如图 2-3 所示。



尽管忆阻器具有电阻的量纲特征，但它的性能与传统电阻存在差异。在理论角度，忆阻器是一种非线性二端器件，并且其电阻是可调的。这样的变动是由经过忆阻器内的整体电荷量引起的，这也使得忆阻器拥有了记忆的功能。换句话说，忆阻器能够根据过去的电荷流经情况来调整其电阻值，因此能够在未来的使用中存储和提取信息。1976 年，蔡少棠教授与他的学生指出，任何因施加在器件两端电压或流经器件电流而发生变化的非线性两端器件，都可以被分类为忆阻器件系统。此外，他们还将忆阻器件划分为电压控制模型和电流控制模型两种类型，以进一步深化对这一领域的理解。

忆阻器电流控制模型由公式(2-2)和(2-3)定义，其中电阻变化率是电流的函数。

$$v(t)=R(x,i(t),t)i(t) \quad (2-2)$$

$$\frac{dx}{dt}=f(x,i(t),t) \quad (2-3)$$

忆阻器电压控制模型由公式(2-4)、(2-5)定义，电阻变化率是电压的函数。

$$i(t)=G(x,v(t),t)v(t) \quad (2-4)$$

$$\frac{dx}{dt}=f(x,v(t),t) \quad (2-5)$$

其中， $v(t)$ 为输入电压、 $i(t)$ 为输入电流， x 代表忆阻器状态变量， f 、 R 、 G 是关于时间 t 的非线性函数。上述电压控制和电流控制模型为非线性忆阻器电路建模开辟了新方向，从而可以构建具有不同控制方法的忆阻仿真器。

2.1.2 忆阻器的工作原理及特性

忆阻器件是一种三明治结构，由绝缘介质层夹在两个金属层之间形成。但是，它的核心实际上是夹在金属极板之间的阻变材料。目前，国内外研究人员已经成功地制备出了多种新型的忆阻阻变薄膜。这种阻变材料构成了忆阻器件的核心部分，它的性能直接决定了整个器件的性能特点。

忆阻器的工作原理基于离子迁移。当电流通过忆阻器时，离子在其内部移动，导致电阻的变化。这个变化是双向的，取决于电流的方向。当电流再次流入时，电阻的状态不会改变，而是“记住”先前的状态。忆阻器件具备阻变存储的独特功能，因此可以执行类似于存储器的“置 0”、“置 1”以及读取等操作。这里的“置 0”操作被称为“RESET”，意味着将器件从低阻态（LRS）重置为高阻态（HRS），以实现数据清零的效果。相反，“置 1”操作被称为“SET”，

即将器件状态从高阻态（HRS）设定为低阻态（LRS），以实现数据设定为 1 的功能，如图 2-4 所示。当忆阻器件为高阻态时，采用正向扫描电压进行操作。忆阻器件呈现出具有高阻态的线性电阻特性，其电流随着扫描电压的缓慢增加而逐渐变化。在这种情况下，器件表现出相对较高的电阻，并且随着扫描电压的逐渐升高，电流的增加速度也相对较慢。然而，一旦扫描电压超过器件的置位阈值电压，情况便会迅速转变。此时，器件的电流迅速上升，这导致忆阻器元件从高阻态迅速过渡到低阻态。当忆阻器件为低阻态时，采用反向扫描电压进行操作。如果扫描电压低于设定的复位电压，则忆阻器在低阻抗状态下具有线性电阻特性，电流随着扫描电压的上升而稳步增加，形成一种持续的响应模式。一旦反向扫描电压超过器件的复位电压时，电流急剧下降，元件从低阻态复位为高阻态。形成了一种快速而明显的状态转换。需要注意的是，置位电压与复位电压的极性是相反的，这一点在操作和控制过程中需要特别注意以确保器件正常运行。

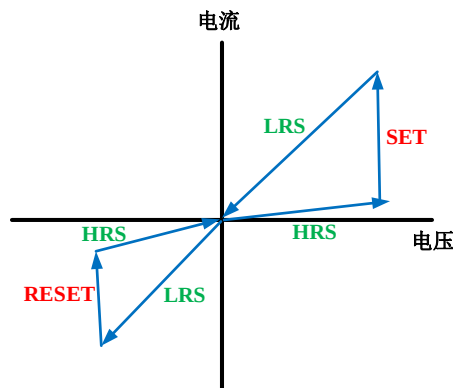


图 2-4 忆阻器件的电流-电压曲线

综合而言，忆阻器的工作原理涉及材料内部的离子或电荷在外部电场的作用下移动，从而改变材料的电阻。这种电阻的变化是可逆的，即使在去除外部电场后，这种改变仍然可以被保留一段时间。因此，忆阻器具备记忆功能，有着广泛的应用潜力。根据忆阻器的工作原理，我们不难发现忆阻器是一种非线性被动双极元件，其电阻值会根据流经的电流的大小和方向而变化。忆阻器的特性包括：

1.记忆特性：记忆特性是忆阻器的一项重要特征，忆阻器能够“记住”通过它的电流的方向和大小。这种记忆效应是由于忆阻器的电阻会根据电流的方向和大小而改变。这种独特的性质使得忆阻器在不使用传统存储器的情况下能

够存储数据。因此，忆阻器被认为是一种新型的非易失性存储器技术，它不仅在电流通路中拥有传统的电阻特性，还具有存储数据的能力。这种特性使得忆阻器在各种应用中具有广泛的潜力，可以用于开发更高效、更节能、更紧凑的存储解决方案，从而推动着电子存储技术的不断发展和创新。

2.非线性特性：其电阻与流经的电流之间呈现出非线性关系。简而言之，当电流增加时，电阻并不像线性系统那样保持简单的线性增加，而是表现出更为复杂的非线性响应。这意味着电阻的变化速度会随着电流的增大而加速，而不是以恒定的速率增加。这种非线性特性为忆阻器的应用提供了广泛的可能性。由于其非线性特性，忆阻器成为实现各种非线性电路和系统的理想选择。在电子工程中，设计师可以利用这种非线性性质来构建具有特定功能和行为的电路，使得忆阻器在混沌电路、保密通信等领域具有应用潜力。

3.耐高温特性：忆阻器可以在高温环境下长时间工作而不受损害。这种特性在许多应用中都至关重要，尤其是在汽车发动机控制和高温传感器等领域。在汽车发动机控制方面，发动机运行时会产生高温环境，而这些环境下的元件需要能够耐受高温并保持可靠性才能正常工作。忆阻器的耐高温特性使其成为这些环境下的理想选择，能够在极端温度条件下提供稳定的性能。同样，在高温传感器领域，传感器常常需要置于高温环境中以监测各种参数，例如引擎温度或炉内温度等。由于忆阻器能够在高温环境下可靠工作，因此可以作为这些传感器中的关键组件之一，确保传感器在恶劣条件下仍能提供精确的测量和可靠的性能。因此，忆阻器的耐高温特性不仅扩展了其应用领域，而且提高了系统的稳定性和可靠性，使其成为许多高温环境下的首选元件。

4.可靠性高：与传统的易失性存储器技术相比，忆阻器的可靠性更高，因为它不需要持续供电来保持存储的数据。这意味着即使在电源中断的情况下，忆阻器也可以保持其存储的数据不变。

5.响应速度快：响应速度快是忆阻器的一项显著特性，其响应速度可在纳秒级别内完成电阻的变化。这卓越的快速响应使得忆阻器成为在高速应用中广泛应用的组件之一，尤其是在高速数字电路和高速数据存储器方面。在高速数字电路中，信号的快速传输对系统性能至关重要。忆阻器的迅速响应允许在极短的时间内完成电阻的变化，从而提供了对快速信号处理和传输的支持。这使

得忆阻器在高性能计算和通信系统中发挥着关键的作用，为系统的响应速度和整体效能做出了贡献。在高速数据存储器方面，忆阻器的快速响应也为实现高速读写操作提供了可能性。这对于需要快速存取和处理大量数据的应用，如大规模数据库、图形处理等，具有重要的意义。因此，忆阻器的快速响应性质使其在当今追求高性能和高速度的电子系统中成为一个重要的技术组件。

2.2HP 忆阻器模型

2.2.1 HP 忆阻器模型分析

几十年前，蔡少棠教授就发现了忆阻器的存在，但由于没有研制出实际的物理装置，因此并未受到广泛的关注。直至 2008 年，惠普实验室在研究某些特殊材料时发现了特别的伏安特性曲线并将其和蔡氏理论相结合，揭示了那个长时间被忽略的电路元件。随后成功地使用二氧化钛制造了第一个物理忆阻器器件，该装置由纳米级的二氧化钛（ TiO_2 ）和两个铂（Pt）电极组成，如图 2-5 所示，其中小图为忆阻器电路符号。其中， W_1 和 W_2 分别为掺杂区和未掺杂区宽度， $D=W_1+W_2$ 为总长度。该器件掺杂区域内带正电的氧空位在正向偏压下扩散到未掺杂区域，形成低电阻状态，记为 R_{ON} ^[71]。相反，当加入逆偏置时，忆阻器为高阻态，记为 R_{OFF} 。

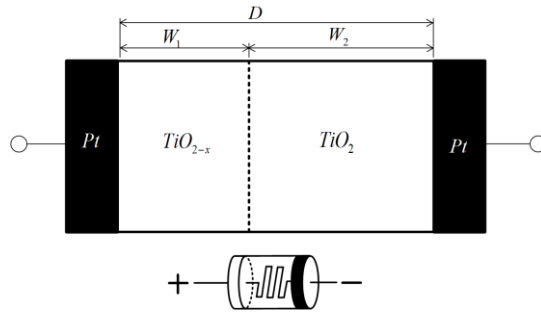


图 2-5 忆阻器模型结构

该模型的数学形式如式(2-6)所示。

$$M(t) = R_{\text{ON}} + (R_{\text{ON}} - R_{\text{OFF}}) \frac{\omega(t)}{D} \quad (2-6)$$

其中，忆阻器高阻态时的阻值定义为 R_{OFF} ，低阻态时的阻值为 R_{ON} ， D 是阻变介质层的厚度， $\omega(t)$ 是氧空位层厚度的变化率， $M(t)$ 为忆阻器阻值。当 D

达到最大值，即 $\omega(t)=D$ 时，忆阻器的阻值为 R_{ON} 。当 D 达到最小值，即 $\omega(t)=0$ 时，忆阻器的阻值为 R_{OFF} 。其忆阻器模型为：

$$\frac{d\omega(t)}{dt} = \frac{\mu_v R_{ON}}{D} i(t) \quad (2-7)$$

式(2-7)中， μ_v 为氧空位的迁移率。由式(2-7)可知，在激励电流的作用下， $\omega(t)$ 与 μ_v 和 R_{ON} 呈正比，与 D 呈反比。

忆阻器的初始电阻值为 R_{int} ， $\omega(t)$ 的初始值为 $\omega(0)$ 。当 $\omega(0) = \omega(t)|_{t=0} \neq 0$ ，忆阻器初始电阻值为式(2-8)。

$$R_{int} = R_{OFF} + (R_{ON} - R_{OFF}) \frac{\omega(0)}{D} \quad (2-8)$$

可以得到：

$$\omega(t) = \frac{\mu_v}{D} q(t) + \omega(0) \quad (2-9)$$

可以写成：

$$M(t) = R_{int} + kq(t) \quad (2-10)$$

式(2-10)中常数 k 为：

$$k = \frac{(R_{ON} - R_{OFF})\mu_v R_{ON}}{D^2} \quad (2-11)$$

忆阻器阻值 $M(t)$ 与电荷 $q(t)$ 的表达式为：

$$\frac{R_{OFF} - M(t)}{k} \leq q(t) \leq \frac{R_{ON} - M(0)}{k} \quad (2-12)$$

从上式中可知：当 $q(t) \leq \frac{R_{OFF} - M(t)}{k}$ ，时间为 t 时，忆阻器阻值大小为 $M(t) = R_{ON}$ 。当 $\frac{R_{OFF} - M(t)}{k} \leq q(t) \leq \frac{R_{ON} - M(0)}{k}$ ，时间为 t 时，忆阻器的阻值为 $M(t) = R_{int} + kq(t)$ 。当 $q(t) \geq \frac{R_{ON} - M(0)}{k}$ ，时间为 t 时，忆阻器的阻值为 $M(t) = R_{OFF}$ 。

2.2.2 惠普忆阻器仿真

利用 LTspice 软件对 HP 忆阻器模型进行了深入的分析。忆阻器由电压源驱动，电源电压为 1V，频率为 10Hz，可以得到一条经过原点的滞回曲线，如图 2-6 所示。

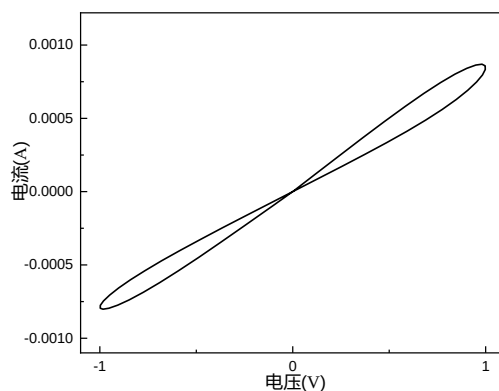


图 2-6 惠普忆阻器滞回曲线图

通过在 LTspice 仿真软件中施加频率分别为 500Hz、1000Hz 和 1500Hz，电压为 1V 的正弦信号，I-V 特性曲线如图 2-7 所示，根据图中可以得知，特性曲线的边界与信号频率呈反比。特性曲线边界随信号频率增大而逐渐减小，而曲线斜率则逐渐降低，当输入信号的频率达到一定值时，I-V（电流-电压）滞回曲线逐渐消失，变成一条直线。此时忆阻器等同于一般线性电阻而丧失特有忆阻特性。这种现象在高频条件下观察到，当电信号以极快的速率变化时，忆阻器的响应逐渐变得线性，无法表现出忆阻效应。这对于设计和应用电路时需要考虑忆阻器的工作频率范围，以确保其在所需频率下保持忆阻特性的重要性。

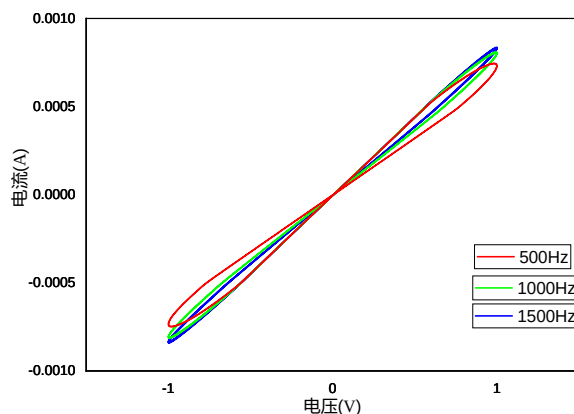


图 2-7 不同频率信号对忆阻器模型的 I-V 特性曲线的影响

2.3 忆阻器模型改进

2.3.1 整形函数设计与仿真

整形电路是设计和分析忆阻仿真器的关键模块，可以控制忆阻仿真器的波形整形，也是促成忆阻仿真器非线性特性的主要原因。惠普实验室提出了一种没有整形函数的电路模型，这意味着电路不能具有非线性特性。而 STBM、TEAM 的仿真器电路模型使用了指数的整形函数、双曲正弦函数，这使得原始电

路具有非线性特性，同时提高了电路的频率响应和稳定性。本节提出了一种新的双曲正切函数（ $\tanh$ ）， $\tanh$ 函数具有很强的非线性特性，当图像靠近原点时，其变化率很大，而当图像远离原点或穿过原点时，其变化率逐渐变小。这与忆阻器的特性非常吻合。

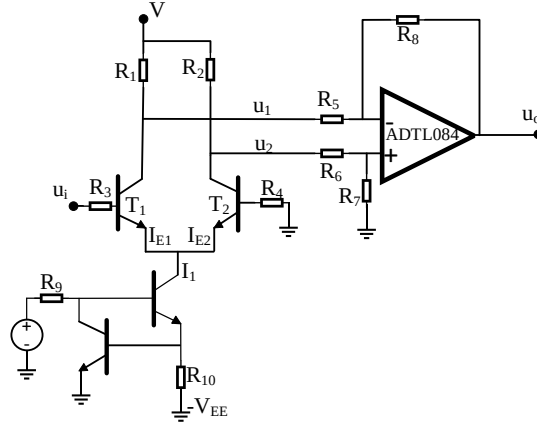


图 2-8 整形函数电路

双曲正切整形函数电路如图 2-8 所示，由 NPN 晶体管、电阻、电流源和放大器组成。其中 V 为恒定供电电压源， I_{E1} 和 I_{E2} 为流经晶体管 T_1 和 T_2 的电流，计算公式如下：

$$I_{E1} = I_S e^{\frac{u_{BE1}}{u_T}} \quad (2-13)$$

$$I_{E2} = I_S e^{\frac{u_{BE2}}{u_T}} \quad (2-14)$$

其中， I_S 为晶体管的反向饱和电流， u_{BE1} 和 u_{BE2} 为 T_1 和 T_2 的基极电压， u_T 为热电势。 u_i 为输入电压，根据基尔霍夫电流定律：

$$I_0 = I_S e^{\frac{u_{BE1}}{u_T}} + I_S e^{\frac{u_{BE2}}{u_T}} = I_{E2} (1 + e^{\frac{u_i}{u_T}}) \quad (2-15)$$

结合上述公式可以得到 $I_{E2} = I_1 / (1 + e^{\frac{u_i}{u_T}})$ ，同理， $I_{E1} = I_1 / (1 + e^{\frac{-u_i}{u_T}})$ 。因此可以得到 u_1 和 u_2 的表达式：

$$u_1 = -I_{E1} R_1 = -I_1 R_1 / (1 + e^{\frac{-u_i}{u_T}}) \quad (2-16)$$

$$u_2 = -I_{E2} R_2 = -I_1 R_2 / (1 + e^{\frac{u_i}{u_T}}) \quad (2-17)$$

根据电路图可知输入与输出电压之间的关系为： $u_o = u_2 - u_1$ 。根据上式可得：

$$u_o = I_1(R_1 / (1 + e^{\frac{-u_i}{u_T}}) - R_2 / (1 + e^{\frac{u_i}{u_T}})) \quad (2-18)$$

由于 R_1 和 R_2 的阻值相同，因此可以化简为 $u_o = I_1 R (1 / (1 + e^{\frac{-u_i}{u_T}}) - 1 / (1 + e^{\frac{u_i}{u_T}}))$ 。此式可转化为正切函数，如下：

$$u_o = I_1 R \tanh(\frac{u_i}{2u_T}) \quad (2-19)$$

根据上式可以看出输出电压 u_o 与 $\tanh$ 函数间具有一定的关系，代表双曲正切函数可以用来表示输出电压。

将该电路在 LTspice 软件中进行搭建并仿真。其中放大器的型号是 ADTL084，使用 NPN 型晶体管，电源电压为 $\pm 10V$ ，电阻 R_1 和 R_2 为 $1K\Omega$ ，其余电阻值均为 $10K\Omega$ 。三角波、正弦波和锯齿波来控制输出电压和形成电路的波形。仿真结果如图 2-9 所示。

从仿真图中可以看出，当输入不同波形时，函数的非线性曲线相对稳定，没有出现明显相移。原点附近的区域变化率较高，而在远离原点的区域变化率平稳或没有明显变化。这符合非线性的特点，证明 $\tanh$ 作为非线性函数在一定程度上是稳定可行的。

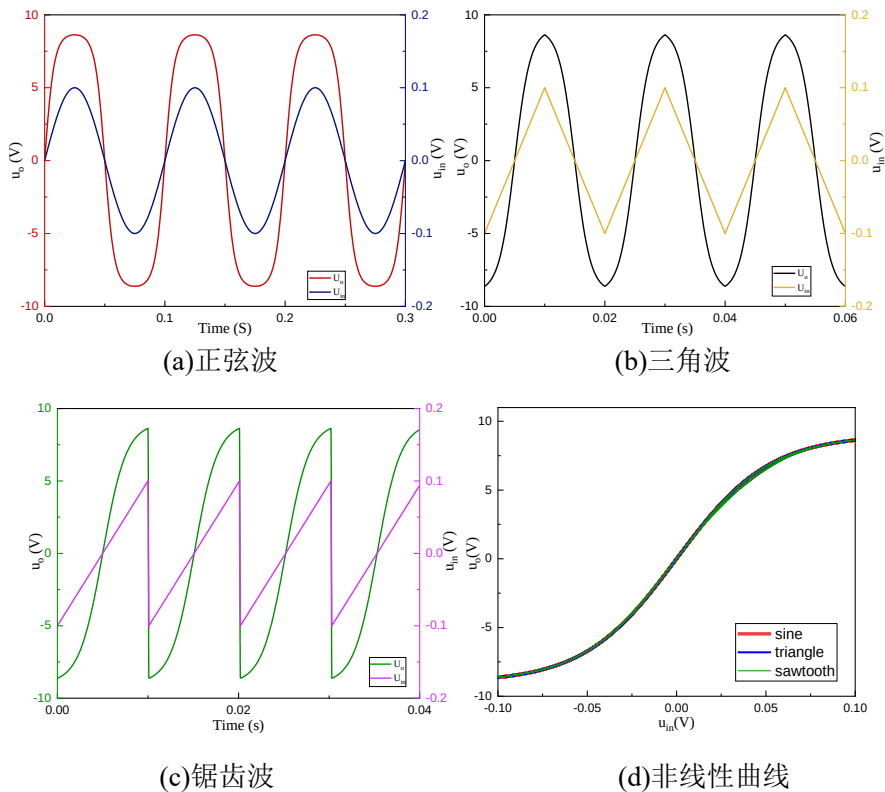


图 2-9 Tanh 整形函数仿真图

2.3.2 忆阻仿真器电流控制模型设计与仿真

忆阻电流控制模型是一种描述忆阻器行为的电路模型。与忆阻电压控制模型不同，忆阻电流控制模型通过控制忆阻器的电流来调节其电阻值。本节设计的忆阻电压控制模型如图 2-10 所示。除了上节中设计的 $\tanh$ 整形函数外，还包括一个乘法器 AD633，两个电流传送器 AD844 以及电容和电阻。

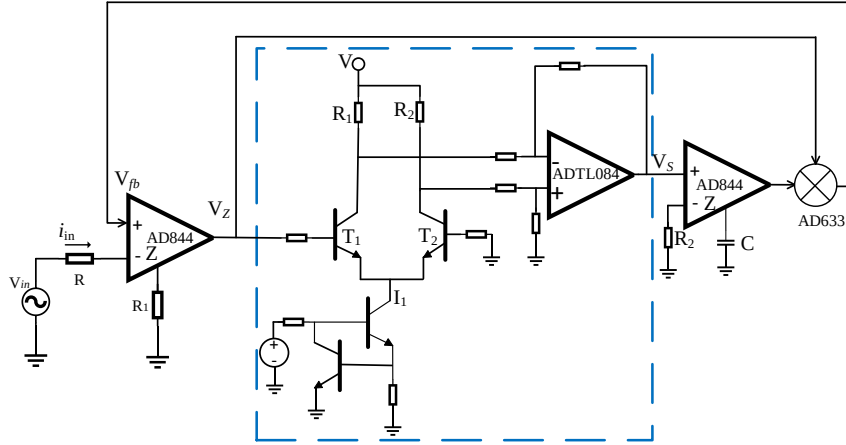


图 2-10 忆阻仿真器电流控制模型

根据 AD844 的工作特点，可以得到输入电压的表达式，如下：

$$V_{in} = i_{in}R + V_{fb} \quad (2-20)$$

其中， V_{fb} 为反馈电压，其值为 V_s 积分后与 V_z 的乘积，如公式(2-21)。其中 α 为 AD633 的常数系数。

$$V_{fb} = \frac{\alpha}{R_2} V_z \int_0^t V_s(\tau) d\tau \quad (2-21)$$

根据 AD844 的电流传输特性，可得 $V_z = i_{in}R_1$ ，所以反馈电压的表达式如下：

$$V_{fb} = \frac{\alpha R_1}{R_2 C} i_{in} \int_0^t \tanh(i_{in}(\tau) R_1) d\tau \quad (2-22)$$

结合以上公式，可以得到输入电压 V_{in} 的表达式：

$$V_{in} = i_{in}R + \frac{\alpha R_1}{R_2 C} i_{in} \int_0^t \tanh(i_{in}(\tau) R_1) d\tau \quad (2-23)$$

根据欧姆定律，可以得到忆阻器的阻值，如公式(2-24)。

$$R_m = R + \frac{\alpha R_1}{R_2 C} i_{in} \int_0^t \tanh(i_{in}(\tau) R_1) d\tau \quad (2-24)$$

将公式(2-24)积分，得到忆阻器电阻变化率，如下式：

$$\frac{dR_m}{dt} = \frac{\alpha R_1}{R_2 C} \tanh(i_{in}(t) R_1) \quad (2-25)$$

这表明，忆阻器的阻值变化率取决于电流，并且呈正切函数关系。将该模型在 LTspice 软件中进行搭建，在不同频率下进行仿真，并与已有的仿真器模型进行比较，如图 2-11 所示。

从图中可以观察到，当频率达到 12kHz 的时候，STBM 仿真器的滞回曲线已经区域一条直线，此时该仿真器已经失去忆阻特性，相当于一个普通的电阻，而本节提出的基于新型 $\tanh$ 整形函数的电流控制模型在频率到达 18kHz 时才渐渐失去忆阻特性，并且随着频率的增大，新型 $\tanh$ 整形函数的电流控制模型滞回环的面积收缩速度明显慢于 STBM 忆阻器模型，说明本节设计的新型忆阻器模型有着良好的忆阻特性，并且适用于较高频率的电路场合。

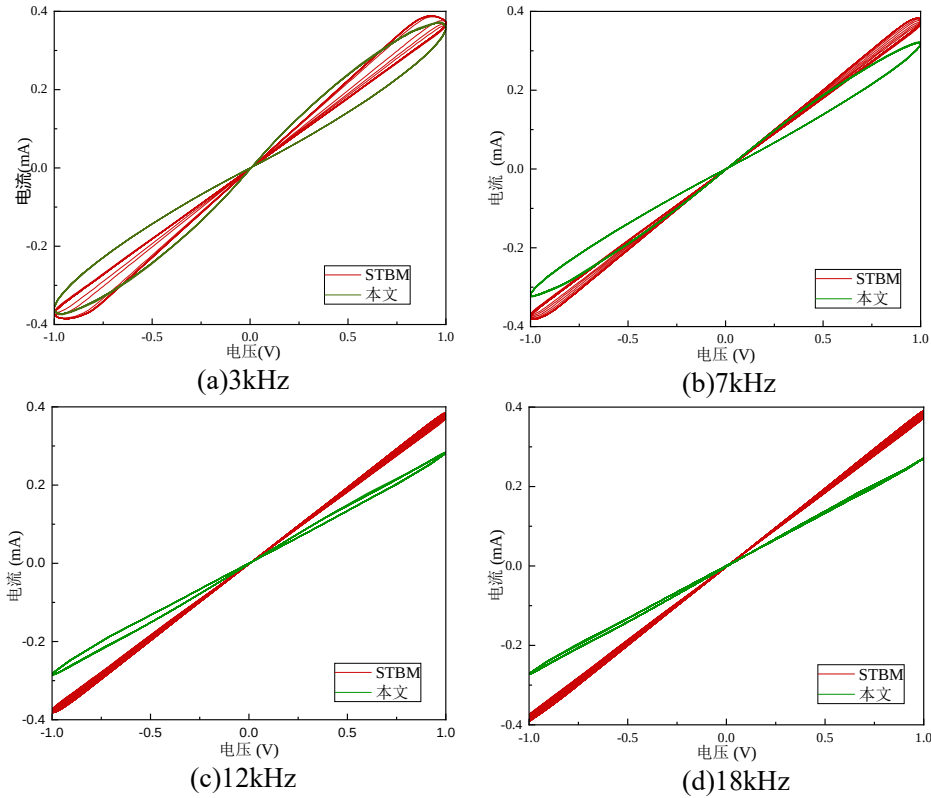


图 2-11 仿真器模型滞回曲线与 STBM 仿真模型对比

2.4 忆阻器通用模型和仿真

本节介绍了一种建立在 HP 模型基础上的通用忆阻器模型^[72]，该模型在大型电路中进行了测试，相较于其他模型，这个模型具有较低的收敛误差，因此更为可靠。它精确地模拟了金属-绝缘-金属忆阻器的电流与电压的相互关系，展现了出色的性能。除此之外，该模型基于状态变量的运动构建了阈值电压函数，并基于空穴和离子漂移构建了非线性速率函数。忆阻器模型表示为：

$$I(t) = \begin{cases} a_1 x(t) \sinh(bV(t)), & V(t) \geq 0 \\ a_2 x(t) \sinh(bV(t)), & V(t) < 0 \end{cases} \quad (2-26)$$

$I(t)$ 流经忆阻器的电流， $V(t)$ 为忆阻器两端的电压， $x(t)$ 表示忆阻器的内部状态，其中参数 a_1 、 a_2 、 b 用于将该模型与不同忆阻器器件结构相匹配，采用振幅参数 a_1 和 a_2 时，为了确保与输入电压幅度有关的阈值函数的稳定性，同时需要对拟合参数 b 进行相应的调整。这样的调整可以确保在不同电压条件下，忆阻器的性能能够得到最优化，从而有效地调节其导电行为，实现更高效的电路操作。状态变量 $x(t)$ 可以直接影响电导率，其值介于 0 和 1 之间。

忆阻装置的状态变量的运动过程可以用式(2-27)来模拟， η 代表状态变量的运动方向。

$$\frac{dx}{dt} = \eta g(V(t)) f(x(t)) \quad (2-27)$$

函数 $g(V(t))$ 和 $f(x)$ 决定了状态变量的变化。 $g(V(t))$ 引入了阈值的作用，对于不同的输入电压极性，可以观察到不同的阈值反应，从而可以更恰当地拟合当前的部分忆阻器模型。式(2-28)中减去的指数值是模拟过程中的一个常数项，可确保一旦输入电压超过阈值电压，函数 $g(V(t))$ 的值就开始等于零。除了正阈值 V_p 和负阈值 V_n 外，还可以调整指数 A_p 和 A_n 的大小，以改变状态变量的变化率。

$$g(V(t)) = \begin{cases} A_p(e^{V(t)} - e^{V_p}), & V(t) > V_p \\ -A_n(e^{V(t)} - e^{V_n}), & V(t) < -V_n \\ 0, & -V_n \leq V(t) \leq V_p \end{cases} \quad (2-28)$$

由于忆阻器边界的非线性漂移，非线性离子运动由 $f(x)$ 模拟。由于状态变量的运动在两个方向上都不相同，因此， $f(x)$ 根据输入电压的极性对状态变量的运动进行了不同的建模。 η 用于确定状态矢量的运动方向，如果 $\eta V(t) > 0$ ，则状态矢量的运动函数表达式为(2-29)，否则为(2-30)。如果 $\eta = 1$ ，正电压使变量升至阈值以上；如果 $\eta = -1$ ，状态变量降低。

$$f(x) = \begin{cases} e^{-\alpha_p(x-x_p)} w_p(x, x_p), & x \geq x_p \\ 1, & x < x_p \end{cases} \quad (2-29)$$

$$f(x) = \begin{cases} e^{\alpha_n(x+x_n-1)} w_n(x, x_n), & x \leq 1-x_n \\ 1, & x > 1-x_n \end{cases} \quad (2-30)$$

窗口函数 $w_p(x, x_p)$ 和 $w_n(x, x_n)$ 的表达式如下，根据式(2-31)可知当 $x(t)=1$ 时， $f(x)=0$ ；根据式(2-32)可知当电流反向时， $x(t) \geq 0$ 。

$$w_p(x, x_p) = \frac{x_p - x}{1 - x_p} + 1 \quad (2-31)$$

$$w_n(x, x_n) = \frac{x}{1 - x_n} \quad (2-32)$$

其中， x_p 和 x_n 分别表示忆阻器在正端 V_p 附近的一个状态值和在接地负端 V_p 附近的一个状态值。通过对不同电压下忆阻器件的仿真分析，得到了相应的等效电阻及对应的阻抗变化曲线，从而建立起基于忆阻器网络的新型电路模型。为了保证模型的精确度与合适性，引入了窗口函数 $w_p(x, x_p)$ ，其目的是为了确保当 $x(t)=1$ 时， $f(x)=0$ ；此外，还引入了窗口函数 $w_n(x, x_n)$ ，其作用是确保在电流方向反转时， $x(t)$ 的值不小于 0。这样的设置有助于维持系统的稳定性，防止出现负向的不合理数值，从而提高了模型的可靠性和实用性。通过巧妙地结合这些窗口函数，可以更好地调节系统的响应，使其更符合实际工作条件。

实际电路应用中，忆阻器的阻态可通过对忆阻器的两个端点施加方向不同的外加电场来实现 R_{ON} 和 R_{OFF} 之间的转换。这种控制方式允许在电路中灵活地调节忆阻器的状态，为电路的设计和操作提供了更多的可能性。通过设定正负阈值电压为 0.15V 和 -0.15V，在 LTspice 中仿真，可以观察到如图 2-12 所示的滞回曲线图，在正弦信号的影响下，忆阻器输出端的 I-V 特性显示为“8”且经过原点。这种滞回行为是忆阻器在不同电场作用下发生状态变化的结果，具有丰富的非线性特性，为实际电路应用中的存储和切换提供了有效的手段。

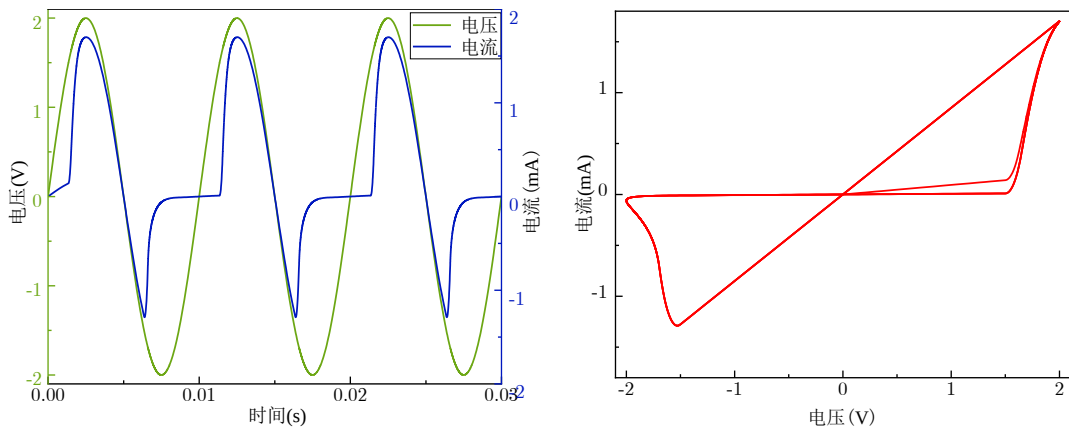


图 2-12 通用模型 I-V 特性曲线图

通过 LTspice 仿真发现忆阻器通用模型具有良好的忆阻功能、符合忆阻器指纹特性。

2.5 本章小结

本章首先概述了忆阻器的理论，包括忆阻器的定义、工作原理以及特性，对忆阻器的基础概念有了深入的了解。然后分析了惠普忆阻器的数学表达式，在不同频率信号的作用下，对其进行了仿真研究。在此基础上提出了一种新型整形函数—— $\tanh$ 整形函数，进行仿真验证。并将 $\tanh$ 函数用于改进的电流控制忆阻仿真器模型中，在 LTspice 中进行仿真验证，发现改进的忆阻仿真器模型在 I-V 特性、带宽、高低阻值比以及迟滞叶片面积方面的性能有所提升，并且频率有所提高，可以应用于较高频率的电路场合。最后对文中电路设计中所需采用的忆阻器模型——通用模型进行了描述。在 LTspice 上对忆阻器模型进行封装及仿真，得到了其在特定输入参数下的仿真结果。本章加深了对忆阻器的特性的了解，为忆阻器的研究应用提供了理论基础和经验。

第3章 忆阻器逻辑门和基本数字电路设计

忆阻器之所以能够应用于逻辑电路设计中，主要是由于其二值特性。忆阻器的二值特性指的是其在工作过程中所表现出的两个离散状态。忆阻器是一种非易失性存储器元件，具有类似于双稳态的性质，可以在两个稳定的电阻状态之间切换。这两个状态分别对应于忆阻器的“记忆”或“遗忘”状态。在记忆状态下，忆阻器的电阻值相对较低，表示一种稳定的电阻状态。而在遗忘状态下，电阻值相对较高，表示另一种稳定的电阻状态。这二值特性使得忆阻器可以存储二进制信息，例如 0 和 1。通过调控输入信号和外部条件，可以实现在这两个状态之间的切换，从而实现信息的存储和读取。总的来说，忆阻器的二值特性是指其在两个离散电阻状态之间切换，为非易失性存储提供了可靠的二进制存储能力。

在数字逻辑电路中，逻辑门是基础电路。通过控制高低电平信号，可以进行各种逻辑运算。在此基础上，结合组合电路的逻辑表达式，可实现任何复杂的逻辑电路。本章的逻辑门电路使用通用忆阻器模型，并在此基础上设计触发器电路和编码器电路。

3.1 忆阻器逻辑门电路的实现

3.1.1 门电路设计

忆阻器比例逻辑（Memristor Ratioed Logic, MRL）属于忆阻器-CMOS 混合逻辑的范畴。该逻辑系列类似于传统的 CMOS 逻辑运算，其中输入和输出电平被用作逻辑状态变量。换句话说，高电平表示逻辑“1”，低电平表示逻辑“0”。在 MRL 中，忆阻器的特性被巧妙地整合进逻辑运算中，从而赋予了电路更加灵活和多样化的操作方式。图 3-1 为忆阻器的符号图。忆阻器的阻值与电流方向密切相关。当输入端施加正向电压时，电流从正极流向负极，导致忆阻值增加到 R_{OFF} ；当输入端施加反向电压时，电流从负极流向正极，导致忆阻值减少到 R_{ON} 。这种电流方向对忆阻器阻值的影响使得其在电路中具有可控的状态变化特性，从而可以用于实现各种电路功能和逻辑操作。

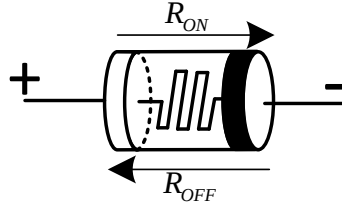


图 3-1 忆阻器电路符号图

MRL 的“与”门电路和“或”门电路如图 3-2 所示。这两种电路都由两个串联的极性相反的忆阻器组成。忆阻器的电极为两个输入端，忆阻器连接的公共节点为输出端。这种设计充分利用了忆阻器的非线性特性，使得在输入端施加不同电压时，忆阻器的忆阻值可以相应地变化，从而实现逻辑门的功能。忆阻器与 CMOS 技术的良好兼容性使得在 CMOS 金属层上制造忆阻器成为可能。这样的结合使得 MRL 在工艺上更具灵活性和可实现性。

本章利用经典的忆阻比例逻辑电路结构，设计出忆阻器和 MOS 电路的门电路。

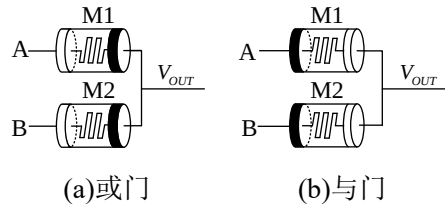


图 3-2 “或”门和“与”门电路图

图 3-2(a)展示了忆阻器“或”门电路的示意图。在这个电路中，我们采用高电平（ V_{High} ）表示逻辑“1”，低电平（ V_{Low} ）表示逻辑“0”。“或”门电路是用两个反向极性忆阻串联而成，在 $V_A=1, V_B=0$ 的情况下，与输入信号 A 相连的忆阻在正偏压下，其电阻值持续降低到 R_{ON} ；当外加电压时，另一种忆阻器将被反向偏压，电阻值将持续增加到 R_{OFF} 。在这种情况下，根据分压原理，输出电压信号可以通过式(3-1)进行计算（假设 $R_{OFF} \gg R_{ON}$ ）。因此，它的输出是一个接近“1”的逻辑值。输出逻辑结果与“或”门的逻辑真值表完全一致。进一步验证了该忆阻器或门电路在各种输入条件下的逻辑功能的准确性和可靠性。

$$\frac{R_{OFF}}{R_{ON} + R_{OFF}} V_{High} \approx V_{High} = 1 \quad (3-1)$$

图 3-2(b)展示了忆阻器“与”门电路的示意图。与“或”门电路一样，“与”

门电路由两个串联的忆阻器组成。然而，与“或”门不同的是，两个忆阻器的负端与输入信号相连。在施加电压的作用下，这两个忆阻器的忆阻值会根据输入信号的变化而相应调节。当输入信号同时为逻辑“1”时，两个忆阻器的阻值都会趋向于最小值，从而使得输出电压信号近似为逻辑“1”。在其它的输入组合中，至少有一种忆阻电阻的电阻值增加，从而使其输出的电压为“0”。它的输出电压信号也可由式(3-2)推得（我们假设 $R_{OFF} \gg R_{ON}$ ）。通过这种方式，忆阻器与门电路实现了逻辑“与”的功能，根据输入信号的不同组合产生相应的输出逻辑值，从而完成逻辑运算。

$$V_{OUT} = \frac{R_{OFF}}{R_{ON} + R_{OFF}} V_{High} \approx 0 \quad (3-2)$$

上述“与”门和“或”门电路的构成仅用到忆阻器。这会导致输出信号在经过分压输出时会发生一定程度的衰减。虽然在独立的“与”门或者“或”门逻辑电路中，这种衰减对输出的影响相对较小。然而，在复杂的组合逻辑电路中，这种微小的信号衰减可能导致输出信号的减弱，从而影响电路的整体性能和可靠性。为了解决这一问题，通常引入 CMOS 反相器构成“或非”门和“与非”门，如图 3-3(a)和(b)所示。这样的调整可以有效地抵消信号衰减，确保逻辑门之间的稳定信号传输，提高整个电路的可靠性和性能。

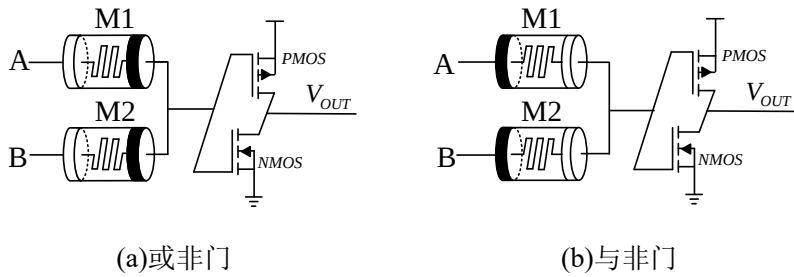
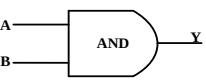
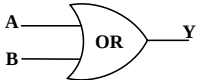
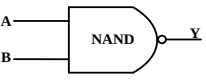


图 3-3 或非门和与非门电路图

表 3-1 逻辑门真值表

名称	逻辑符号	逻辑表达式	真值表	
与门		$Y = AB$	A	B
			0	0
			0	1
			1	0
或门		$Y = A + B$	A	B
			0	0
			0	1
			1	0
与非门		$Y = (\overline{AB})$	A	B
			0	0
			0	1
			1	0
或非门		$Y = (\overline{A + B})$	A	B
			0	0
			0	1
			1	0

3.1.2 门电路仿真验证

对上节所提到的四种门电路在 LTspice 中进行了仿真，结果如图 3-4 所示。

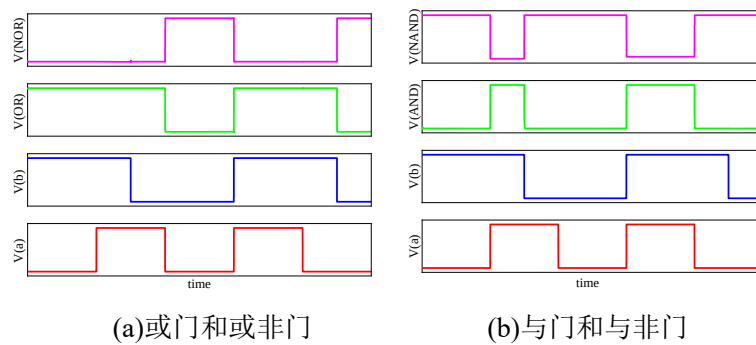


图 3-4 逻辑门仿真结果

“或”门和“或非”门电路仿真波形图如图 3-4(a)所示。其中 $V(a)$ 和 $V(b)$ 是与门的两个输入信号， $V(OR)$ 和 $V(NOR)$ 输出结果的波形。从仿真结果可以看出，当输入 $V(a)$ 和 $V(b)$ 中的任意一个为高电平时，输出将为高电平；仅当两个输入端电压都为低电平时，输出才会是低电平，从而实现了逻辑“或”门的功能。当两个输入都为低电平时，输出将会是高电平，与逻辑“或非”门真值表相对应。波形图与真值表的一致性验证了“或”门和“或非”门电路的正确

性。

“与”门和“与非”门电路仿真波形图如图 3-4(b)所示。其中 $V(a)$ 和 $V(b)$ 是与门的两个输入信号波形， $V(AND)$ 和 $V(NAND)$ 是输出结果的波形。在该电路中，当两个输入端 $V(a)$ 和 $V(b)$ 都是高电平，输出为高电平，否则就为低电平。这就实现了逻辑与门的功能。而当两个输入端 $V(a)$ 和 $V(b)$ 都是高电平时，输出会变为低电平，与逻辑“与非”门真值表相对应。波形图与真值表的一致性验证了“与”门和“与非”门电路的正确性。

3.2 忆阻器边缘触发 D 触发器电路设计

触发器作为具有记忆和存储功能的基本逻辑单元，在数字电路和超大规模集成电路应用中扮演着关键的角色。它们能够存储和稳定输入信号的状态，并在需要时输出相应的结果，这使得它们在数字信号处理系统中得到广泛应用。触发器的稳定性和可靠性使得它们成为了现代电子设备中不可或缺的组成部分，它们的功能不仅限于存储数据，还能够控制数据流的传输和处理，从而在各种应用场景中发挥着重要的作用。本节在忆阻器所设计的或非门逻辑电路的基础上设计了一种边缘触发 D 触发器，可以很明显的得出边缘触发结构的触发器在面积方面所需要的器件更少，下文通过 LTspice 仿真验证了此电路的可行性，并可以用于后续 Flash ADC 电路设计。

3.2.1 D 触发器电路设计

D 触发器由两个互补的锁存器组成，其中一个锁存器为正相锁存器，另一个为反相锁存器。D 触发器的输入端为 D 端，输出端为 Q 端。D 触发器的特性方程，如下所示：

$$Q_{n+1} = CD + \bar{C}Q_n \quad (3-3)$$

触发器是具有存储功能的基本逻辑元件，在数字信号处理系统中广泛用于存储初始数据和计算结果。传统的基于 CMOS 和“或非”门(NOR)的主从触发器由两个相同的锁存器组成。每个锁存器具有两级反相结构。如果使用基于忆阻器的“或非”门构建下降沿触发的 D 触发器，则很容易组合忆阻器并将主锁存器的输出反馈到输入。因此，所提出的边缘触发 DFF 结构可以简化为如图 3-5 所示，该电路由五个两输入忆阻器“或非”门和一个三输入忆阻器“或非”

门组成。D 触发器包含一个时钟输入（CLK）、一个数据输入（D）和两个输出（ Q 和 $\bar{Q}$ ，其中 $\bar{Q}$ 是 Q 的补码）。

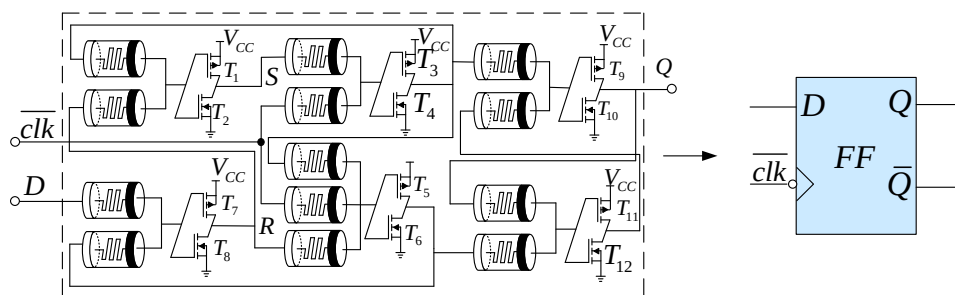


图 3-5 基于忆阻器或非门的 D 触发器

边缘触发式 D 触发器只在时钟信号到达时才对输入信号进行反应，从而提高了触发器的可靠性和抗干扰性。该设计使触发器子状态只依赖于当时钟信号到达边缘时的输入信号的状态。由于触发器只在时钟信号的特定边沿触发，它们对于输入信号的变化更为稳定，减少了在时钟周期内的干扰和噪声对其造成的影响。在数字电路中，我们把数字电平由“1”的高电平过渡到“0”的低电平的那一瞬间，我们称之为下降沿。下降沿触发是指当电压从高电平向低电平转换时，在信号中产生一个衰减边缘，从而引起了一个开关动作。简而言之，下降沿触发指的是当触发器在检测到信号电位由高到低的下降时触发。

下降沿触发的工作原理如下所示：

当时钟信号上升到高电平（从低电平到高电平的过渡）时，D 触发器开始监听数据输入 D。当时钟信号 CLK 下降到低电平时，触发器根据数据输入 D 的当前状态将其值传递到输出 Q。如果 D 为高电平，那么输出 Q 将在下降沿时变为高电平；如果 D 为低电平，那么输出 Q 将在下降沿时变为低电平。 $\bar{Q}$ 是 Q 的补码，因此在相同的下降沿时， $\bar{Q}$ 的状态与 Q 相反。D 触发器的真值表如表 3-2 所示。

表 3-2 下降沿触发 D 触发器真值表

CLK	D	Q
*	•	maintain
	1	1
	0	0
↓	•	maintain

3.2.2 D 触发器电路仿真

D 触发器的建模和验证在 LTspice 中进行。如仿真结果图 3-6 所示，波形图显示电路运行时较为平稳，没有出现明显的失真或信号错误，这证实了 D 触发器电路的正确性和稳定性。下降沿触发的 D 触发器的时序图显示了时钟信号、数据输入 D 和输出 Q 随时间的变化。在时钟的下降沿，D 的状态被传递到输出 Q。总的来说，对于边沿（下降）触发的 D 触发器，当 CLK 为下降沿时，Q 输出为 D。其余情况，Q 不变。

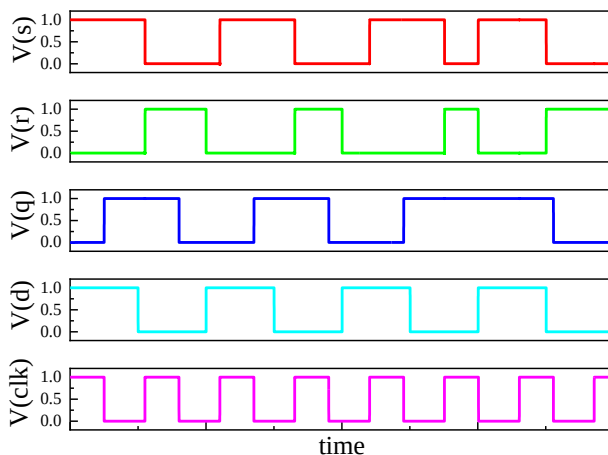


图 3-6 D 触发器仿真图

3.3 忆阻器编码器电路设计

编码器是将多个输入信号转换成相应输出编码的数字电路。编码器通常用于将多个输入信号编码成较小的代码，以便在数字系统中传输、存储和处理。本节将按照 Flash ADC 电路的设计思路，利用忆阻器逻辑门电路设计 3 位二进制编码器和 4 位二进制编码器。

3.3.1 忆阻器 3 位二进制编码器设计与仿真

二进制编码器是将多个输入信号编码成二进制代码的编码电路。实际的二进制编码器电路可通过逻辑门和触发器等逻辑元件来实现。逻辑电路根据输入信号的不同组合和状态生成适当的二进制编码输出。二进制编码器在数字系统设计中发挥着重要作用。二进制编码器用于将多个输入信号编码成更小的编码，从而提高系统效率和资源利用率。

忆阻器面积小，功耗低且处理速度极快，将其应用于编码器电路的设计，可以在降低编码器电路的复杂度以及占用面积的前提下，提高编码的速度。3 位

二进制编码器输入为 $I_0 \sim I_7$ 八个高低电平信号，输出是 3 位二进制代码 $Y_2Y_1Y_0$ 。

输出与输入的对应关系由表 3-3 给出。

表 3-3 3 位二进制编码器真值表

输入								输出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

根据真值表可以得到对应的逻辑表达式：

$$\begin{cases} Y_2 = I_4 + I_5 + I_6 + I_7 \\ Y_1 = I_2 + I_3 + I_6 + I_7 \\ Y_0 = I_1 + I_3 + I_5 + I_7 \end{cases} \quad (3-4)$$

根据公式(3-4)可以得出编码器电路，如图 3-7 所示。该电路由 3 个基于忆阻器的“或”门组成，实现 3 位二进制编码器的功能，用于后续 Flash ADC 电路设计。

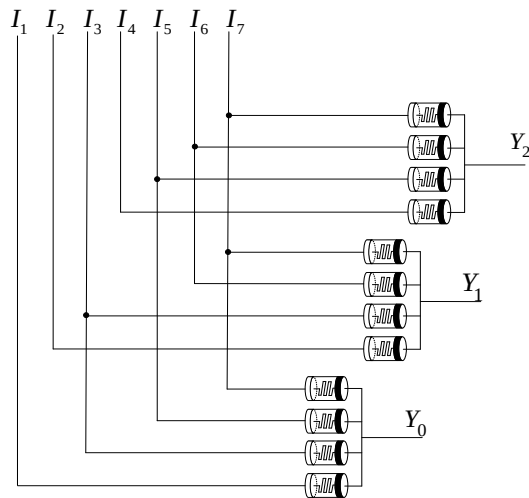


图 3-7 3 位二进制编码器

在 LTspice 软件中进行仿真验证，结果如图 3-8 所示。从图可以看出，仿真结果与 3 位二进制编码器真值表相吻合，验证了编码器电路的正确性，后续可以应用于 3 位 Flash ADC 电路设计。

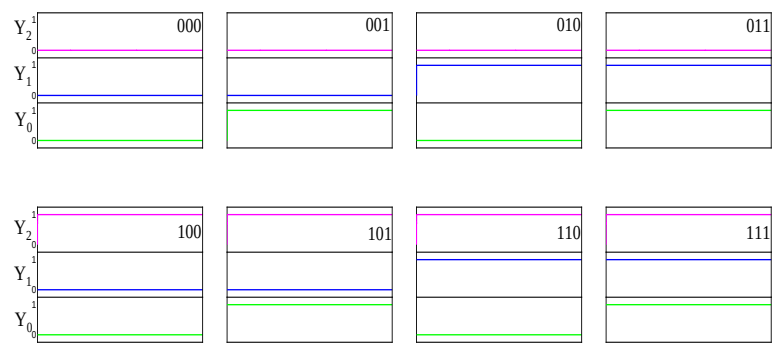


图 3-8 3 位二进制编码器仿真图

3.3.2 忆阻器 4 位二进制编码器设计与仿真

4 位二进制编码器有 16 个输入端，为 $I_0 \sim I_{15}$ 八个高低电平信号，4 个输出端。输出是 4 位二进制代码 $Y_3Y_2Y_1Y_0$ 。输出与输入的对应关系由表 3-4 给出。

表 3-4 4 位二进制编码器真值表

输入																输出			
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	I_8	I_9	I_{10}	I_{11}	I_{12}	I_{13}	I_{14}	I_{15}	Y_3	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	1	1
0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1

根据真值表可以得到对应的逻辑表达式：

$$\begin{cases} Y_3 = I_8 \\ Y_2 = I_{12} + I_8' I_4 \\ Y_1 = I_{14} + I_{12}' I_{10} + I_8' I_6 + I_4' I_2 \\ Y_0 = I_{15} + I_{14}' I_{13} + I_{12}' I_{11} + I_{10}' I_9 + I_8' I_7 + I_6' I_5 + I_4' I_3 + I_2' I_1 \end{cases} \quad (3-5)$$

根据公式(3-5)可以得出编码器电路，如图 3-9 所示。该电路由基于忆阻器的“或”门、“与”门以及 CMOS 反相器组成。

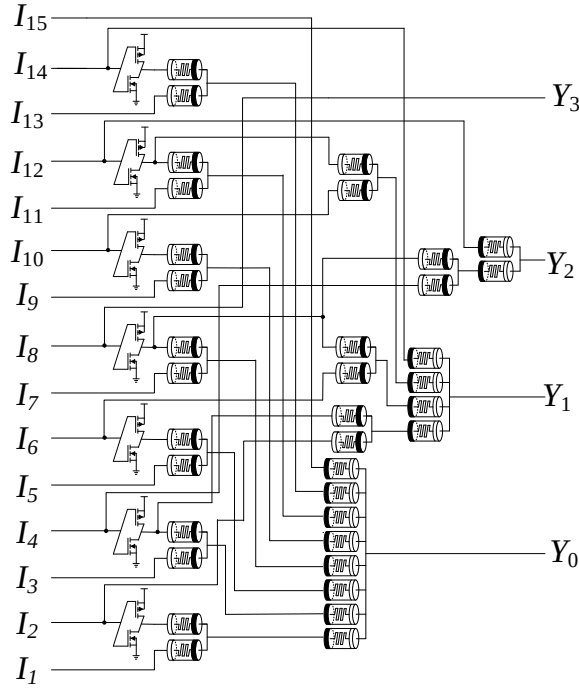


图 3-9 4 位二进制编码器

在 LTspice 软件中进行仿真验证，结果如图 3-10 所示。从图可以看出，仿真结果与 4 位二进制编码器真值表相吻合，验证了编码器电路的正确性，实现了 4 位二进制编码器的功能，用于后续 4 位 Flash ADC 电路设计。

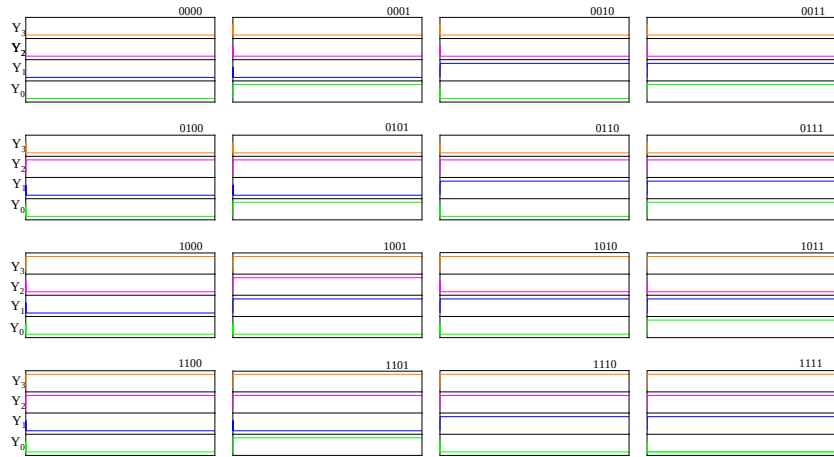


图 3-10 4 位二进制编码器仿真图

3.4 本章小结

本章首先简明介绍了忆阻器的二值特性，即在不同偏置电压下，掺杂区的位移会导致不同的电阻状态，代表电平的高低即“0”、“1”。使用通用忆阻器模型进行逻辑门电路的设计，包括逻辑“与”门、“与非”、“或”门、“或非”门，在 LTspice 中仿真验证门电路设计的正确性。接着在此基础上搭建了基于忆阻器“或非”门的 D 触发器和基于忆阻器逻辑门的编码器，并在 LTspice 软件中进行仿真，验证了 D 触发器电路以及编码器的正确性及稳定性，后续应用于 Flash ADC 设计。以忆阻器为基本构成单元，设计相关数字电路，既可充分发挥器件的阻抗效应，又可高效实现非易失存储。该方案尤其适合在电力供应不稳定的情况下，对状态维持有较高的要求。

第 4 章 忆阻器闪存模数转换器电路设计

模数转换器（ADC）是连接模拟和数字世界的桥梁，ADC 的主要功能在于将现实世界中的连续模拟信号经历滤波、采样保持、量化和数字编码四个阶段最终转换为数字系统更易处理的离散数字信号。如图 4-1 所示。这一转换过程使得从外部环境中获得的模拟信息能够在数字系统中被准确而有效地处理和分析。

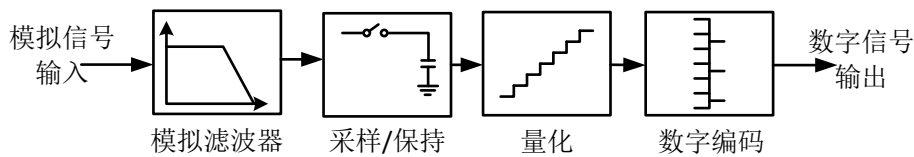


图 4-1 模数转换器基本工作原理图

ADC 是连接模拟与数字电路的关键接口，其性能直接影响到整个系统的性能。因此，如何提高 ADC 的性能成为当前国际上的一个热点问题。为适应各种应用场合的要求，研究者们提出了各种类型的模数转换器。但随著半导体制程技术的发展，传统 MOS 元件已逐渐受到尺寸限制。在这一背景下，工程师们正在寻求新的解决方案，以克服这一挑战并进一步提升模数转换器的性能。本章在探讨传统 Flash ADC 结构的基础上，提出了一种基于忆阻器的 Flash ADC 方案，设计了 3 位和 4 位 Flash ADC，并分析了其工作原理，进行仿真验证，并与其他文献中的 Flash ADC 对比了其性能上的优势。

4.1 闪存模数转换器（Flash ADC）简介

Flash ADC 最主要的特点是速度快，能够实现很高的采样速率并且精度很高。常常出现在对信号进行高速度高敏感度的采集中，例如：雷达、通信系统等需要高速信号处理的场景中。Flash ADC 是一种量化电路，它将模拟信号进行离散化处理，并根据精度的要求把模拟信号分成很多份，使得模拟信号得到更加精确的数字化。Flash ADC 最大的优点是转换速度快，能够达到数百 MHz 的采样速率，是一种速度较快并且精准的量化电路；同时 Flash ADC 的延迟时间更低。由于 Flash ADC 通常是由许多比较器串联而成，所以随着 ADC 的位数变大，会带来面积、成本以及功耗等方面的问题。在位宽较大的场景中，会受到硬件资源的极大限制。

Flash ADC 被认为是目前全球速度最快的 ADC 之一，其独特之处在于能够在一个完整的时钟周期内对模拟信号进行采样、比较和输出。典型的 n 位 Flash ADC 由 2^n 个电阻组成的电阻链、 $2^n - 1$ 个比较器、 $2^n - 1$ 个触发器和一个优先编码器组成，如图 4-2 所示。这一结构的组成十分明了，通过电阻分压网络将参考电压分成多个离散的电压级，然后将它们输入比较器，与输入信号进行逐一比较。在 Flash ADC 中，每一比较器负责判定与相应的电压电平相关的输入信号的幅值，，并产生一个二进制输出。触发器被用于记录比较器的输出，并在优先编码器的协助下生成最终的数字输出。这种设计的独特之处在于其并行操作，每个比较器同时进行工作，从而实现了非常快速的转换速度。

比较器在 Flash ADC 中的作用是至关重要的。当比较器的一个输入端电压高于一个对应的基准输入端时，它的输出为逻辑“1”；相反，如果输入电压低于对应的基准电压，那么输出为逻辑“0”。在典型的 Flash ADC 结构中，每个比较器的参考电压从最低有效位（LSB）到最高有效位（MSB）依次增加 1 个 LSB。 $2^n - 1$ 个比较器的所有输出存储在锁存器中并传输到优先编码器以产生数字输出。这意味着最低有效位的比较器对应的参考电压是最小的，而最高有效位的比较器对应的参考电压则是最大的。这种逐位增加的方式确保了在输入信号范围内的每个电压级都能够被有效地比较，从而实现了输入信号的高精度采样和量化。

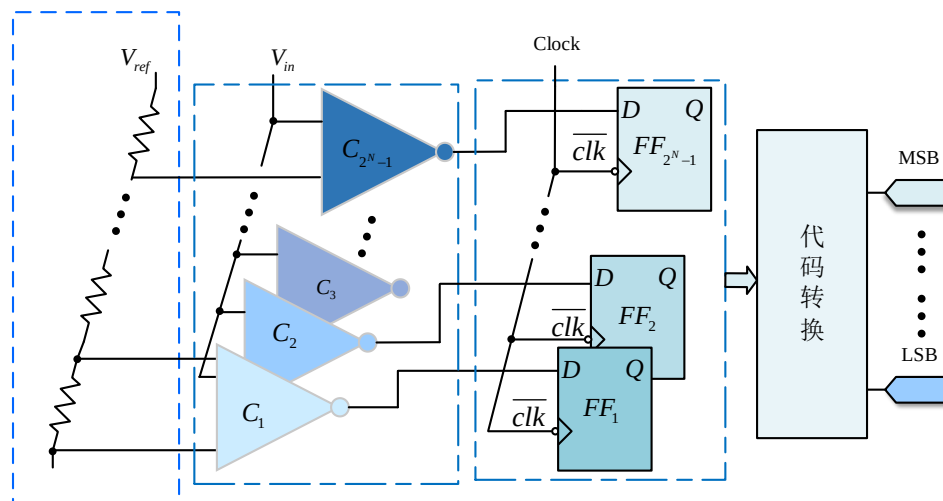


图 4-2 典型 Flash ADC 的基本框图

4.2 基于忆阻器的 Flash ADC 电路设计

Flash ADC 的结构相对简单，它分为三大模块：电压比较器，寄存器，编码器。电压比较器用来比较输入的模拟电压和一组基准电压，并且生成对应的比较结果。这些比较结果会被传送至寄存器，寄存器则负责记录并暂时存储这些比较结果。最后，编码器将寄存器中的比较结果转换为相应的数字代码，完成模拟信号到数字信号的转换。

4.2.1 A/D 转换的量化与编码

数字信号的离散性不只是在时间维度上有所体现，其数值大小的波动也显示出明显的不连续性。因此，任何给定数字信号量的大小只能是该量指定最小单位的整数倍，所以在 ADC 工作时必须确保采样电压可以表示为指定最小单位的整数倍。这个最小单位通常称为量化单位或量化步长，用 Δ 来表示。这个步长决定了 A/D 转换器能够分辨和表示的电压范围。具体而言，取样电压会被映射到最接近的量化单位，以确保在数字表示中得到准确的表达。量化后的结果通过编码表示出来，这 A/D 转换的输出结果，它们代表了采样电压在量化单位 Δ 下的近似值。编码后的数字信号可以被数字系统处理、传输和存储，从而实现各种应用需求，例如数字通信、信号处理和控制系统等。量化和编码是 A/D 转换中的关键步骤，直接影响着转换的精度和性能。

我们以三位的 Flash ADC 为例，该 ADC 的输入范围为 0 到 V_{REF} 之间的模拟电压。输出由三位二进制数码 $d_2d_1d_0$ 表示。电压比较器中量化电平的分划采用图 4-3 所示的方式，通过这种方法实现了对模拟电压的细致划分，从而减小量化误差。在此设计中，量化电平采用 $\Delta = \frac{2}{15}V_{REF}$ 的数值，以确保对输入电压进行更精确的量化。此外，为了进一步减小量化误差，将输出代码 000 对应的模拟电压范围规定为 $0 \sim \frac{2}{15}V_{REF}$ ，即 $0 \sim \frac{1}{2}\Delta$ 。这样的设置有助于最大程度地限制量化误差可以在 A/D 转换过程中保持更高的准确性和精度，确保对模拟信号的数字化表示更为可靠和精细。

采用电阻链结构将参考电压 V_{REF} 平均分为七个比较电平，分别连接到七个电压比较器 $C_1 \sim C_7$ 的输入端，作为比较器的基准电压。同时，模拟输入电压也被连接到每个比较器的另一输入端，以便依次与这七个参考电平进行比较。

输入 信号	二进制 代码	代表的 模拟电压
1V		
13/15V	111	$7\Delta=14/15(V)$
11/15V	110	$6\Delta=12/15(V)$
9/15V	101	$5\Delta=10/15(V)$
7/15V	100	$4\Delta=8/15(V)$
5/15V	011	$3\Delta=6/15(V)$
3/15V	010	$2\Delta=4/15(V)$
1/15V	001	$1\Delta=2/15(V)$
0	000	$0\Delta=0(V)$

图 4-3 量化电平的方法图

Flash ADC 的转换精度主要取决于量化电平的划分，其中量化电平的分割越细（即 Δ 取值越小），ADC 的精度越高。 Δ 表示相邻量化电平之间的间隔，因此较小的 Δ 值意味着更精细的电压划分，提高了模拟电压到数字代码的转换准确度。转换精度不仅受到量化电平划分的影响，还会受到其他多个因素的作用，这些因素包括参考电压的稳定性、分压电阻的相对精度，以及比较器的灵敏度。

4.2.2 3 位 Flash ADC 电路设计

传统的 Flash ADC 中，代码转换器模块和寄存器模块通常占据了相当大的芯片面积。高速工作时，这些模块的能耗也是相当大的。此外，它们需要比较器具有更高的分辨率和更小的失调误差容忍度，这些因素都会直接影响到 Flash ADC 的精度。一个 3 位输出的 Flash ADC 需要 8 个电阻、7 个比较器以及 3 个 D 触发器来构成寄存器，结构图如图 4-4 所示。这些组件不仅占用了宝贵的芯片空间，而且在运行时会产生较高的功耗。此外，由于传统 Flash ADC 对比较器的要求很高，需要具备较高的分辨率和极小的失调误差，这在实际设计中往往是一项挑战。

将忆阻器这一新型器件设计的逻辑门以及触发器应用在 Flash ADC 电路的搭建中。忆阻器元件的尺寸仅为几十纳米，因此它们在芯片上所占用的空间非常微小。这种微小尺寸的特性使得它们成为高度集成的理想选择。而且，由于忆阻器件阈值电压具有高稳定性，其阻态转换过程功耗很低。此外，忆阻器件阻态转换时间只有纳秒级，这意味着它们可以以非常快的速度进行模数转换。

电路开始运行时，参考电压 V_{REF} 通过分压电阻被均分为不同的参考电压值，同时通过比较器来对参考电压和模拟输入信号的大小进行比较，输出数字逻辑

信号。当输入端的电压大于参考电压时，比较器输出为高电平，通常表示为逻辑值“1”。反之，比较器在输入信号电压小于参考电压情况下其输出设置为低电平，通常表示为逻辑值“0”。然后对比较器阵列平行输出温度计码通过编码电路及输出缓冲锁存后获得最终二进制编码。

如果模拟电压小于 $\frac{1}{14}V_{REF}$ ，所有比较器的输出状态都是低电平；如果模拟电压大于等于 $\frac{13}{14}V_{REF}$ ，则所有比较器的输出状态都为高电平；否则，如果模拟电压大于 $\frac{2i-1}{14}V_{REF}$ 或小于 $\frac{2i+1}{14}V_{REF}$ ，则只有下标小于或等于 i 的比较器输出为高电平。模拟电压输入范围为 $0 \sim \frac{15}{14}V_{REF}$ 。比较器在不同输入模拟电压下的所有状态，如表 4-1 所示。每个模拟输入只输出一个比较器，因此 7 个比较器的输出均可编码为 3 位代码，如表 4-1 所示，优先级编码器的逻辑函数表达式可简化为：

$$\left. \begin{aligned} d_0 &= C_1 + C_3 + C_5 + C_7 \\ d_1 &= C_2 + C_3 + C_6 + C_7 \\ d_2 &= C_4 + C_5 + C_6 + C_7 \end{aligned} \right\} \quad (4-1)$$

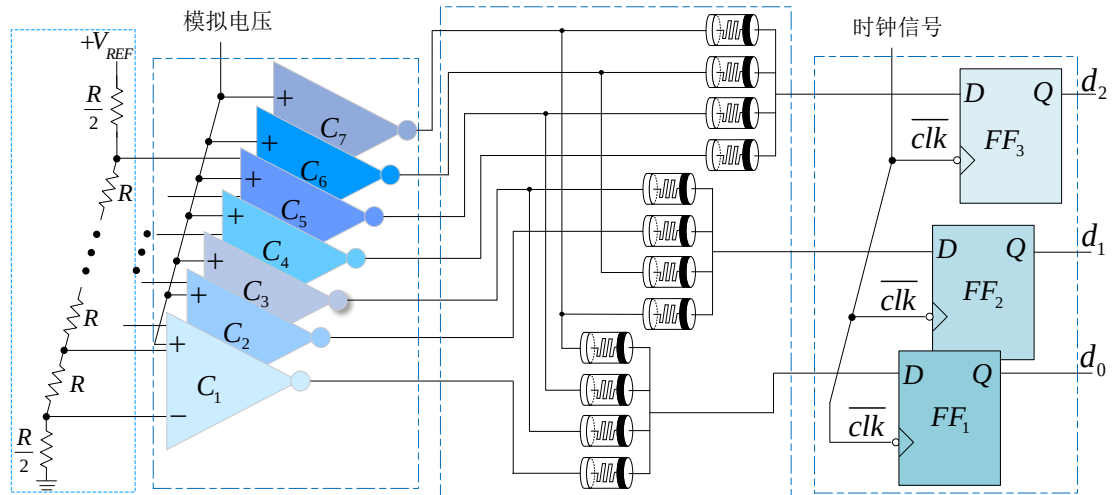


图 4-4 基于忆阻器的 3 位 Flash ADC 原理图

表 4-1 3 位 Flash ADC 代码转换表

输入模拟电压	比较器输出状态 (代码转换器输入)							ADC 输出		
	V_{C7}	V_{C6}	V_{C5}	V_{C4}	V_{C3}	V_{C2}	V_{C1}	d_2	d_1	d_0
$v_1 = \left(0 \sim \frac{1}{14}\right)V_{REF}$	0	0	0	0	0	0	0	0	0	0
$v_1 = \left(\frac{1}{14} \sim \frac{3}{14}\right)V_{REF}$	0	0	0	0	0	0	1	0	0	1
$v_1 = \left(\frac{3}{14} \sim \frac{5}{14}\right)V_{REF}$	0	0	0	0	0	1	1	0	1	0
$v_1 = \left(\frac{5}{14} \sim \frac{7}{14}\right)V_{REF}$	0	0	0	0	1	1	1	0	1	1
$v_1 = \left(\frac{7}{14} \sim \frac{9}{14}\right)V_{REF}$	0	0	0	1	1	1	1	1	0	0
$v_1 = \left(\frac{9}{14} \sim \frac{11}{14}\right)V_{REF}$	0	0	1	1	1	1	1	1	0	1
$v_1 = \left(\frac{11}{14} \sim \frac{13}{14}\right)V_{REF}$	0	1	1	1	1	1	1	1	1	0
$v_1 = \left(\frac{13}{14} \sim 1\right)V_{REF}$	1	1	1	1	1	1	1	1	1	1

4.2.3 3 位 Flash ADC 电路仿真验证

不同输入模拟电压范围对应的比较器输出和数字编码如表 4-1 所示。在 LTspice 软件中，我们对 3 位 Flash ADC 电路进行了仿真测试，具体的仿真波形数据可以参见图 4-5。由仿真结果图可见，当 $v_1 < \frac{1}{14}V_{REF}$ 时，所有比较器的输出全为低电平；当 $\frac{1}{14}V_{REF} \leq v_1 < \frac{3}{14}V_{REF}$ ，则只有比较器 C_1 输出为高电平，其余比较器的输出均为低电平；当 $\frac{3}{14}V_{REF} \leq v_1 < \frac{5}{14}V_{REF}$ ，比较器 C_1 和 C_2 输出为高电平，其余比较器输出为低电平；当 $\frac{5}{14}V_{REF} \leq v_1 < \frac{7}{14}V_{REF}$ ，比较器 C_1 、 C_2 和 C_3 输出为高电平，其余比较器输出为低电平；当 $\frac{7}{14}V_{REF} \leq v_1 < \frac{9}{14}V_{REF}$ ，比较器 C_1 、 C_2 、 C_3 和 C_4 输出为高电平，其余比较器输出为低电平；当 $\frac{9}{14}V_{REF} \leq v_1 < \frac{11}{14}V_{REF}$ ，比较器 C_1 、 C_2 、 C_3 、 C_4 和 C_5 输出为高电平，其余比较器输出为低电平；当 $\frac{11}{14}V_{REF} \leq v_1 < \frac{13}{14}V_{REF}$ ，比较器 C_1 、 C_2 、 C_3 、 C_4 、 C_5 和 C_6 输出为高电平，比较器 C_7 输出为低电平；当 $\frac{13}{14}V_{REF} \leq v_1 < 1V_{REF}$ ，所有比较器输出为高电平。经分析并

对波形图进行观测后发现，所设计出的新型 Flash ADC 逻辑与真值表中所列完全吻合，表明了电路设计的正确性。

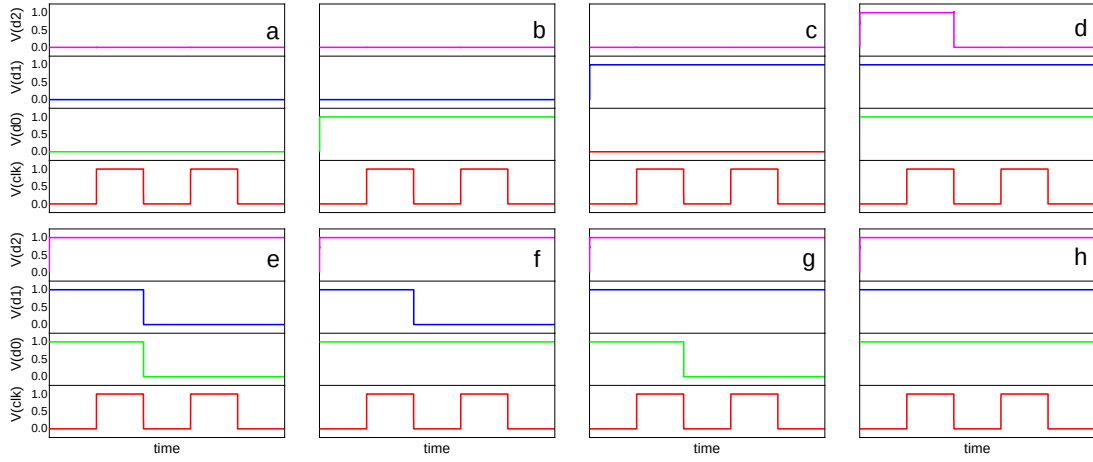


图 4-5 基于忆阻器的 3 位 Flash ADC 的仿真结果:(a) $v_1 = \left(0 \sim \frac{1}{14}\right)V_{REF}$, (b)

$$v_1 = \left(\frac{1}{14} \sim \frac{3}{14}\right)V_{REF}, (c) v_1 = \left(\frac{3}{14} \sim \frac{5}{14}\right)V_{REF}, (d) v_1 = \left(\frac{5}{14} \sim \frac{7}{14}\right)V_{REF}, (e) v_1 = \left(\frac{7}{14} \sim \frac{9}{14}\right)V_{REF}, (f)$$

$$v_1 = \left(\frac{9}{14} \sim \frac{11}{14}\right)V_{REF}, (g) v_1 = \left(\frac{11}{14} \sim \frac{13}{14}\right)V_{REF}, (h) v_1 = \left(\frac{13}{14} \sim 1\right)V_{REF}$$

4.2.4 4 位 Flash ADC 电路设计

在上述 3 位 Flash ADC 设计的基础上，运用相同的原理进一步设计了基于忆阻器的 4 位 Flash ADC。首先用 4.2.1 节中提到的量化电平的方法，用电阻链将参考电压 V_{REF} 分割成多个离散的比较电平，具体分为 $\frac{1}{30}V_{REF}$ 到 $\frac{29}{30}V_{REF}$ 之间的 15 个比较电平，量化单位为 $\Delta = \frac{1}{15}V_{REF}$ 。将这 15 个比较电平分别连接到电压比较器 $C_1 \sim C_{15}$ 的输入端，作为比较基准。同时，每个比较器的另一输入端都会接收到输入的模拟电压，并将其与这 15 个比较电平进行一一比对。

根据 4 位 Flash ADC 的功能与运算规则，代码转换电路的输入输出逻辑关系表达式可写成：

$$\left. \begin{aligned} d_3 &= C_8 \\ d_2 &= C_{12} + \bar{C}_8 C_4 \\ d_1 &= C_{14} + \bar{C}_{12} C_{10} + \bar{C}_8 C_6 + \bar{C}_4 C_2 \\ d_0 &= C_{15} + \bar{C}_{14} C_{13} + \bar{C}_{12} C_{11} + \bar{C}_{10} C_9 + \bar{C}_8 C_7 + \bar{C}_6 C_5 + \bar{C}_4 C_3 + \bar{C}_2 C_1 \end{aligned} \right\} \quad (4-2)$$

输入的模拟电压 v_1 与数字量输出的关系如表 4-2 所示。

表 4-2 4 位 Flash ADC 输出结果表

输入模拟 电压 v_i	Flash ADC 输出			
	d_3	d_2	d_1	d_0
$\left(0 \sim \frac{1}{30}\right)V_{REF}$	0	0	0	0
$\left(\frac{1}{30} \sim \frac{3}{30}\right)V_{REF}$	0	0	0	1
$\left(\frac{3}{30} \sim \frac{5}{30}\right)V_{REF}$	0	0	1	0
$\left(\frac{5}{30} \sim \frac{7}{30}\right)V_{REF}$	0	0	1	1
$\left(\frac{7}{30} \sim \frac{9}{30}\right)V_{REF}$	0	1	0	0
$\left(\frac{9}{30} \sim \frac{11}{30}\right)V_{REF}$	0	1	0	1
$\left(\frac{11}{30} \sim \frac{13}{30}\right)V_{REF}$	0	1	1	0
$\left(\frac{13}{30} \sim \frac{15}{30}\right)V_{REF}$	0	1	1	1
$\left(\frac{15}{30} \sim \frac{17}{30}\right)V_{REF}$	1	0	0	0
$\left(\frac{17}{30} \sim \frac{19}{30}\right)V_{REF}$	1	0	0	1
$\left(\frac{19}{30} \sim \frac{21}{30}\right)V_{REF}$	1	0	1	0
$\left(\frac{21}{30} \sim \frac{23}{30}\right)V_{REF}$	1	0	1	1
$\left(\frac{23}{30} \sim \frac{25}{30}\right)V_{REF}$	1	1	0	0
$\left(\frac{25}{30} \sim \frac{27}{30}\right)V_{REF}$	1	1	0	1
$\left(\frac{27}{30} \sim \frac{29}{30}\right)V_{REF}$	1	1	1	0
$\left(\frac{29}{30} \sim 1\right)V_{REF}$	1	1	1	1

结合 3.3.2 节设计的 4 位二进制编码器，可以实现一个新的 4 位 Flash ADC，如图 4-6 所示。并对其进行仿真以及采样模拟信号，仿真结果如图 4-7 所示，采样结果如图 4-8 所示。仿真结果和采样结果验证了基于忆阻器的 4 位 Flash ADC 的正确性。

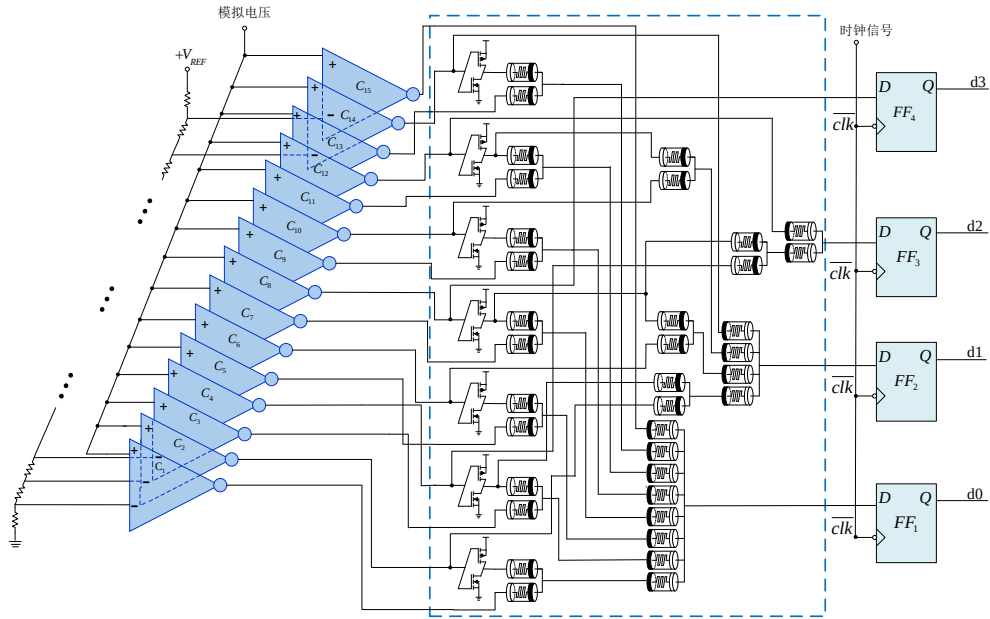


图 4-6 基于忆阻器的新型 4 位 Flash ADC

4.2.5 4 位 Flash ADC 电路仿真验证

在 LTspice 软件中仿真验证本文设计的 4 位 Flash ADC,仿真结果如图 4-6。与 3 位 Flash ADC 工作原理一致,可见,当输入信号的电压低于第一个比较器 C_1 的阈值,即 $v_1 < \frac{1}{30}V_{REF}$ 时,系统中所有比较器的输出状态均为低电平。当输入信号的电压升高,达到第一个比较器 C_1 的阈值,即 $\frac{1}{30}V_{REF} \leq v_1 < \frac{3}{30}V_{REF}$ 时,只有比较器 C_1 的输出会切换至高电平,而其他比较器的输出仍为低电平。进一步提高输入信号的电压,当其超过第二个比较器 (C_2) 的阈值时,即 $\frac{3}{30}V_{REF} \leq v_1 < \frac{5}{30}V_{REF}$,比较器 C_1 和 C_2 的输出均变为高电平,而其他比较器的输出保持低电平。依此类推,通过逐渐增加输入信号的电压,可以得到在不同电压范围下各个比较器的输出状态。这一系列输出状态的组合即构成了 4 位 Flash ADC 的输出。因此,通过比较器的级联工作,系统能够实现对输入信号进行精确的模拟到数字的转换,使得输出代码能够反映输入信号的电压水平。

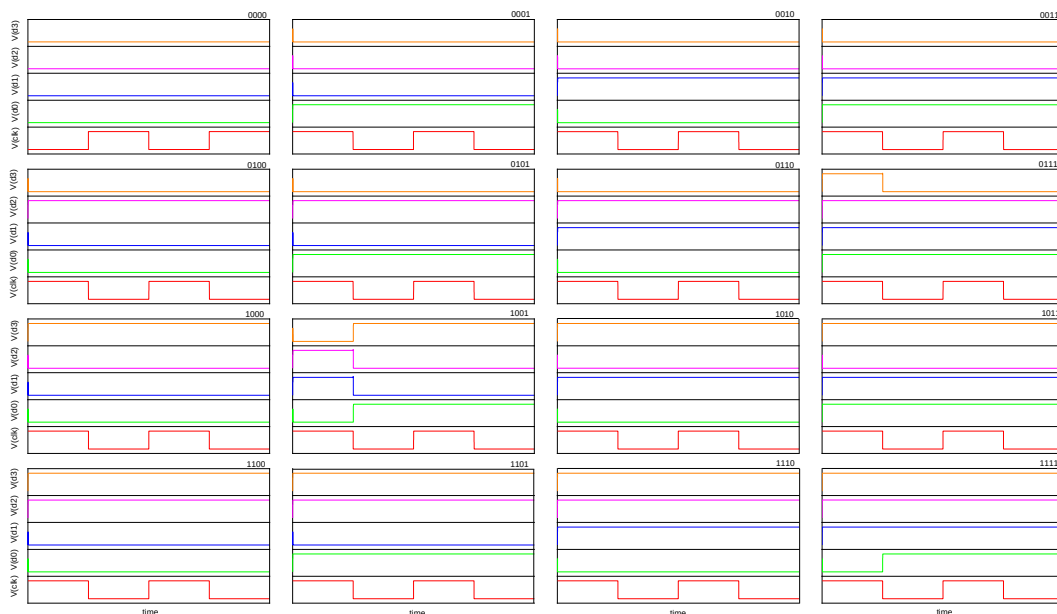


图 4-7 基于忆阻器的 4 位 Flash ADC 的仿真结果

将输入的模拟信号 v_i 改为正弦信号 $V(\sin)$ ，正弦信号频率为 1000Hz，幅值为 5V，对 Flash ADC 进行采样，采样结果如图 4-7 所示。在 1V 电源下，所设计的 4 位 Flash ADC 表现出了良好的性能，功耗为 5.84mW，延迟时间为 17.8ns。

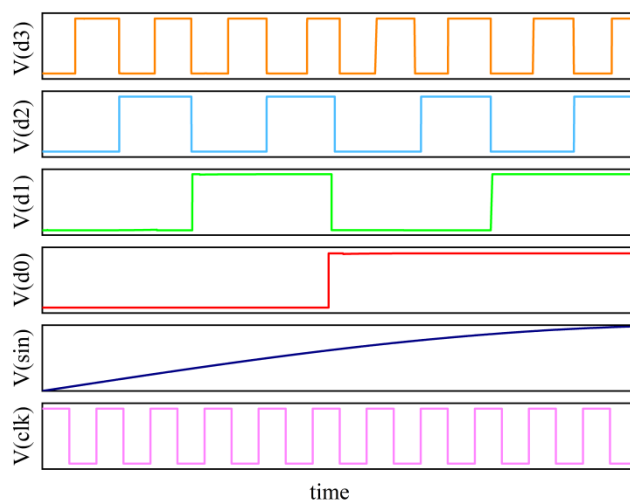


图 4-8 4 位 Flash ADC 采样图

4.2.6 对比与总结

将本文已设计的基于忆阻器的 4 位 Flash ADC 与其他文献中的 Flash ADC 进行了比较，如表 4-3 所示。

表 4-3 Flash ADC 设计对比

	文献[73]	文献[74]	文献[75]	文献[76]	本文
位数(bits)	4	4	4	4	4
工艺	65nm	90nm	-	0.18um	50nm
输入电压范围(v)	0.6-0.9	0.1-1	0.1-1	0-0.8	0-1
供电电压(v)	1	1.8	1	0.8	1
延迟时间(ns)	-	100	11	0.16	17.8
功耗(mw)	15.5	7.846	0.75	118.24	5.84
器件数量: 晶体管/忆阻器	180/0	165/0	82/0	266/0	62/88

传统的 4 位 Flash ADC 需要 16 个电阻、15 个比较器，15 个寄存器，其中包括很多 CMOS 管，代码转换模块也占用了很大的面积。由于 CMOS 管的体积较大，所以 Flash ADC 的电路会占用很大面积，并且会提高成本。文献^[73]采用 65 纳米 CMOS 技术设计了 20GSps、1V 电源时功耗仅为 15.5mW 的 ADC，但是其所需要的晶体管数量较大。文献^[74]提出后冲噪声抑制技术降低比较器功耗，实现了低功耗 Flash ADC，但是其延迟时间过长，一旦 Flash ADC 的位数增加，模数转换的速度将会变慢。文献^[75]采用隧道场效应晶体管(TFET)降低 ADC 功耗，提出了在电源电压下性能优异的 ADC 但是隧道场效应晶体管的体积较大，成本也较高。文献^[76]提出了基于新型块驱动准浮栅(BD-QFG)电流反射镜(CM)结构的 Flash ADC，它在低电源电压下实现了增强的转换频率，但与本文相较，其消耗的功率过高。本文基于忆阻器的设计在晶体管数量和功耗方面取得了显著的改进，降低了约 25.57%。

4.3 本章小结

本章对 Flash ADC 进行了介绍并对 Flash ADC 的架构进行了分析，了解到传统的 Flash ADC 由于位数的增加会导致功耗、面积以及成本的剧增。本章介绍了模数转换过程中的量化和编码原理，介绍了一种量化电平的方法，并在 3 位 Flash ADC 的设计之初进行电平的量化，接着在忆阻器逻辑门以及忆阻器 D 触发器模块的基础上设计了新型的 3 位 Flash ADC，通过 LTspice 仿真验证了 3 位 Flash ADC 电路的正确性和稳定性。由于 3 位 Flash ADC 结构简单，本章采用了同样原理设计了基于忆阻器的 4 位 Flash ADC，确保其适应快速转换和高

分辨率的应用场合。通过 LTspice 仿真，验证了 4 位 Flash ADC 的正确性已经稳定性，提供了一种简单而有效的 ADC 解决方案，以满足高速、高精度模数转换的需求。在本章的最后，与近期 4 位 Flash ADC 电路设计研究对比发现，本文设计的 4 位 Flash ADC 电路在电路面积、延迟时间和功耗等方面具有一定的优势。这些结果不仅验证了我们设计的电路的有效性，而且为高性能 ADC 电路的设计提供了有益的启示。

第 5 章 总结与展望

5.1 工作总结

Flash ADC 目前是在转换速度最快的 ADC 之一。其快速转换速度得益于其并行比较器结构,使得它能够在—个时钟周期内完成整个模拟信号的量化转换过程。虽然其结构简单,响应速度快,但其缺点也显而易见。由于对比特的要求越来越高,对比较器,触发器等器件的需求也成了指数级增长。因此芯片的面积和功耗都会成倍地增加。因为每增加—位的精度,都需要增加更多的比较器和相关的逻辑电路,从而增加了空间占用和功耗。因此本文对近年来受到极大关注的忆阻器件进行了研究,深入探讨了忆阻器件在存储器,模拟电路,数字电路以及神经网络中的潜在应用,揭示了其在不同场景下的广泛应用可能性。忆阻器件因其简单的结构、小尺寸和低能耗而备受关注,同时它能够有效地储存和处理信息,并且与 CMOS 技术兼容。探索利用忆阻器件实现模拟信号转换为数字信号的可能性。结合传统的模数转换器设计方法,展开了深入的研究,并最终提出了基于忆阻器的 Flash ADC 电路。

首先了解了忆阻器的概念与定义,深入探讨了忆阻器的工作原理,以及忆阻器的工作特性。介绍了 HP 忆阻器模型和通用忆阻器模型,并对模型做了仿真,结合忆阻器数学模型和物理模型以及仿真结果,更加了解了忆阻器的工作原理以及特性。在理论上改进了忆阻仿真器模型中的整形函数,并设计了电流控制忆阻仿真器模型,优化了忆阻仿真器模型的性能。

然后对基于忆阻器 MRL 逻辑进行了研究与分析,设计了基本逻辑门电路,并在此基础上提出了基于忆阻器的下降沿触发的 D 触发器,以及二进制编码器,最后在以上电路的基础上结合电阻链模块已经比较器模块搭建出基于忆阻器的 Flash ADC 电路,对所设计的电路在 LTspice 软件中进行了仿真,验证了所提出的电路结构的可行性,并与已有研究成果进行了比较,证明所设计的 ADC 在芯片面积、功耗和转换效率等方面均表现出了优异的特点。这种新型 ADC 电路结合了忆阻器的优势和传统转换器设计方法的经验,具有潜力在高速、高精度的信号采集和处理中发挥重要作用。其研究和应用将为数字信号处理领域带来新

的可能性，推动着模拟与数字技术的融合与发展，为 ADC 领域的发展和创新注入了新的活力。

5.2 研究展望

由于时间和能力的有限，在利用忆阻器件实现模数转换方面，仍有以下几个方面的想法仍需深入研究：

首先，本文虽然对基于忆阻的模数转换器进行了研究与仿真，但是研究的还是不够深入，没有将实际的 ADC 电路搭建出实物，后续还需要对基于忆阻器 Flash ADC 实际电路进行研究，减少各器件之间的干扰，提高电路稳定性和抗干扰能力，争取搭建出可以实际运用的基于忆阻器的 Flash ADC 电路。并可以进一步研究忆阻器件在不同工作条件下的性能特性，例如温度变化、电压波动等因素对其性能的影响，以便更好地优化模数转换器的设计和应用。通过综合考虑各种因素，可以进一步提高基于忆阻器件的模数转换器的稳定性和可靠性，拓展其在实际应用中的范围和潜力。

其次，可以探索如何进一步优化忆阻器件的结构和性能，以提高其在模拟信号转换中的精度和速度。通过调整忆阻器件的材料组成、制备工艺和结构设计，可以实现更快的响应速度和更稳定的电阻状态转换，从而提高模数转换器的整体性能。

此外，可以研究如何进一步改进忆阻器件与模数转换器之间的接口和集成方式，以实现更高效的信号传输和处理。通过设计更优化的接口电路和数据处理算法，可以降低信号传输的功耗和延迟，提高模数转换器的整体效率和性能。

最后，还可以探索如何将忆阻器件与其他新型器件和技术相结合，实现更多样化、更灵活的模数转换方案。例如，将忆阻器件与深度学习算法相结合，实现智能信号处理和模式识别，或者将其与微纳米器件相结合，实现微型化和集成化的模数转换器设计。

综上所述，尽管在利用忆阻器进行模拟到数字转换的领域已取得一定的进展，但仍有众多深度探讨和研究的空间，这些思路将为未来的研究和应用提供新的思路和可能性。

参考文献

- [1]X. Lei, N. Hoang Anh Du, M. Taouil,et al. Fast boolean logic mapped on memristor crossbar[C]. in 2015 33rd IEEE International Conference on Computer Design (ICCD), 2015: 335-342.
- [2]张志楠.集成电路在“后摩尔定律”时代如何发展[J].张江科技评论,2021(03):6.
- [3]彭练矛.2020 年之后的电子学:碳基电子学的机遇和挑战[J].科学,2016,68(02):11-15+4.
- [4]W. M. Arden. The international technology roadmap for semiconductors—perspectives and challenges for the next 15 years[J]. Current Opinion in Solid State and Materials Science,2002,6(5):371-377.
- [5]C. Y. Lin, M. D. Ker, P. H. Chang, et al. Study on the ESD-induced gate-oxide breakdown and the protection solution in 28nm high-k metal-gate CMOS technology[C]. 2015 IEEE Nanotechnology Materials and Devices Conference (NMDC), 2015: 1-4.
- [6]魏文浩.试论数字电路的研究与应用[J].硅谷,2010(03):33.
- [7]张天一,闫青,孙庆丰.Constructing low-dmensional quantum devices based on the surface state of topological insulators[J]. Chinese Physics Letters, 2021,38(07): 163-168.
- [8]J. L. MacManus-Driscoll and S. C. Wimbush. Processing and application of high-temperature superconducting coated conductors[J]. Nature Reviews Materials, 2021, 6(7):587-604.
- [9]赵佳佳. Sb 掺杂 SnO 半导体材料的理论计算及应用研究[D].辽宁师范大学,2019.
- [10]曹俊诚.太赫兹量子器件及其成像与通信应用[J].量子电子学报,2020,37(01):120.
- [11]韩昊轩,张国峰,张雪等.低噪声超导量子干涉器件磁强计设计与制备[J].物理学报,2019,68(13):301-306.
- [12]L. Chua.Memristor-The missing circuit element[J]. IEEE Transactions on Circuit

- Theory, 1971, 18(5): 507-519.
- [13]D. B. Strukov, G. S. Snider, D. R. Stewart, et al. The missing memristor found[J]. nature, 2008, 453(7191): 80-83.
- [14]G. Huang and P. Lin.A 1.0-V 6-b 40MS/s time-domain flash ADC in 0.18 μ m CMOS[J]. Analog Integrated Circuits and Signal Processing, 2013, 77(2): 285-289.
- [15]Y. Huang, J. Chang, Y. Cheng, Z,et al. The Flash ADC system and PMT waveform reconstruction for the Daya Bay experiment[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2018, 895: 48-55.
- [16]L. O. Chua and S. M. Kang. Memristive devices and systems[J]. Proc IEEE, 1976, 64(2): 209-223.
- [17]R. Á and G. Cserey. Macromodeling of the memristor in SPICE[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010,29(4): 632-636.
- [18]D. Batas and H. Fiedler. A Memristor SPICE Implementation and a New Approach for Magnetic Flux-Controlled Memristor Modeling[J]. IEEE Transactions on Nanotechnology, 2011, 10(2):250-255.
- [19]T. Prodromakis, B. P. Peh, C. Papavassiliou, et al. A Versatile Memristor Model With Nonlinear Dopant Kinetics[J]. IEEE Transactions on Electron Devices, 2011, 58(9):3099-3105.
- [20]B. Gao, S. Yu, N. Xu, et al. Oxide-based RRAM switching mechanism: A new ion-transport-recombination model[C]. 2008 IEEE International Electron Devices Meeting, 2008: 1-4.
- [21]U. Russo, D. Ielmini, C. Cagli, et al. Filament Conduction and Reset Mechanism in NiO-Based Resistive-Switching Memory (RRAM) Devices[J]. IEEE Transactions on Electron Devices, 2009, 56(2):186-192.
- [22]Y. E. Syu, T. C. Chang, T. M. Tsai, et al. Redox Reaction Switching Mechanism in RRAM Device With Structure[J] IEEE Electron Device Letters, 2011, 32(4): 545-547.
- [23]M. D. Ventra, Y. V. Pershin, and L. O. Chua. Circuit Elements With Memory:

- Memristors, Memcapacitors, and Meminductors[J] Proceedings of the IEEE, 2009, 97(10): 1717-1724.
- [24]Chua L O. Everything you wish to know about memristors but are afraid to ask[J]. Radio engineering, 2015, 24(2): 319
- [25]S. Kvatinsky, E. G. Friedman, A. Kolodny, et al. TEAM: threshold adaptive memristor model[J]. Circuits and Systems I: Regular Papers, IEEE Transactions on, 2013, 60(1): 211-221
- [26]G. Bersuker, D. Gilmer, D. Veksler, et al. Metal oxide RRAM switching mechanism based on conductive filament microscopic properties[C]. International Electron Device Meeting, San Francisco, 2010, 19.6. 1-19.6. 4
- [27]S. Kvatinsky, D. Belousov, S. Liman,et al. MAGIC—Memristor-Aided Logic[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(11): 895-899.
- [28]P. Mane, N. Talati, A. Riswadkar, et al. Reconfiguration on nanocrossbar using material implication[J]. Sādhanā, 2017, 42(1):33-44.
- [29]W. Zhang, P. Yao, B. Gao,et al. Edge learning using a fully integrated neuro-inspired memristor chip[J]. Science, 2023, 381(6663): 1205-1211.
- [30]S. Kvatinsky, N. Wald, G. Satat, et al. MRL — Memristor Ratioed Logic[C]. 2012 13th International Workshop on Cellular Nanoscale Networks and their Applications, 2012,:1-6.
- [31]P. Mane, N. Talati, A. Riswadkar, ey al. Implementation of NOR Logic Based on Material Implication on CMOL FPGA Architecture[C].IEEE 2015 28th International Conference on VLSI Design, 2015: 523-528.
- [32]N. Revanna and E. E. Swartzlander.Memristor based high fan-out logic gates[C] 2016 IEEE Dallas Circuits and Systems Conference (DCAS), 2016 : 1-4.
- [33]M. Teimoori, A. Ahmadi, S. Alirezaeet al. A novel hybrid CMOS-memristor logic circuit using Memristor Ratioed Logic[C]. 2016 IEEE Canadian Conference on Electrical and Computer Engineering (CCECE), 2016: 1-4.
- [34]Teimoory M, Amirsoleimani A, Ahmadi A. A hybrid memristor-CMOS multiplier design based on memristiveuniversal logic gates[C]. IEEE Midwest Symposium on

- Circuits and Systems (MWSCAS), 2017: 1422-1425.
- [35]G. S. Snider. Spike-timing-dependent learning in memristive nanodevices[C]. IEEE 2008 International Symposium on Nanoscale Architectures, 2008: 85-92.
- [36]S. H. Jo, T. Chang, I. Ebong, B. B. Bhadviya, et al. Nanoscale Memristor Device as Synapse in Neuromorphic Systems[J]. Nano Letters, 2010, 10(4): 1297-1301,
- [37]D. B. Strukov. Smart connections[J]. Nature, 2011, 476(7361): 403-405.
- [38]D. Kuzum, S. Yu, and H. S. Philip Wong. Synaptic electronics: materials, devices and applications[J]. Nanotechnology, 2013,24(38): 382001.
- [39]H. Kim, M. P. Sah, C. Yang, et al. Neural Synaptic Weighting With a Pulse-Based Memristor Circuit[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011,59(1): 148-158.
- [40]L. Wang, X. Wang, S. Duan, and H. Li. A spintronic memristor bridge synapse circuit and the application in memristive cellular automata[J]. Neurocomputing, 2015,167: 346-351.
- [41]S. P. Adhikari, C. Yang, H. Kim, and L. O. Chua. Memristor Bridge Synapse-Based Neural Network and Its Learning[J]. IEEE Transactions on Neural Networks and Learning Systems, 2012, 23(9):1426-1435.
- [42]L. Cui, W.-H. Luo, and Q.-L. Ou. Analysis and implementation of new fractional-order multi-scroll hidden attractors[J]. Chinese Physics B, 2021,30(2): 020501.
- [43]N. Wang, G. Zhang, N. V. Kuznetsov, and H. Bao. Hidden attractors and multistability in a modified Chua's circuit[J]. Communications in Nonlinear Science and Numerical Simulation, 2021, 92: 105494.
- [44]L.-H. Gong, H.-X. Luo, R.-Q. Wu, and N.-R. Zhou. New 4D chaotic system with hidden attractors and self-excited attractors and its application in image encryption based on RNG[J]. Physica A: Statistical Mechanics and its Applications, 2022, 591:126793.
- [45]L. Wang, E. Drakakis, S. Duan, et al. Memristor model and its application for Chaos generation[J] International Journal of Bifurcation and Chaos, 2012, 22(08):1250205.
- [46]B. Bao, P. Jiang, H. Wu, and F. Hu. Complex transient dynamics in periodically forced memristive Chua's circuit[J]. Nonlinear Dynamics, 2015,79(4): 2333-2343.

-
- [47]M. Wang, Y. Deng, X. Liao, et al. Dynamics and circuit implementation of a four-wing memristive chaotic system with attractor rotation[J] International Journal of Non-Linear Mechanics, 2019, 111:149-159.
 - [48]H. Chang, Y. Li, and G. Chen. A novel memristor-based dynamical system with multi-wing attractors and symmetric periodic bursting[J]. Chaos: An Interdisciplinary Journal of Nonlinear Science, 2020, 30(4): 043110.
 - [49]S. Shin, K. Kim, and S. M. Kang. Memristor Applications for Programmable Analog ICs[J]. IEEE Transactions on Nanotechnology, 2011, 10(2): 266-274.
 - [50]W. Robinett, M. Pickett, J. Borghetti, et al. A memristor-based nonvolatile latch circuit[J] Nanotechnology, 2010, 21(23): 235203.
 - [51]W. Wang, T. T. Jing, and B. Butcher. FPGA based on integration of memristors and CMOS devices[C]. 2010 IEEE International Symposium on Circuits and Systems (ISCAS), 2010: pp. 1963-1966.
 - [52]S. W. M. Chen and R. W. Brodersen. A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13- CMOS[J]. IEEE Journal of Solid-State Circuits, 2006, 41(12): 2669-2680.
 - [53]C. C. Liu, S. J. Chang, G. Y. Huang, et al. A 10b 100MS/s 1.13mW SAR ADC with binary-scaled error compensation[C]. 2010 IEEE International Solid-State Circuits Conference - (ISSCC), 2010: 386-387.
 - [54]B. Verbruggen, M. Iriguchi, and J. Craninckx. A 1.7 mW 11b 250 MS/s 2-Times Interleaved Fully Dynamic Pipelined SAR ADC in 40 nm Digital CMOS[J]. IEEE Journal of Solid-State Circuits, 2012, 47(12): 2880-2887.
 - [55]E. Janssen, K. Doris, A. Zanakopoulos, et al. An 11b 3.6GS/s time-interleaved SAR ADC in 65nm CMOS[C]. 2013 IEEE International Solid-State Circuits Conference (ISSCC), 2013: 464-465.
 - [56]H. K. Hong, W. Kim, H. W. Kang, et al. A Decision-Error-Tolerant 45 nm CMOS 7b 1 GS/s Nonbinary 2b/Cycle SAR ADC[J] IEEE Journal of Solid-State Circuits, 2015, 50(2):543-555.
 - [57]Y. H. Chung, C. Y. Hu, and C. W. Chang. A 38-mW 7-bit 5-GS/s Time-Interleaved SAR ADC with Background Skew Calibration[C]. 2018 IEEE Asian Solid-State Circuits Conference (A-SSCC), 2018: 243-246.

-
- [58]C. Wu and J. Yuan. A 12-Bit, 300-MS/s Single-Channel Pipelined-SAR ADC With an Open-Loop MDAC[J]. IEEE Journal of Solid-State Circuits, 2019, (5): 1446-1454.
 - [59]Chan K Y. Applying the "Split-ADC" Architecture to a 16 bit, 1MS/s differential Successive Approximation Analog-to-Digital Converter[D]. Worcester Polytechnic Institute, 2008.
 - [60]H. S. Lee, D. A. Hodges, and P. R. Gray. A self-calibrating 15 bit CMOS A/D converter[J]. IEEE Journal of Solid-State Circuits, 1984, 19, (6): 813-819.
 - [61]J. A. Fredenburg and M. P. Flynn. A 90-MS/s 11-MHz-Bandwidth 62-dB SNDR Noise-Shaping SAR ADC[J]. IEEE Journal of Solid-State Circuits, 2012, 47(12): 2898-2904.
 - [62]S. Li, B. Qiao, M. Gandara, et al. A 13-ENOB Second-Order Noise-Shaping SAR ADC Realizing Optimized NTF Zeros Using the Error-Feedback Structure[J]. IEEE Journal of Solid-State Circuits, 2018, 53(12):3484-3496.
 - [63]C. C. Liu, S. J. Chang, G. Y. Huang, and Y. Z. Lin. A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4):731-740.
 - [64]Y. Zhu, C. H. Chan, U. F. Chio, et al. A 10-bit 100-MS/s Reference-Free SAR ADC in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1111-1121.
 - [65]G. Y. Huang, S. J. Chang, C. C. Liu, and Y. Z. Lin. A 1- μ W 10-bit 200-kS/s SAR ADC With a Bypass Window for Biomedical Applications[J]. IEEE Journal of Solid-State Circuits, 2012, 47(11):2783-2795.
 - [66]F. M. Yaul and A. P. Chandrakasan. 11.3 A 10b 0.6nW SAR ADC with data-dependent energy savings using LSB-first successive approximation[C]. 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014:198-199.
 - [67]C. Y. Kung, C. P. Huang, C. C. Li, and S. J. Chang. A Low Energy Consumption 10-Bit 100kS/s SAR ADC with Timing Control Adaptive Window[C] 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 2018: 1-4.
 - [68]A. Khorami, R. Saeidi, M. Sachdev, and M. Sharifkhani. A low-power dynamic

- comparator for low-offset applications[J].*Integration*, 2019, 69:23-30.
- [69]Y. J. Roh, D. J. Chang, and S. T. Ryu. A 40-nm CMOS 12b 120-MS/s Nonbinary SAR-Assisted SAR ADC With Double Clock-Rate Coarse Decision[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, 67(12): 2833-2837.
- [70]L. Huang, L. Zhang, M. Chen, J. Li, and J. Wu. A Low-Energy and Area-Efficient Vsq-Based Switching Scheme with Capacitor-Splitting Structure for SAR ADCs [J]. *Circuits, Systems, and Signal Processing*, 2021, 40(8): 4106-4126.
- [71]J. J. Yang, M. D. Pickett, X. Li, et al. Memristive switching mechanism for metal/oxide/metal nanodevices[J]. *Nature Nanotechnology*, 2008,3(7): 429-433.
- [72]C. Yakopcic, T. M. Taha, G. Subramanyam, et al. Generalized Memristive Device SPICE Model and its Application in Circuit Design[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2013, 32(8): 1201-1214.
- [73]M. M. Ayesb, S. Ibrahim, and M. M. Aboudina. A 15.5-mW 20-GSps 4-bit charge-steering flash ADC[J] 2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS), 2015: 1-4.
- [74]R. M, D. Kariyappa, and R. Holla. Design and Implementation of Flash ADC for Low Power Applications[J]. *IOSR Journal of VLSI and Signal Processing*, 2014, 4:41-46.
- [75]A. Maurya, P. Rahi, K. Koley, and J. Kumar. Implementation and Performance Analysis of Low Power 1 GHz 4-Bit Flash ADC Using III–V Tunnel-FET[J]. *Circuits, Systems, and Signal Processing*, 2023, 42(3): 1352-1368.
- [76]M. Bchir, N. Hassen, and K. Besbes. A Novel High-Performance ADC Flash Based on Bulk-Driven Quasi-Floating Gate Current Mirror[C]. 2020 17th International Multi-Conference on Systems, Signals & Devices (SSD), 2020: 780-785.

攻读学位期间发表的学术成果

- 1.以第二作者在 *electronics* 期刊（SCI 三区）发表论文一篇

致谢

时光荏苒，又是一年毕业季，在安徽工程大学求学的这三年时光也即将结束。犹记得刚来到这个陌生的学校，总觉得来日方长，毕业遥遥可及。可行文至此，终于也到我执笔于此处，回顾这三年，有感激、有眷恋、有不舍。人生本就是一场场有关离别的漫长故事，三年时间已过，宴席即将散场，故事接近尾声。

桃李不言，下自成蹊。感谢我的导师代广珍老师，从选导师时的初见到平时日常的相处，代老师总是关怀备至，提醒我们锻炼运动、天冷添衣，注意交通安全，让我感受到家一样的温暖。适应了学校生活之后，在代老师的指导与带领下，我开始了关于忆阻器的学习和研究，在这三年里，无论是科研方向、论文选题、还是期刊论文的撰写，代老师都是细致入微的指导，耐心的答疑解惑，这一切我都将铭记于心。代老师乐观从容，严谨谦虚的生活和学术态度，是我永远的前进方向，在未来的日子里，祝福老师万事顺心，教泽绵长。

山水一程，喜忧皆伴。感谢我身边的每一位朋友，给予我无限包容、安慰和鼓励。感谢整个课题组的兄弟姐妹，赵振宇学长、宋兴文学长、谢文薪、李文娟、刘炳辰、杨思浩、李威，这三年我们互相帮助，共同进步。祝愿师门好朋友们前程似锦，拥有光明的未来。感谢在学校每天朝夕相处的戴前程同学，三年时间一晃而过，我们来日方长。感谢 Rose Dance 舞蹈室的所有舞蹈老师和我的好朋友们，让科研期间的压力与郁闷全揉进了舞蹈室的汗水与欢笑里。希望我们在各自的领域闪闪发光也好，普普通通也好，都可以成为自己想要成为的人。

春晖寸草，难以回报。感谢我的父母，二十多年的养育、鼓励与支持，默默地守护与陪伴，无限的包容与关怀，是我永远都回报不完的爱，谢谢你们在我读研期间给予我的支持，谢谢你们对我做的每个决定的信任。愿父母身体健康，万事胜意。

不忘初心，砥砺前行。感谢不算聪明但始终保持乐观的自己，感谢时间，让我这般长大。

尚德致学 唯实惟新

