

分类号: TN492

学校代码: 10363

密 级: 公开

学 号: 2210330170



安徽工程大学

Anhui Polytechnic University

硕士学位论文

题目 基于忆阻器时序电路设计及其应用研究

论文作者 谢文薪

校内导师 代广珍

校外导师 向艳

专业学位类别 电子信息（085400）

研究方向（领域） 人工智能与系统集成

论文提交日期: 2024 年 5 月 31 日

分类号: TN492

单位代码: 10363

密 级: 公 开

学 号: 2210330170

题 目 基于忆阻器时序电路设计及其应用研究

题 目 **Design and Application of Sequential Logic Circuit**
Based on Memristor

学生姓名: 谢文薪

校内导师: 代广珍

校外导师: 向艳

专 业: 电子信息

研究方向: 人工智能与系统集成

论文答辩日期: 2024.5.16

安徽工程大学学位论文原创性声明

本人郑重声明：我恪守学术道德，崇尚严谨学风。所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已明确注明和引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的作品及成果的内容。论文为本人亲自撰写，我对所写的内容负责，并完全意识到本声明的法律后果由本人承担。

学位论文作者签名：谢文新

日期：2024年5月31日

安徽工程大学学位论文版权使用授权书

学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅或借阅。本人授权安徽工程大学可以将本学位论文的全部内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密 ☐，在 _____ 年解密后适用本版权书。

本学位论文属于

不保密 ☒。

学位论文作者签名：

谢文新

指导教师签名：

王华

日期： 2024 年 5 月 31 日

日期： 2024 年 5 月 31 日

基于忆阻器时序电路设计及其应用研究

摘 要

信息科学技术的发展推动了人工智能的进步，大数据模型进入了快速发展阶段，集成芯片系统设计也日趋复杂。但是，晶体管受物理材料及制备工艺等方面的影响，其尺寸已经逐渐达到理论的极限值，使得集成电路的发展受到极大的制约。因此，寻找一种新型器件来代替传统的晶体管对于科学家来说刻不容缓。而忆阻器这种新型电子元器件的出现，不仅解决了传统集成电路中面积大、功耗高、延迟时间长等问题，还为突破冯·诺依曼结构瓶颈等问题提供了新的思路。忆阻器作为与电阻、电容和电感并列的第四种基本无源电路元件，是一种具有记忆功能的非线性电阻，其自身除了具有纳米尺寸、切换速度快、高集成度以及低功耗等特性，它还与互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）工艺兼容，其二值特性表现出的高阻态和低阻态在逻辑电路的设计和应用中都能发挥作用。基于忆阻器的混合逻辑电路可以有效减少传统 CMOS 电路的面积，同时降低功耗、减少延迟并提高控制效益。因此，忆阻器作为替代晶体管的新型元件之一，对于神经形态计算和时序逻辑等电路的设计具有重要的意义。

本文的主要工作如下：

首先，通过加入改进的整形函数电路优化了电压控制模型仿真器电路的非线性特性，仿真结果展示了忆阻器仿真器在 $I-V$ 特性、

阈值范围和迟滞叶片面积等方面的性能有明显的提升，电路频率也从 7kHz 提高到 36kHz。在面包板上运用商用分立元器件对所设计的忆阻器仿真器进行电路搭建，实验结果在示波器上显示出明显的滞回曲线，说明忆阻器仿真器电路硬件设计的可行性。此外，改进忆阻器 SPICE 模型的整形函数，并将 SPICE 模型应用到后续电路设计。

其次，采用忆阻比例逻辑（Memristor-Ratioed Logic, MRL）的设计方法将通用忆阻器 SPICE 模型与 CMOS 晶体管相结合应用到逻辑电路设计之中。其中，MOS 晶体管采用了 50nm BSIM4 工艺模型库。基于忆阻比例逻辑设计的逻辑门设计实现了不同触发方式、不同结构的 SR 触发器、JK 触发器、T 触发器以及 D 触发器等。针对两级反转结构中信号传输的可复用性，设计了两种简化的边沿触发 D 触发器，优化了信号线的链接，减少了器件数量。

最后，运用上面简化的 D 触发器设计顺序脉冲发生器和两个新的 4 位线性反馈移位寄存器。与部分现有的线性反馈移位寄存器相比，所设计的线性反馈移位寄存器显著减少了器件数量，且基于或非门和与非门设计的功耗分别降低了 34.3%和 34.9%，延迟时间分别缩短了 34.7%和 33.2%。同时，将新的线性反馈移位寄存器电路应用于内建自测试电路设计，LTspice 仿真验证了电路的正确性与可行性。

关键词：忆阻器，CMOS，忆阻比例逻辑，时序逻辑电路，内建自测试

DESIGN AND APPLICATION OF SEQUENTIAL LOGIC CIRCUIT BASED ON MEMRISTOR

ABSTRACT

The development of information science and technology has promoted the progress of artificial intelligence, the big data model has entered a rapid development stage, and the design of integrated chip systems has become increasingly complex. However, the transistor is affected by the physical material and preparation process, its size has gradually reached the theoretical limit value, making the development of integrated circuits is greatly restricted. Therefore, it is urgent for scientists to find a new device to replace the traditional transistor. The emergence of this new type of electronic components, such as amnesia, not only solves the traditional integrated circuits in the large area, high power consumption, long delay time and other issues, but also for the breakthrough of the von Neumann structure bottleneck and other issues to provide a new way of thinking. Memristor as the fourth basic passive circuit element alongside with resistors, capacitors and inductors, is a kind of nonlinear resistor with memory function, its own in addition to nano-size, fast switching

speed, high integration and low power consumption and other characteristics, it is also compatible with the Complementary Metal Oxide Semiconductor (Complementary Metal Oxide Semiconductor, CMOS) process, Its binary characteristics of high and low impedance can play a role in the design and application of logic circuits. Hybrid logic circuits based on memristors can effectively reduce the area of conventional CMOS circuits while reducing power consumption, minimizing delays and improving control benefits. Therefore, as one of the novel components to replace transistors, memristors are important for the design of circuits such as neuromorphic computing and timing logic.

The main work of this paper is as follows:

Firstly, the nonlinear characteristics of the voltage-controlled model emulator circuit are optimized by incorporating an improved shaping function circuit, and the simulation results demonstrate that the performance of the memristor emulator is significantly improved in terms of $I-V$ characteristics, threshold range, and hysteresis blade area, and the frequency of the circuit is also increased from 7kHz to 36kHz. The circuit of the designed memristor emulator is constructed by using the commercial discrete components on a breadboard. The experimental results show obvious hysteresis curves on the oscilloscope, indicating the

feasibility of the hardware design of the memristor emulator circuit. In addition, the shaping function of the SPICE model of the memristor is improved and the SPICE model is applied to the subsequent circuit design.

Second, the Memristor-Ratioed Logic (MRL) design methodology was used to apply the generalized memristor SPICE model combined with CMOS transistors to the logic circuit design. Among them, the MOS transistors are modeled using the 50nm BSIM4 process model library. The logic gate design based on the memristor proportional logic design realizes SR flip-flop, JK flip-flop, T flip-flop, and D flip-flop with different triggering modes and structures. Two simplified edge-triggered D flip-flops are designed for the reusability of signal transmission in the two-stage inversion structure, which optimizes the linking of signal lines and reduces the number of devices.

Finally, a sequential pulse generator and two new 4-bit linear feedback shift registers are designed using the simplified D flip-flop above. Compared with some of the existing linear feedback shift registers, the designed linear feedback shift registers significantly reduce the number of devices, and the power consumption is reduced by 34.3% and 34.9%, and the delay time is shortened by 34.7% and 33.2% for the NOR and NAND based

designs, respectively. Meanwhile, the new linear feedback shift register circuit is applied to the built-in self-test circuit design, and LTspice simulation verifies the correctness and feasibility of the circuit.

KEY WORDS: memristor, CMOS, Memristor-Ratioed Logic, sequential logic circuit, Built-In Self-Test

目 录

第 1 章 绪论.....	1
1.1 研究背景及其意义.....	1
1.1.1 课题背景.....	1
1.1.2 研究意义.....	2
1.2 国内外研究现状.....	3
1.3 论文主要工作和结构安排.....	5
1.3.1 主要研究内容.....	5
1.3.2 文章章节安排.....	6
第 2 章 忆阻器的基础理论及其模型.....	8
2.1 忆阻器背景简介.....	8
2.2 忆阻器仿真器模型.....	10
2.2.1 整形函数设计与仿真.....	10
2.2.2 电压控制模型与仿真.....	13
2.3 忆阻器 SPICE 模型.....	18
2.4 本章小结.....	21
第 3 章 基于忆阻器的数字逻辑电路设计.....	22
3.1 忆阻比例逻辑的逻辑门设计.....	22
3.1.1 忆阻器的二值特性.....	22
3.1.2 基于忆阻器的门电路设计.....	23
3.1.3 基于忆阻器的门电路仿真.....	24
3.2 基于忆阻器的 SR 锁存器电路设计.....	24
3.2.1 传统的 SR 锁存器电路.....	24
3.2.2 基于忆阻器的 SR 锁存器电路.....	25
3.2.3 基于忆阻器的 SR 锁存器仿真.....	26
3.2.4 基于忆阻器的 SR 触发器电路.....	27
3.2.5 基于忆阻器的 SR 触发器仿真.....	28
3.3 基于忆阻器的 JK、T 触发器电路设计.....	28
3.3.1 基于忆阻器的 JK 触发器电路.....	28

3.3.2 基于忆阻器的 JK 触发器仿真	30
3.3.3 基于忆阻器的 T 触发器电路	31
3.3.4 基于忆阻器的 T 触发器仿真	32
3.4 基于忆阻器的 D 触发器电路设计	32
3.4.1 基于忆阻器的 D 锁存器电路	32
3.4.2 基于忆阻器的 D 锁存器仿真	33
3.4.3 基于忆阻器的主从结构 D 触发器电路	34
3.4.4 基于忆阻器的主从结构 D 触发器仿真	35
3.4.5 基于忆阻器的维持阻塞结构 D 触发器电路	36
3.4.6 基于忆阻器的维持阻塞结构 D 触发器仿真	36
3.5 本章小结	37
第 4 章 基于忆阻器的时序逻辑电路及其应用	38
4.1 时序逻辑电路	38
4.2 线性反馈移位寄存器电路	39
4.3 线性反馈移位寄存器电路仿真及对比	40
4.3 顺序脉冲发生器电路	41
4.4 顺序脉冲发生器仿真	43
4.5 线性反馈移位寄存器在内建自测试中的应用	43
4.5.1 逻辑内建自测试研究进展	44
4.5.2 基于忆阻器的内建自测试电路	45
4.5.3 基于忆阻器的内建自测试仿真	46
4.6 本章小结	47
第 5 章 总结与展望	49
5.1 工作总结	49
5.2 研究展望	49
参考文献	51
攻读学位期间发表的学术成果	57
致谢	58

第 1 章 绪论

1.1 研究背景及其意义

1.1.1 课题背景

随着科学技术的进步，CMOS 半导体作为数字集成电路（Integrated Circuitry, IC）发展的基石逐渐日益成熟^[1]，大量电子产品如显示屏、手机等都依靠半导体技术而实现。随着云计算、人工智能、智能驾驶等新兴科技的不断涌现，对大数据的深度处理需求也在急剧增长，间接推动了半导体硬件设备的快速升级和更新换代。然而，随着半导体工艺的进一步发展，复杂问题不断涌现，严重阻碍了半导体工艺的蓬勃发展，导致半个世纪前摩尔定律取得的巨大成功逐渐付诸东流^{[2] 见下方}。随着晶体管的结构变小、精度提高，其尺寸逐渐达到理论极限^[3-4]，尺寸和精度的变化还将导致器件短沟道效应、量子效应等，从而严重影响电路的稳定性和可靠性，还会增加功耗和散热。由于量子效应的存在，CMOS 集成电路在功耗等方面受到大量的局限性，严重制约了它的发展^[5]。如何在保证芯片正常工作的同时，降低芯片功耗、缩小芯片面积并保证芯片的散热，这是目前最重要的问题。为了解决半导体技术发展所遇到的难题，急需寻找新的材料来代替传统工艺。随着新型电子元件不断涌现，科学家们找到忆阻器并对其特性进行深入研究，最终发现忆阻器的出现为解决这一难题提供了一种全新的解决方案与思路。

而数字电路是以半导体技术为基础并用来构造数字集成元件，逻辑门则为典型代表，它被用来设计各种门电路、加法器、触发器等，并以此为基础设计不同的组合或时序逻辑电路。组合逻辑电路由简单的逻辑门构成，电路的工作原理简单，输出仅取决于该时刻的输入，与电阻式电路大致相同，包括多路选择器、全加器、译码器等电路。时序逻辑电路与组合逻辑电路相似，主要由与非、或非等基本门电路组成，但是除了基本组合门电路之外还必须添加反馈逻辑回路，故而时序逻辑电路中该时刻的输入和前一时刻的电路状态共同决定电路的输出信号，它与储能特性的元器件电路相仿，类似于锁存器、触发器、脉冲信号发生器寄存器等电路^[6]。

数字电路具有高集成度、体积小，功耗低等诸多优势。从第一个电子管到之后的晶体管，半导体技术的飞速发展对整个社会产生了深远的影响，而作为其支柱的数字电子技术对世界各国的电子信息化进程产生了重要的影响。由于集成电路的快速发展，使数字存储器电路的发展已经由器件级别过渡到系统级别，表明电路的体积将会越来越大、功能也变得更加丰富，这些电路的急剧进步对整个世界都产生了巨大的促进作用。为了实现大规模集成电路的低功耗、快速计算等目的，科学家试图探索其它新型材料如纳米材料，以将电子技术提升到更高的水平，跟上信息技术飞速发展的步伐^[7-8]。

1.1.2 研究意义

数字集成电路是现代产业进步的基础，广泛地应用于计算机、通信、自动控制、仪器仪表等各个领域，为促进社会经济发展、改善人民文化生活等各个领域奠定良好的基础。随着各种工艺的发展和应用范围的扩大，集成电路正朝着高密度、低功耗、高速高频率的方向发展，这就导致了器件的结构尺寸越来越小，集成度不断提高，集成技术也日趋复杂。然而，由于工艺、尺寸、功耗和面积等诸多因素的限制，“摩尔定律”已经开始逐渐失效。如何在保持性能持续提高的同时，进一步降低电路的体积和功耗，是学术界和工程技术人员面临的一个亟待解决的问题，即能否找到一种能够有效地解决器件数量过多、功耗过高，效率下降等问题的方法，并对此进行深入的探讨和研究^[9]，直到 1971 年，忆阻概念的出现，才使上述问题有所改观。

1971 年，由蔡绍棠教授根据数学对称理论，推导出继电阻、电容和电感后的第四种无源二端电路元件，并命名为忆阻器^[10]，该器件在 $I-V$ 平面内有一条其它三种基本电路元器件都无法复制的迟滞曲线^[10-11]。但是科学技术的局限性使忆阻器的物理器件不能被大规模生产，导致忆阻器一直停留在理论阶段。直至 2008 年，惠普研究小组成功制备出了具有物理实体的忆阻器，同时也证明了蔡少棠等人提出关于忆阻器的理论的正确性^[12]，自此忆阻器被研究人员和科学家高度关注。至今为止，忆阻器的应用领域极其广泛，包括混沌电路^[13-17]、数字电路^[18-24]、神经网络^[25-31]、人工智能等领域^[32-35]。

忆阻器作为第四种无源基本电路元件，具有低功耗、纳米级尺寸、高集成度、速度快、非易失性等优点，且与 CMOS 工艺相互兼容，另外忆阻器能实现存储与运算一体化，为计算机的体系架构和性能的提高提供了新的思路。忆阻

器作为新型的功能器件，其性能与逻辑电路的设计需求非常吻合，表现在：忆阻的高阻态表示数字电路中的二进制“0”，低阻态表示数字电路中的二进制“1”，基于该原理，并经过特定的电路结构实现基于此定义的逻辑运算处理；忆阻器具有非易失性，即两端电阻值随着输入的电压或者电流的改变而改变，但是施加的电压或电流突然消失时，忆阻器的电阻值保持不变^[36]。利用忆阻器的非易失特性，不仅可以存储二进制数据，还可以解决传统存储电路中因突然掉电而导致数据遗失的情况；此外忆阻器可以和 CMOS 工艺很好地兼容，因此它基本可以不受限制地用于 CMOS 晶体管^[37]。

触发器电路是数字存储电路的核心，其材料和结构的差异直接影响整个电路的性能，而忆阻器的特性可以成为数字电路的理想选择，使得在当前集成电路设计面临瓶颈和摩尔定律失效的今天，用于触发器电路的研究将会显著促进当前数字存储电路的发展。同时，由于忆阻器和 CMOS 工艺的兼容，CMOS-忆阻器的混合设计为后续电路提供了一种独特的设计思想。

1.2 国内外研究现状

1971 年，蔡绍棠教授从数学对称性的角度推测出继电阻、电容和电感后的第四种无源二端电路元件，并将其称为忆阻器^[10]。从理论来讲，无源电路器件不仅包含了电压与电荷的关系，还包含了电压变化与电荷的关系，尽管已通过数学推导证实了忆阻元件的存在性，但至今仍未有学者从理论的角度上给出具有实用意义的物理器件。直到 2008 年，美国的惠普实验室在 TiO_2 薄膜上增加了两个铂电极从而构造金属/氧化物/金属的结构，实现了忆阻器的物理器件，这是惠普实验室团队首次制作出具有物理实体的忆阻器。同年 Strukov 等研究人员以理想状态为前提提出线性离子漂移模型^[12]，随着该模型的提出，研究人员却发现与实际情况存在一定的误差。2009 年，M. D. Pickett 等人提出了一个更符合实际的 Simmons 隧穿势垒模型^[38-39]，并假定其具有非线性和非对称的开关行为。2010 年，E. Lehtonen 等人提出了非线性离子漂移模型^[40]。2013 年，S. Kwatinski 等人实现一种既简单又灵活还能适应各种模型需求的自适应阈值忆阻模型 TEAM^[41]。2015 年，S. Kwatinsky 实现一种通用的电压电流控制模型 VTEAM^[42]，该模型是以自适应阈值忆阻模型为背景而提出，它能更精确地描述器件的物理特性，同时也能适用于多个存储器和逻辑电路。

相对来说高校研究忆阻器起步较晚，但经过多年的努力，研究者们还是取得了一定的成绩。张娜等人在 2011 年使用忆阻蕴含逻辑（Material IMplication, IMPLY）逻辑完成了各种 AND 运算^[43]，对忆阻器阻值误差的放大问题进行了深入研究，并给出了可行的解决方案。徐小华于 2014 年利用忆阻器具有存储特性的优势，成功地实现了高效率的静态触发电路^[44]，但该电路存在使用 3 个电压区间的缺点。同年，黄达等人实现一种新型的 SPICE 模型^[45-46]，该模型具有时变特性，并在此基础上设计了包括非门、与门、异或等逻辑电路，由于该电路采用 IMPLY 方法所实现，因此还存在时序控制复杂等一系列问题。2015 年，由台湾清华大学研制的与非、或非和异或门，都是在 CMOS 忆阻混合电路基础上开发出来的，并将这些电路集成到一个测试芯片中^[47]。周亚雄等人在 2016 年实现了以忆阻-CMOS 为基础的“XOR”逻辑^[48]，即采用一个忆阻器与 4 个控制开关构成的。然而这种逻辑门电路的面积开销较大，延时较长。陈川东等人于 2017 年实现了一种以惠普实验室忆阻器模型为基础并于 CMOS 相结合而构成的忆阻多路复用触发器电路^[49]，该电路有非易失特性且具备断电复原数据的功能，为忆阻触发电路的应用提供了新思路。2019 年，杨辉等人采用 MRL 的设计方法提出了一种 2T-4M 的电路结构，并实现异或、同或等逻辑门电路^[37]。2021 年，韩琪等人通过研究多值忆阻逻辑电路，设计了三值 CMOS 忆阻混合型 D 锁存器，并在其基础上设计了上升沿触发的 D 触发器^[50]。2024 年，段鑫沛等人提出了一种基于忆阻器混合 CMOS 的三模冗余 D 锁存器^[51]，该结构在减小电路面积的同时还能提高电路的可靠性。

在忆阻的建模研究中，忆阻在实际应用中的研究也越来越受到重视。基于忆阻器件尺寸小、功耗低、开关速度快、可与 CMOS 工艺兼容等优点，近年来国内外学者对其进行了广泛的研究，并在许多领域获得了较好的结果。

(1)在存储器芯片设计方面，由于数据量的激增，传统的冯·诺伊曼体系结构面临着巨大的挑战，忆阻器的出现为研究人员带来了全新的思路，其中以忆阻 CMOS 为基础的新型非易失存储结构不断地被提出来。2014 年，Kvatinsky 等人又实现了一种忆阻辅助逻辑电路（Memristor Aided Logic, MAGIC）^[52]，将输出结果以组态来表示，同时添加独立的忆阻器，以达到简化步骤的目的。Mane 等人提出了一种基于实质蕴涵“或非”逻辑的 FPGA 体系结构^[53]，其中忆阻器的作用主要是进行逻辑处理。

(2)在数字电路设计中,忆阻器之所以能在电路中进行逻辑操作是因为自身具有二值特性,它的电阻值可以表现为高阻或低阻,即“0”与“1”。惠普实验室与2010年实现了一种新型的非易失性D触发器^[54],与传统的触发器电路区别在于该电路中增加了忆阻器模块,不仅保存了其基本功能,得益于忆阻器的非易失性保证了电路在掉电的情况下不会损失数据。Khaoula等人提出一种基于CMOS-忆阻器的新型非易失性SR锁存电路^[55],与传统的电路相比结构差异较大。Kvatinsky等人于2012年提出了忆阻器比例逻辑电路^[56],该方法正是利用了忆阻器与CMOS相兼容的特性,提出了基础的或门、与门等电路结构,同时让或门、与门等电路的输出端与CMOS反相器的输入端相连接,则可构成或非、与非等门电路,其基本思想是以输出电压值为逻辑判定标准,而无需其他复杂信号对忆阻的状态进行控制。

(3)在神经网络范畴里,忆阻器是一种能够准确模拟神经元突触行为的非线性电阻。Kim等人在2012年提出了一种新型的桥式忆阻器突触电路^[57],实现正、零和负的突触权值,并通过差分放大器达成了电流电压的相互转换。

(4)在混沌电路的设计中,忆阻混沌电路比普通的混沌电路具有更简单、更容易控制的特点。蔡少棠教授在原有的混沌电路基础上,用忆阻器代替了原有的蔡式二极管,并将其用于安全通讯等方面^[58]。Wang等人实现了一种不同于二值忆阻器的三值忆阻器,并将其用于混沌电路^[59],从而拓展了忆阻在混沌领域的应用范围。

通过上述忆阻器的国内外研究现状,这将为基于忆阻-CMOS混合电路的基础逻辑门和时序逻辑电路的设计提供理论基础,并有助于指导研究人员深入探索新型逻辑门,解决新型逻辑门电路中器件过多而导致面积过大、功耗过高、延迟时间过高等一系列问题。忆阻-CMOS混合设计的时序电路不仅能满足当前集成电路发展的需求,还能应用于内建自测试等领域,极具应用潜力。

1.3 论文主要工作和结构安排

1.3.1 主要研究内容

本文对忆阻器的研究现状进行分析,围绕忆阻时序逻辑电路的设计和应用展开研究,具体包括三个方面:忆阻理论及模型研究、忆阻触发器电路的设计、忆阻时序逻辑电路及其在内建自测试中的应用。

第一部分将从忆阻器理论、模型（仿真器模型、SPICE 模型）展开研究，为今后忆阻器在时序电路中的设计和实际应用奠定理论基础。本文将改进的整形函数应用于忆阻器仿真器的电压控制模型电路中，实现对电压控制模型电路的优化，使该模型具有更良好的电流电压滞回曲线以及更高的频率特性。通过对新的电压控制模型电路进行数学分析，分别改变频率大小、电容值和电阻阻值，观察该电路在 LTspice 中仿真结果，深入了解电路的滞回曲线特性。另外，在面包板上运用商用分立器件对所设计的电压控制模型电路进行实物搭建，并在示波器中显示 $I-V$ 滞回曲线。在忆阻器仿真器电路的设计基础上，对通用 SPICE 模型进行数学分析、曲线优化和仿真，进一步认识 SPICE 模型的电压电流和阈值特性。

第二部分基于忆阻器设计典型的触发器电路，将通用 SPICE 模型与 50nm BSIM4 的 MOS 工艺相结合，基于忆阻比例逻辑的方法对逻辑门、SR 触发器、D 触发器、JK 触发器、T 触发器等电路进行设计，另外提出了两种结构简化的维持阻塞 D 触发器，与主从结构 D 触发器相比，减少了器件的使用数量。

第三部分基于维持阻塞 D 触发器设计了顺序脉冲发生器以及两种新的 4 位线性反馈移位寄存器结构，与传统 CMOS 工艺所设计的电路相比较，本文设计的电路不仅在器件数量上大量减少，功耗与延迟时间等性能都存在优化与提升，在 LTspice 中进行仿真验证电路的正确性。最后将设计的线性反馈移位寄存器应用在内建自测试电路之中，LTspice 仿真结果验证电路的可行性。

1.3.2 文章章节安排

本文在以下五个方面进行了叙述：

第 1 章是引言，主要阐述忆阻器的研究背景、意义，从目前工艺的局限性和数字电路发展方向出发，引出对新型电子器件的需求与迫切性。其次，对目前国内外关于忆阻器的研究现状进行分析，认为忆阻器是延续摩尔定律、解决目前集成电路所面临问题的重要器件，确定本文的研究方向。

第 2 章主要介绍忆阻器的理论知识以及忆阻器模型，并对忆阻器仿真器电路进行优化设计，同时对优化后的仿真器电路进行实物搭建，示波器上展示滞回曲线特性，能够更加清晰深刻的了解忆阻器的电流电压特性。其次，对通用忆阻器 SPICE 模型进行详细数学分析，并对该模型进行优化和仿真实验，奠定了后续电路设计的基础。

第 3 章重点设计基于忆阻器的触发电路。利用忆阻器的二值特性设计了与门、或门逻辑电路，以两种门电路为基础设计实现各类经典触发器电路，包括 SR 触发器、D 触发器、JK 触发器和 T 触发器等。在 LTspice 中仿真并验证电路的正确性和稳定性。

第 4 章主要设计时序逻辑电路及应用。利用上述提出简化的维持阻塞 D 触发器设计两种新的线性反馈移位寄存器和顺序脉冲发生器电路，并将设计的线性反馈移位寄存器电路与传统工艺的电路进行对比，发现本文所设计的电路不仅减少了器件数量，功耗和延迟时间也有明显优势，突出本文所设计电路的优越性。另外，将新的线性反馈移位寄存器应用在内建自测试电路当中，设计 16 位线性移位寄存器作为输入、4 位奇偶校验器作为输出的内建自测试电路，同时在 LTspice 中进行仿真，验证忆阻器在内建自测试电路中的可行性。

最后对本文的工作进行总结与展望。

第2章 忆阻器的基础理论及其模型

1971 年蔡绍棠教授从数学对称性的角度推测出继电阻、电容和电感后的第四种无源二端电路元件—忆阻器，2008 年由 HP 实验室利用 TiO_2 金属氧化物材料首次制作出具有物理实体的忆阻器模型。但对于大多数实验室团队来说，由于技术的落后以及对材料的严苛程度导致实现具有物理实体的忆阻器非常困难，因此许多团队将研究重点转向忆阻器的仿真模型电路。通过对不同的忆阻器模型加以分析、深入了解其特性并对其优化，对忆阻-CMOS 混合电路所设计的触发器等电路意义非凡。

本章主要介绍了忆阻器的基本概念与定义，对忆阻器的工作原理及其特性进行深入研究。通过在电压控制模型中加入改进的整形函数，对忆阻器仿真器电路进行优化，在 LTspice 中进行仿真验证理论模型的正确性和可行性，同时对改进的电压控制模型电路进行实物搭建，在示波器中直观的掌握滞回曲线特性。最后对典型的忆阻器 SPICE 模型进行研究，同时对其数学建模过程进行分析。

2.1 忆阻器背景简介

到目前为止，电路理论中存在四个基本的电路参数，即电压 V 、电流 I 、磁通 φ 和电荷 q ，它们分别对应电磁场中的电场强度 E 、磁场强度 H 、磁通量 φ 和电位移 q 。四种电路参数之间存在某种关系，其中电压 V 与电流 I 之间的关系（电阻）： $dv = Rdi$ ，电荷 q 与电压 V 之间的关系（电容）： $dq = Cdv$ ，磁通 φ 与电流 I 之间的关系（电感）： $d\varphi = Ldi$ 。但是电荷 q 与磁通 φ 并没有明确关系，直到 1971 年^[10]，由蔡绍棠教授提出的忆阻器理论才确定了电荷与磁通之间的关系。

1971 年蔡少棠教授从数学对称性的角度出发，发表一篇关于忆阻器的论文，阐明了磁通 φ 和电荷 q 的关系： $d\varphi = Mdq$ ，其中 M 代表忆阻器阻值，相仿于电阻 R 的电阻值，表示某个时间点上电压和电流的比值^[60]。图 2-1 表示四个电路参数之间的关系。

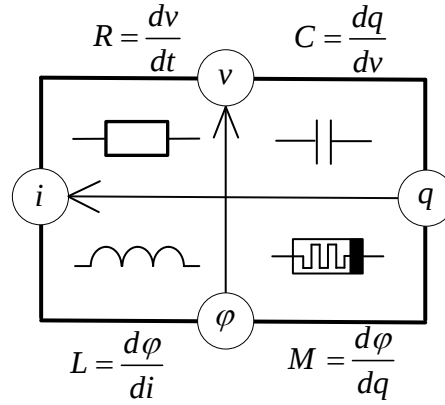


图 2-1 基本电路的四种参数关系

自 1971 年蔡少棠教授首次提出忆阻器的概念以来，相关忆阻器的研究仍在持续进行中。1976 年，Chua 和 Kang 提出了忆阻器的非线性模型，该模型分为电压控制模型和电流控制模型^[61]。电压控制模型的忆阻器阻值与忆阻器两端电压有关，而电流控制模型中，忆阻器的阻值与忆阻器两端的电流有关。公式(2-1)、(2-2)确定了忆阻器的电流控制模型，其中，电阻的变化率是关于电流的函数。

$$v(t) = R(x, i(t), t)i(t) \quad (2-1)$$

$$\frac{dx}{dt} = f(x, i(t), t) \quad (2-2)$$

公式(2-3)、(2-4)确定了忆阻器的电压控制模型，该模型的电阻变化率与电压函数有关。

$$i(t) = G(x, v(t), t)v(t) \quad (2-3)$$

$$\frac{dx}{dt} = f(x, v(t), t) \quad (2-4)$$

其中 $v(t)$ 、 $i(t)$ 表示输入电压、输入电流， x 表示忆阻的状态变量，为忆阻系统的 n 阶状态参数， f 、 R 、 G 三个参数都是关于时间 t 的非线性函数。这两种控制模型被提出来以后为忆阻器非线性模型的建立提供了新的思路，用不同的控制方式来设计不同的忆阻器仿真器模型。

随着忆阻器的理论被蔡绍棠教授提出以后，美国惠普实验室于 2008 年提出了一种基于 TiO_2 型忆阻器的数学模型，以此为契机多种忆阻器数学模型被提出，例如边界迁移模型，隧道模型等，这些模型在神经网络、混沌电路等领域都有广泛的应用。除了上述提到的几种忆阻器模型，还提出了另外一种重要的忆阻器数学模型——阈值型忆阻器模型，该模型不仅有忆阻器最基本的忆阻特性，同时还具有阈值特性和电压可控性，因此，阈值型忆阻器模型被科研人员广泛

研究。不论设计何种的忆阻器模型，均需具备忆阻器的指纹特性^[62-63]，该特性作为忆阻器的标志特征之一，也是其它基本元器件所不具备的性质，这也是确定忆阻模型满足所需定义的必要条件。忆阻的指纹特性包括三个方面：

忆阻指纹特性 1：作为区别于电阻、电容、电感的第四种无源器件——忆阻器，它具有独特的迟滞曲线，该特性是其他三种无源器件所不具备的。该指纹特性规定无论输入信号的电压多大，其电压电流所得到的滞回曲线必定是经过坐标轴的原点，电压与电流的大小只有在原点才会相同，而坐标轴上的其它点，电压与电流的大小都不一样。

忆阻指纹特性 2：当输入频率增加时，迟滞曲线的波瓣面积将逐渐变小。反之，当输入频率减小时，其波瓣面积将逐渐增大，因此输入频率与迟滞曲线面积呈反比关系。

忆阻指纹特性 3：当输入的频率达到某一特定值时，其迟滞曲线的面积几乎为零，变成一条直线，这种情况下，忆阻器等效为一般的线性电阻，从而丧失其独特的记忆功能。

2.2 忆阻器仿真器模型

尽管忆阻理论于 1971 年被提出来，但当时并未发现可用于忆阻器的材料，致使此后很多年忆阻器研究陷入瓶颈并处于理论探索阶段。直到 2008 年，惠普实验室的研究员们在氧化钛薄膜上偶然发现，在某种条件下二氧化钛具有忆阻器的性质。这一重大发现，使忆阻器件重新成为研究热点，为忆阻器件的发展提供了新的思路。但是，目前忆阻器件的制作工艺尚不成熟，还不能实现规模化应用，因此建立忆阻相关模型，不仅可供研究者参考，又可为其在电路中的应用提供思路。

利用电路基本元器件搭建忆阻器仿真器电路，同时在 LTspice 中进行仿真，使搭建电路的输入电压和输入电流关系能够满足忆阻器的三个指纹特性。

2.2.1 整形函数设计与仿真

整形函数作为仿真器电路中的核心部分，不仅能够对其波形进行调节，同时也是电路中非线性特性的基础，整形函数功能的不同也会导致电路中波形以及特性的不同。惠普实验室所提出的电路模型中并无整形函数部分，因此导致电路不能表现出非线性的特性，而 STBM、TEAM 两种仿真器电路模型中分别

采用了双曲正弦函数 $\sinh$ 、指数函数作为整形函数，这样就能够让原本电路表现出非线性特性，同时还能提高频率特性以及电路的稳定性。在此使用一种双曲正切函数（ $\tanh$ ）作为整形函数来构成忆阻仿真器模型电路，整形电路实现了控制忆阻器状态变量变化率的电压的非线性关系，此次使用整形函数时默认窗口函数为1。双曲正切函数是一种典型的非线性函数，它离原点越近，其变化速率越大，离原点越远，变化速率越小，与忆阻特性非常契合。

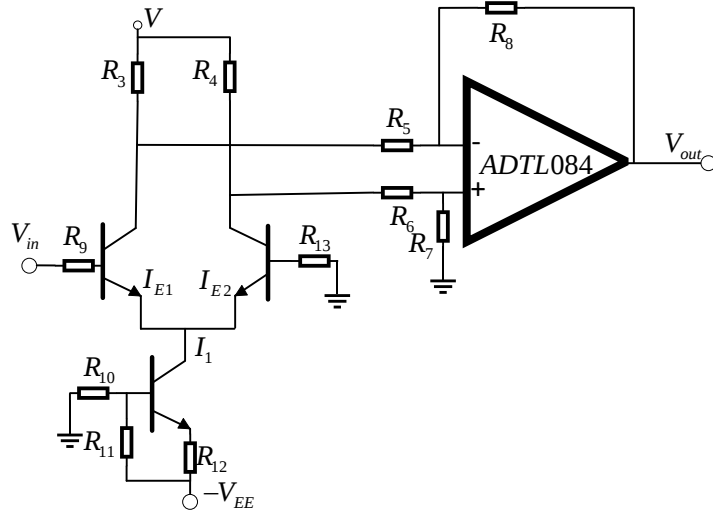


图 2-2 整形函数电路

如图 2-2 所示，双曲正切函数由无源和有源器件共同组成，包括数个电阻、NPN 晶体管、电流源和 ADTL084 运算放大器组成。以电路的功能不同为前提可分为差分放大电路和减法电路。 I_1 的值为电路流过晶体管 T_1 和 T_2 电流之和， V 为恒定电压源。通过晶体管 T_1 和 T_2 的电流分别为 I_{E1} 和 I_{E2} ，公式如(2-5)、(2-6)。

$$I_{E1} = I_S e^{\frac{u_{BE1}}{u_T}} \quad (2-5)$$

$$I_{E2} = I_S e^{\frac{u_{BE2}}{u_T}} \quad (2-6)$$

其中 I_S 为晶体管的反向饱和电流， u_{BE1} 、 u_{BE2} 分别为晶体管 T_1 和 T_2 的基极电压， u_T 为热电势。又因为 $I_1 = I_{E1} + I_{E2}$ ，所以我们可得出 I_1 为公式(2-7)。

$$I_1 = I_S e^{\frac{u_{BE1}}{u_T}} + I_S e^{\frac{u_{BE2}}{u_T}} = I_{E2} (1 + e^{\frac{u_i}{u_T}}) \quad (2-7)$$

其中 u_i 表示输入电压，利用上述公式可以得到公式(2-8)、(2-9)。

$$I_{E2} = I_1 / (1 + e^{\frac{u_i}{u_T}}) \quad (2-8)$$

$$I_{E2} = I_1 / (1 + e^{\frac{-u_i}{u_T}}) \quad (2-9)$$

因此可以得出结点电压 u_1 和 u_2 分别为公式(2-10)、(2-11)。

$$u_1 = -I_{E1}R_3 = -I_1R_3 / (1 + e^{\frac{-u_i}{u_T}}) \quad (2-10)$$

$$u_2 = -I_{E2}R_4 = -I_1R_4 / (1 + e^{\frac{u_i}{u_T}}) \quad (2-11)$$

根据减法器的特性可得到输入输出电压之间的关系为: $u_0 = u_2 - u_1$, 再把上述中的 u_1 和 u_2 替换可得出 u_0 。

$$u_o = I_1(R_3 / (1 + e^{\frac{-u_i}{u_T}}) - R_4 / (1 + e^{\frac{u_i}{u_T}})) \quad (2-12)$$

由于 R_3 和 R_4 的阻值相同, 因此可化简为公式(2-13)。

$$u_o = I_1R(1 / (1 + e^{\frac{-u_i}{u_T}}) - 1 / (1 + e^{\frac{u_i}{u_T}})) \quad (2-13)$$

将公式(2-12)转换成为关于三角正切函数, 可得到公式(2-14)。

$$u_o = I_1R \tanh(\frac{u_i}{2u_T}) \quad (2-14)$$

此时可以很明显的看出输出电压 u_0 与 $\tanh$ 函数之间具有一定的关系, 即双曲正切函数能够表示输出电压, 数学理论推导与电路模块关系相对应, 表明整形函数电路的可行性。

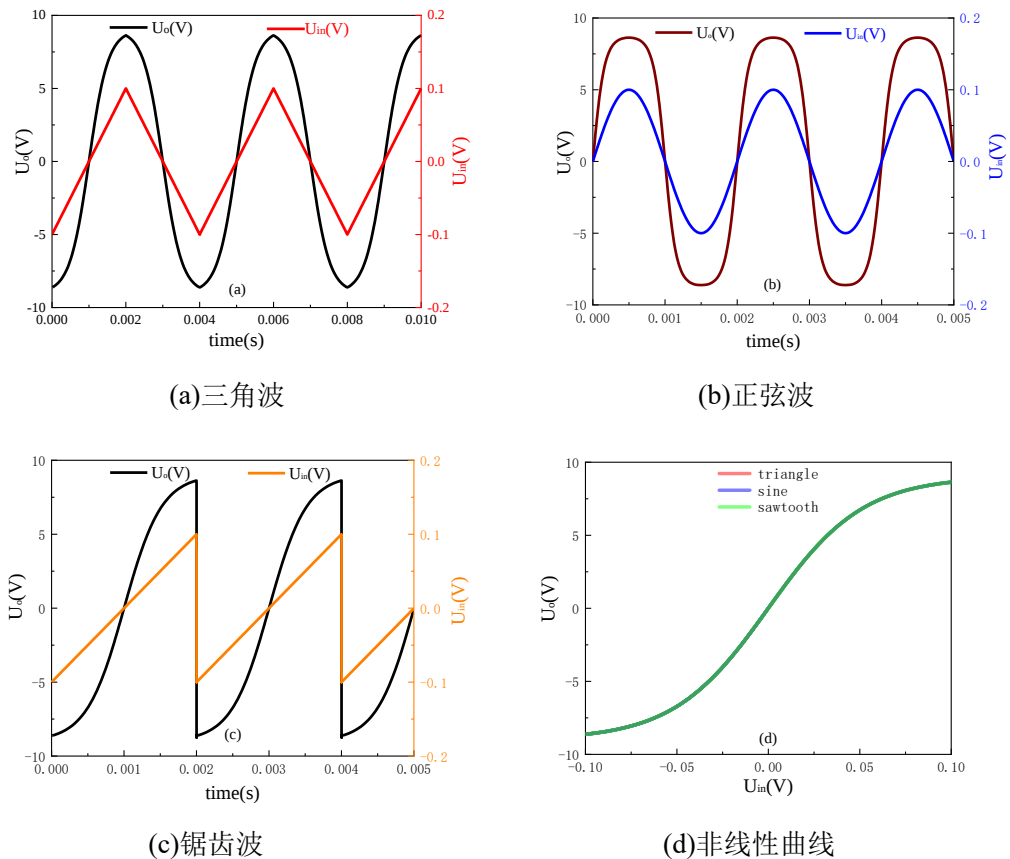


图 2-3 整形函数电路仿真

将改进的整形函数电路在 LTspice 中进行仿真。采用不同的输入电压波形来观测输出电压和整形电路的波形，以此来证明 $\tanh$ 整形函数功能的可行性。图 2-3 $\tanh$ 的波形图是分别在输入电压施加三角波、正弦波以及锯齿波而得到。从仿真结果可以看出当输入不同的波形时，输入、输出电压值基本保持不变，图 2-3(d)为同时对输入电压施加三角波、正弦波以及锯齿波三种不同的波形，整形函数的曲线都是重合在一起，并且距离原点较近的范围变化率较大，距离原点较远的范围变化率逐渐变小甚至无明显变化，符合非线性的特征，证明 $\tanh$ 作为非线性函数具有一定的稳定性和可行性。

2.2.2 电压控制模型与仿真

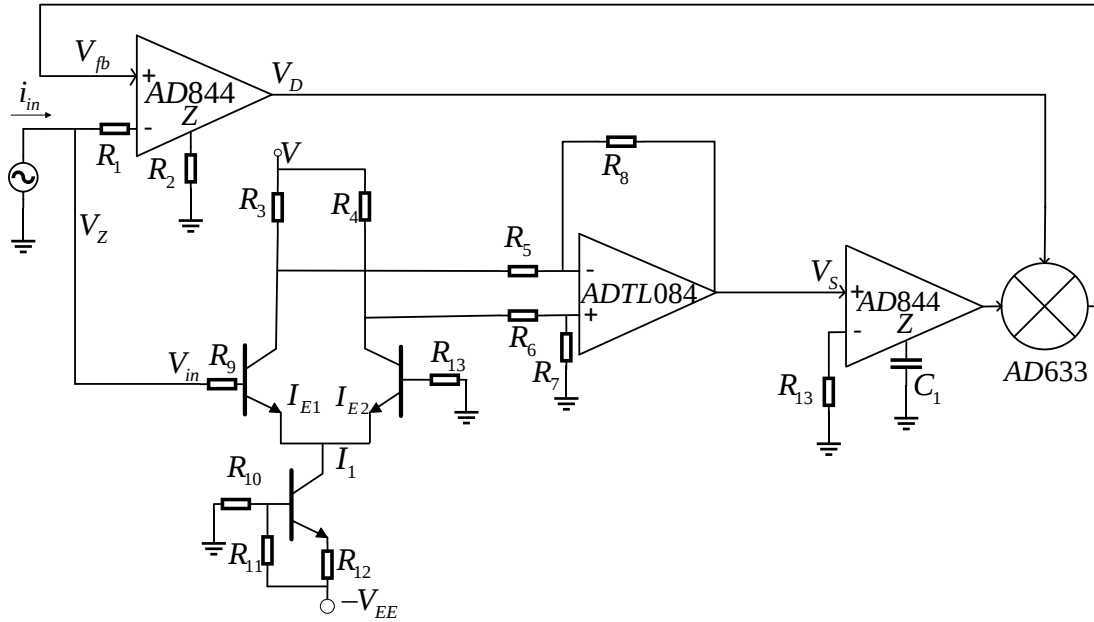


图 2-4 电压控制忆阻器模型

忆阻电压控制模型是一种常用的忆阻器模型，其阻值会随输入电压而改变，因此，在设计时必须获得其与电压之间的关系，作为设计的目标与判据。本文设计的忆阻器电压控制模型如图 2-4 所示，它由整形电路、电压跟随电路、电压积分器和乘法器构成，整形电路用于实现电压的非线性关系，控制忆阻器状态变量的变化率。除了整形电路，另外用两个第二代电流传送器（AD844）分别构成电压跟随电路和积分器，一个模拟乘法器（AD633）、三个电阻和一个电容。理想的第二代电流传送器具有以下特性： $V_y(t) = V_x(t)$ 和 $i_x(t) = i_z(t)$ 。

电路的输入电流如公式(2-15)所示。

$$i_{in} = \frac{V_{in} - V_{fb}}{R_1} \quad (2-15)$$

其中 V_{fb} 表示反馈电压（乘法器的输出）。使用非线性函数 $f(V_{in})$ 对输入电压进行整形，然后对输出电压 V_s 进行积分，再将 V_s 和第一个 AD844 的电压 V_D 相乘，从而得到反馈电压。因此反馈电压如(2-16)所示。

$$V_{fb} = \frac{\alpha V_D}{R_9 C} \int_0^t V_s(\tau) d\tau \quad (2-16)$$

$$V_s = \tanh(V_z) \quad (2-17)$$

其中 α 为乘法器的常数， V_s 为整形函数，由第二代电流传送器的特性可得到 V_D ，如公式(2-18)所示。

$$V_D = i_{in} R_2 \quad (2-18)$$

将公式(2-18)带入(2-16)里面即可得到 V_{fb} ，如公式(2-19)所示。

$$V_{fb} = \frac{\alpha i_{in} R_2}{R_9 C} \int_0^t V_s(\tau) d\tau \quad (2-19)$$

将(2-15)式和(2-19)式合并，可得输入电压 V_{in} ，如公式(2-20)所示。

$$V_{in} = i_{in} \left(R_1 + \frac{\alpha R_2}{R_9 C} \right) \int_0^t \tanh(V_z) d\tau \quad (2-20)$$

因此，得到忆阻器的阻值为：

$$R_m = R_1 + \frac{\alpha R_2}{R_9 C} \int_0^t \tanh(V_z) d\tau \quad (2-21)$$

由公式(2-21)可得忆阻器变化率为：

$$\frac{dR_m}{dt} = \frac{\alpha R_2}{R_9 C} \tanh(V_t) \quad (2-22)$$

从上述公式中可以看出忆阻的变化率与电压 V_t 有关，并且是呈现出双曲正切函数关系，因此设计的电压控制模型忆阻器通过对其进行理论分析，仿真器电路满足设计的要求。最后，利用 LTspice 对所设计的电压控制忆阻器仿真器电路进行仿真，以验证所设计的电压控制电路的可行性与正确性。通过在压控忆阻器仿真器的电路中加入改进的整形电路，实现了一种改进的忆阻器仿真器电路，图 2-5 为本文所设计仿真器与已有的仿真器电路在不同频率下滞回曲线的图像比较。

图 2-5 可以明显得出，所提出新的仿真器电路具有更大的迟滞回线，并且在一定的频率范围内，磁滞曲线随着频率的增大而减小，符合忆阻器指纹特性。当频率达到 7kHz 时，现有仿真器的磁滞回线已经无限接近于一条直线，说明此时的忆阻器已经不具备非线性特性，可以将它视为一个线性电阻。而本文所提

出的模拟器直到 36kHz 磁滞回线的波瓣区域才几乎为零，体现出本文所设计电路的优越性，同时该电路还可以应用于更高频率的电路环境中。

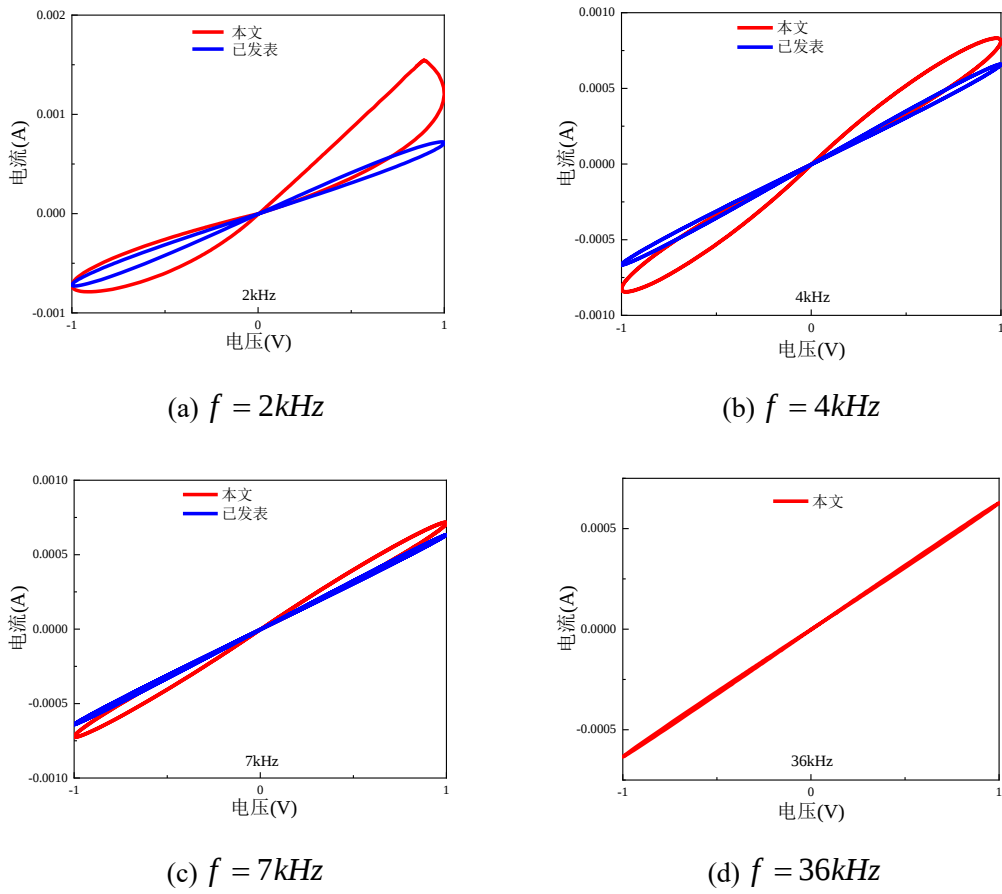


图 2-5 仿真器电路比较

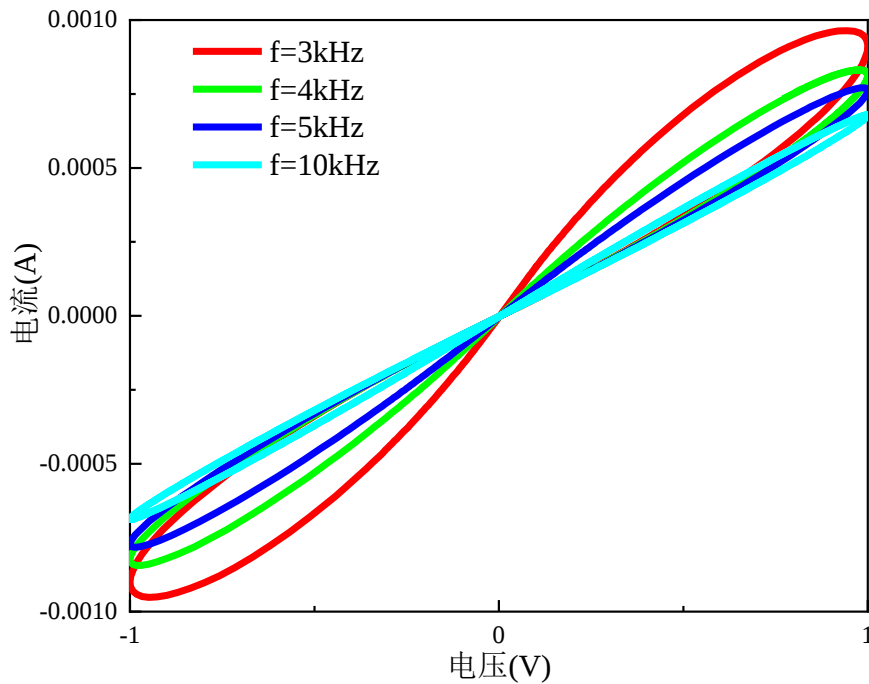


图 2-6 忆阻器在不同频率下滞回曲线的变化

为了继续深入研究忆阻器的滞回曲线特性，保持忆阻器电阻值、电容值不变，将不同的频率加入到忆阻器的输入端，以此来研究电压、电流曲线在不同频率下的变化。如图 2-6 所示，忆阻器作为非线性器件，在特定频率范围内的 $I-V$ 平面上出现了压缩的迟滞环，当频率为 3kHz 时，滞回曲线的波瓣面积非常大，随着频率的增大波瓣面积不断变小，当频率达到 36kHz 后，滞回曲线已经无限接近于一条直线，与忆阻器的指纹特性基本一致。

电容器用于获得忆阻器的记忆效应，并提供忆阻器的频率依赖性。保持忆阻器的电阻值、频率不变，通过改变电容的大小也能得到不同的滞回曲线。由图 2-7 可知，随着电容的增大，滞回曲线的波瓣面积越来越小，即电流、电压曲线变得更线性，可以得出滞回曲线的面积与电容成反比，此关系由公式(2-22)也可以很明显的得出。

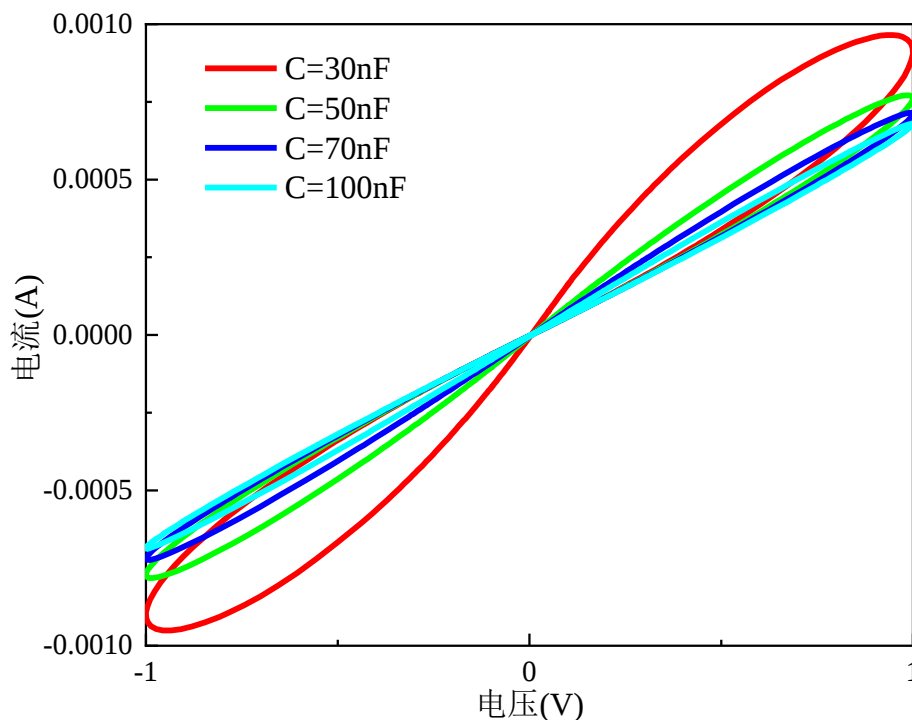


图 2-7 忆阻器在不同电容值下滞回曲线的变化

如图 2-8 所示，将频率和电容的值保持不变，通过改变 R_2 和 R_9 的阻值但保持它们之间的比值不变，来观察滞回曲线的特性。将其在 LTspice 中进行仿真，由仿真结果可知无论怎么改变 R_2 与 R_9 的阻值，只要保持他们的比值不变，则忆阻器的滞回曲线就会呈现大致相同的曲线，此结论同样也可由公式(2-22)来验证。

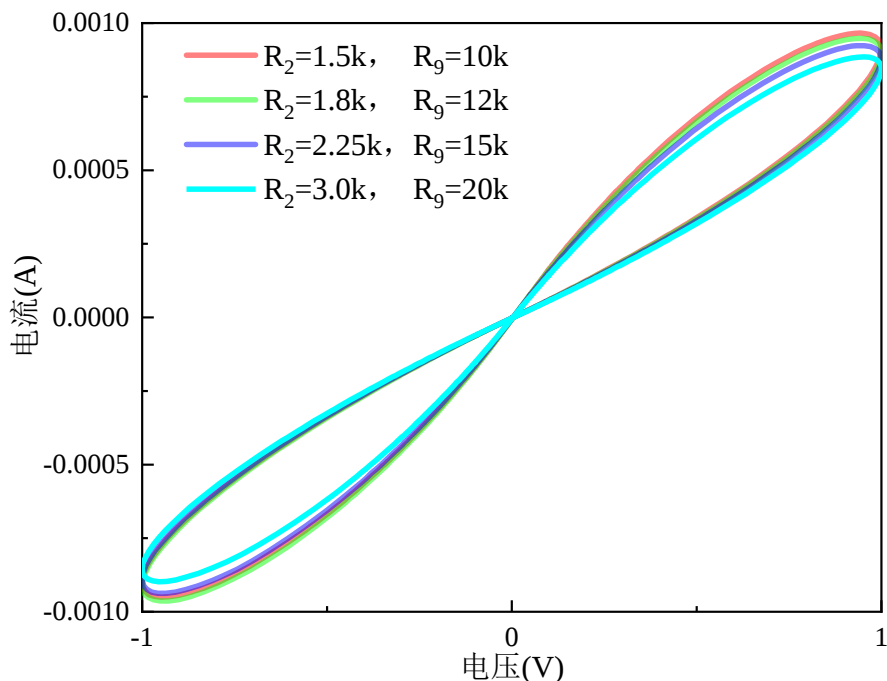


图 2-8 忆阻器在不同电阻下的电压、电流曲线

将所提出的电压控制忆阻器仿真电路搭建在面包板上，使用分立器件搭出实物，如图 2-9 所示。电路元件采用商用的 AD844AN、AD633JN、ADTL084CN、S9013 NPN 三极管以及电阻、电容等无源元件。直流电源为 $V = \pm 10V$ 。为了获取在不同频率下的滞回曲线图像，将电容和电阻的值保持不变，并且输入采用正弦波。图 2-10 为在一定频率范围内的滞回曲线图。由示波器显示的仿真结果可知，忆阻器作为非线性器件，在特定频率范围内的 $I-V$ 平面上出现了压缩的迟滞环，并且随着频率的增大迟滞曲线的波瓣面积逐渐减小，当频率达到一定值后，滞回曲线变成一条直线，与忆阻器的指纹特性基本一致，证明忆阻器仿真器电路硬件设计的可行性。通过硬件所仿真出的波形，能够更直观的了解忆阻器的指纹特性。

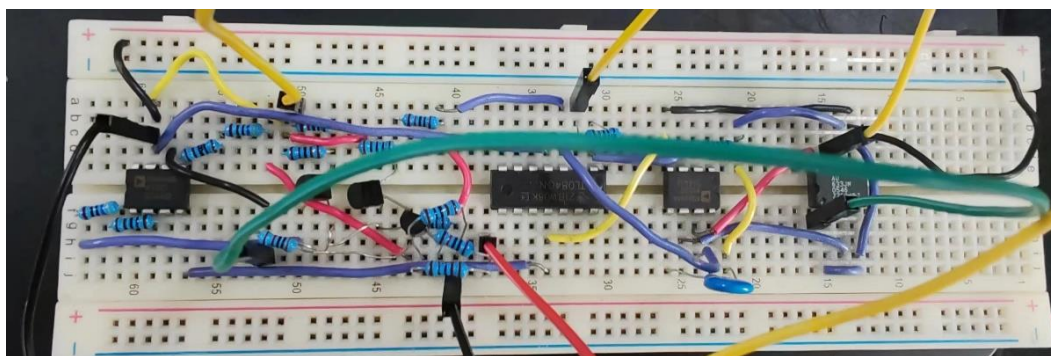


图 2-9 忆阻器仿真器的实物电路搭建

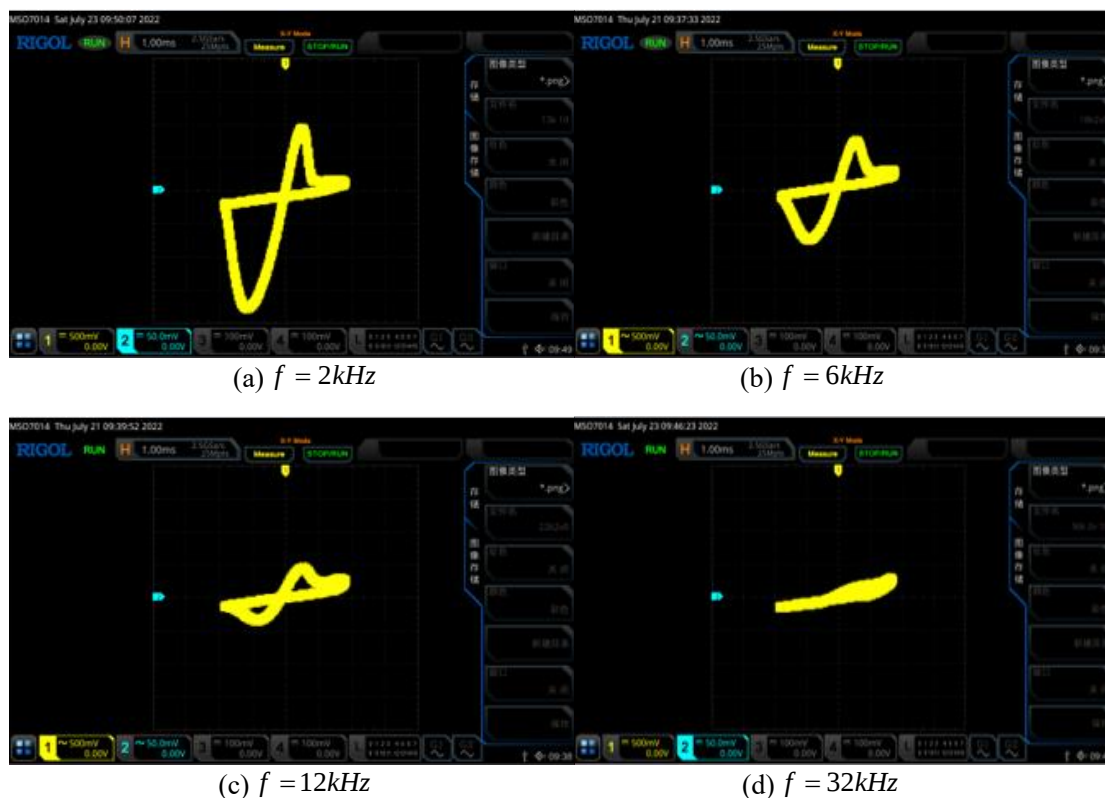


图 2-10 忆阻器仿真器实物电路在示波器中的滞回曲线图

2.3 忆阻器 SPICE 模型

忆阻器模型中 $I-V$ 的表示越精确，对后续的基于忆阻器的逻辑电路研究就更有价值，而大多数的忆阻仿真器模型在忆阻器的研究过程中只是让研究人员更能直观的了解忆阻器的特性和为忆阻器的建模提供基础，往往不能作为元件进行后续的电路研究，所以研究人员建立了许多忆阻器 SPICE 模型为方便后续忆阻器的研究与应用。

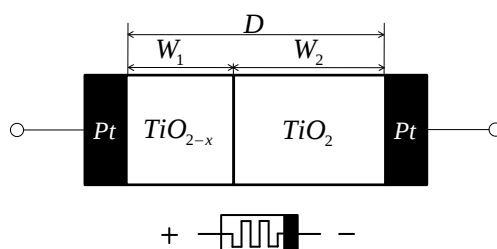


图 2-11 忆阻器模型

2008 年，惠普实验室在研制出物理忆阻器件的基础上，另外提出了一种以二氧化钛 (TiO_2) 为基础的“三明治”结构所实现的边界迁移模型，图 2-11 可以看出，它的上下两层为金属铂 (Pt) 电极，中间是厚度为 D 的薄膜层。该膜层分为两个部分，一部分是含氧空位的 TiO_{2-x} 掺杂区（用以表示低阻值 R_{on} ），

另一部分是无氧空位的 TiO_2 （用以表示高阻值 R_{off} ），因此这两个区域的导电性能并不相同。在施加电压 $V(t)$ 的情况下，掺杂区内的电荷在电场的作用下向两侧移动，从而引起边界位置的变化，从而改变了忆阻器高、低阻值的比例，假设在某一时间 t 流过忆阻器的电流为 $I(t)$ ，掺杂区厚度为 $W(t)$ 则有：

$$V(t) = [R_{on} \frac{W(t)}{D} + R_{off} (\frac{D-W(t)}{D})] I(t) \quad (2-23)$$

其中：

$$\frac{dW(t)}{dt} = \mu \frac{R_{on}}{D} I_w(t) \quad (2-24)$$

$I_w(t)$ 表示 t 时刻流经掺杂区的电流， μ 为氧空缺的迁移率。对公式(2-24)进行积分可得：

$$W(t) = \mu \frac{R_{on}}{D} q(t) \quad (2-25)$$

将公式(2-25)代入公式(2-23)可得：

$$M(q(t)) = \mu \frac{R_{on}^2}{D^2} q(t) + R_{off} [1 - \mu \frac{R_{on}^2}{D^2} q(t)] \quad (2-26)$$

从上式可以看出忆阻值由 $q(t)$ 确定，但其他项也对忆阻值有一定的影响，如 $1/D^2$ ，忆阻值与掺杂区薄膜厚度成反比，厚度越大则忆阻值越低。边界迁移是一个理想的忆阻模型，而真实的忆阻器并不完全符合(2-25)式。边界迁移速率与电流呈非线性关系，并且在掺杂区域中各点处的迁移率是不一样的。但是，边界迁移模型的理论对后来的许多研究人员都有很大的影响。

本文介绍了一种基于 HP 模型的通用忆阻器模型^[64]，该模型能够应用多达 256 个忆阻逻辑电路。与已有的模型比较，该模型具有较好的收敛性。该模型以金属-绝缘-金属为基础结构，准确描述了忆阻器的电流、电压关系，建立基于状态变量的阈值电压函数，同时还基于空穴和离子漂移实现非线性函数，不仅具有更清晰、稳定的 $I-V$ 滞回曲线，同时还存在阈值功能。公式(2-27)体现了模型的电流与电压之间的关系。

$$I(t) = \begin{cases} a_1 x(t) \sinh(bV(t)), & V(t) \geq 0 \\ a_2 x(t) \sinh(bV(t)), & V(t) < 0 \end{cases} \quad (2-27)$$

该模型中输入电压受到双曲正弦函数的约束， a 、 b 为常数，忆阻器的电流与电压用 $I(t)$ 、 $V(t)$ 表示，忆阻器的内部状态由 $x(t)$ 体现。

$$\frac{dx}{dt} = \eta g(V(t)) f(x(t)) \quad (2-28)$$

公式(2-28)表示了忆阻器的变化率，并且受函数 f 、 g 影响。这里， η 代表施加电压的方向， $\eta=1$ 时，所施加的为正向电压， $\eta=-1$ ，所施加的电压为负向电压。公式(2-29)为 $g(V(t))$ 函数，其中正、负阈值电压为 V_p 、 V_n ， A_p 、 A_n 为变化率，当忆阻器的电压大于正阈值电压时，状态变量由 $g(V(t))$ 决定，并且向正方向改变。当忆阻器的电压小于负阈值电压时，状态变量由 $g(V(t))$ 决定，并且向负方向改变。若忆阻器的电压再正、负阈值电压的范围内，则函数 $g(V(t))$ 的值为 0。

$$g(V(t)) = \begin{cases} A_p(e^{V(t)} - e^{V_p}), V(t) > V_p \\ 0, -V_n \leq V(t) \leq V_p \\ -A_n(e^{-V(t)} - e^{-V_n}), V(t) < -V_n \end{cases} \quad (2-29)$$

如公式(2-30)、(2-31)，窗函数 $f(x)$ 反映了系统的非线性漂移，它描述了系统的最大阻值与最小阻值之间的变化，在 0 到 1 的范围内。 x_p 和 x_n 分别对应于正、负电压值，而 ∂_n 、 ∂_p 会影响状态变量的衰减。

$$f(x) = \begin{cases} e^{-\partial_p(x-x_p)} \left(\frac{x_p - x}{1-x_p} + 1 \right), x \geq x_p \\ 1, x < x_p \end{cases} \quad (2-30)$$

$$f(x) = \begin{cases} e^{\partial_n(x+x_n-1)} \left(\frac{x}{1-x_n} + 1 \right), x \leq 1-x_n \\ 1, x > 1-x_n \end{cases} \quad (2-31)$$

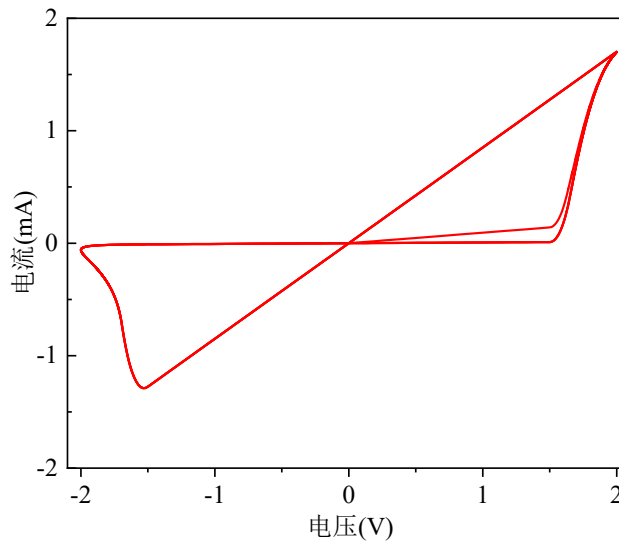


图 2-12 SPICE 模型仿真结果图

在此基础上, 利用 LTspice 软件仿真, 模型的正、负阈值电压为 0.16V、-0.15V, 并通过调节 A_p 、 A_n 、 ∂_p 、 ∂_n 等参数对 SPICE 模型进行优化。由图 2-12 可以看出, 忆阻器的电流与电压之间的关系并存在一个很明显的迟滞曲线, 其特征与忆阻的指纹特征一致。从仿真结果来看, SPICE 模型与仿真器模型都存在良好的滞回曲线特性, 同时与指纹特性也相吻合, 但两者的曲线形状以及变化趋势并不相同, 对于仿真器电路模型, 电路中器件的参数以及器件之间的相互作用都会对仿真结果产生影响, 为后续电路设计埋下不稳定因素的种子, 因此, 后续的逻辑电路设计都将基于更加稳定的 SPICE 模型设计。

2.4 本章小结

本章首先介绍了忆阻器的基本概念, 并对其与其它三个基本器件的区别和联系进行了分析。将改进的双曲正切函数作为忆阻器仿真器电路的整形函数, 用于优化电压控制模型电路。在 LTspice 中对优化的电压控制模型仿真器电路进行仿真, 结果表明改进的电路不仅能适用于不同的输入波形, 还具有非常高的频率特性。将设计的仿真器电路在面包板上采用商用分立元器件进行电路搭建, 示波器显示明显的滞回曲线, 且随着频率的变化而变化, 验证所设计电路硬件的可行性。最后对通用的 SPICE 模型进行详细的数学分析、仿真并对其进行优化, 以便后续的逻辑电路设计。通过构建忆阻仿真器电路以及对其实物搭建, 优化忆阻器 SPICE 模型, 加深了对忆阻器特性的理解, 为今后忆阻器的实际应用研究奠定基础。

第3章 基于忆阻器的数字逻辑电路设计

忆阻器在数字逻辑电路中得到了广泛的研究，但研究主要都集中在逻辑门的设计和实现上，如与、或、非门，而触发器作为构建各类时序电路以及各类数字系统最基本的逻辑单元电路却很少考虑。常规的触发电路是将一个或多个门电路结合在一起形成，同时还包含了时钟与输出信号，将时钟信号添加到触发器中最大的优势是能与其它电路或器件实现同步，从而实现某些特殊的操作，比如数据的存储。触发器的输出不仅取决于当前的输入，而且取决于前一刻的输入与输出。触发器有很多种类，其中电平触发、脉冲触发以及边沿触发是触发器最常用的三种触发方式，根据逻辑功能不同还可分为 SR 触发器、D 触发器、T 触发器、JK 触发器。利用忆阻器特有的逻辑运算能力，可以处理输入输出信号与时钟频率的相关关系，因而被广泛地用于数字信号的产生、转换和存储。这一章主要利用忆阻器的二值特性，设计了几种典型的触发器，如 SR 触发器、D 触发器、JK 触发器和 T 触发器。

3.1 忆阻比例逻辑的逻辑门设计

3.1.1 忆阻器的二值特性

忆阻器之所以能被应用于逻辑电路中，是由于其二值特性，当外加电压施加到器件两端时，表现为高阻态和低阻态，这两个特征都与数字电路中的低（0）、高（1）电平相一致。图 3-1 为典型的 HP 模型，中间 TiO_2 的长度为 D ，两边黑色的为铂 Pt 电极。将中间 TiO_2 部分进行参杂，形成参杂区和非参杂区，同时定义参杂区为正极，非参杂区为负极。其中参杂区的宽度为 W_1 ，导电性能较好，非参杂区的宽度为 W_2 ，导电性能相对来说较差。

如图 3-1(a)和 3-1(b)，施加反向电压与正向电压于忆阻器的两端，从而显现出高阻态（ R_{off} ）、低阻态（ R_{on} ）。其原理为：当给忆阻器施加反向电压时，部分 TiO_2 向负极移动使 W_1 减小 W_2 增大，导致忆阻器变成高阻态并呈现弱导电性。当施加正向电压时，造成带有正电荷的掺杂区向右移动，使 W_1 的宽度增加 W_2 的宽度减小，导致忆阻器变成低阻态同时呈现强导电性。

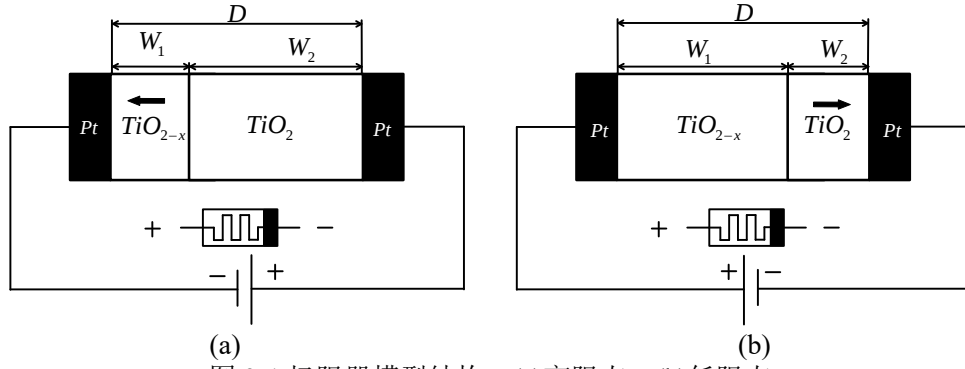


图 3-1 忆阻器模型结构：(a)高阻态、(b)低阻态

3.1.2 基于忆阻器的门电路设计

目前基于忆阻器的逻辑电路主要有：忆阻辅助逻辑（Memristor-Aided LOGIC, MAGIC）、忆阻蕴含逻辑（Material IMplication, IMPLY）和忆阻比例逻辑（Memristor-Ratioed Logic, MRL）。MAGIC 和 IMPLY 为两种纯忆阻器逻辑电路，MRL 是利用忆阻器与 CMOS 混合构成的逻辑电路，虽然 MRL 在面积上稍有劣势，但与 MAGIC 相比较，可以解决多个逻辑门之间的级联以及多个扇出问题，也能减少 IMPLY 的操作步骤以缩短电路的运行时间，同时由于忆阻器与 CMOS 具有相兼容的特点，使其与传统的逻辑电路相比较，大量地减少了晶体管的用量，从而减小了芯片的体积，极大地提高了电路的逻辑计算速度。在此，采用忆阻比例逻辑的方法设计后续的触发器电路。

由于忆阻器存在正、负极，如果把两个忆阻器的负极相连接并作为输出，输入从正极进入，就可以实现或门功能。将两个正极连接在一起作为输出，输入从负极进入，就可以实现与门的功能。将串联来的忆阻器输出端与 CMOS 反相器的输入相连接，可以实现或非、与非功能。本文所设计逻辑门的反相器采用 50nm BSIM4 型号的 MOS 晶体管设计^[65]。以或非门为例分析逻辑电路的工作原理：假设 $V_{high} = 1$ ， $V_{low} = 0$ ，如果 $A = 1$ ， $B = 0$ ，则忆阻器的输出信号 V_1 如公式(3-1)所示。

$$V_1 = \frac{R_{off}}{R_{on} + R_{off}} V_{high} = 1 \quad (3-1)$$

当两个串联的忆阻器输出信号 $V_1 = 1$ 时，根据反相器的工作原理，上拉 PMOS 晶体管 T_2 截止，下拉 NMOS 晶体管 T_1 导通， $R_{T_2} \geq R_{T_1}$ ，导致输出信号的电平被拉低，即 $V_{out} = 0$ ，最终或非门的输出结果为低电平。同样当输入信号 A 和 B 取其它电平时，同样符合或非门的逻辑功能。图 3-2(b)为与非逻辑门，工

作原理与或非门类似。

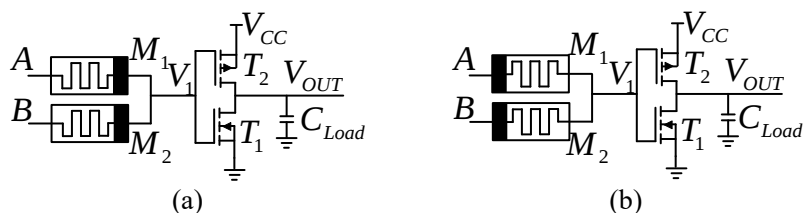


图 3-2 基于忆阻器的逻辑电路：(a)或非门、(b)与非门

3.1.3 基于忆阻器的门电路仿真

对上述或非门和与非门电路在 LTspice 中进行了仿真，仿真结果如图 3-3 所示。图 3-3(a)为或非门的仿真结果图，由图可以看出当两个信号同时为低电平时，输出信号为高电平，否则，输出信号的结果为低电平。图 3-3(b)显示了与非门的仿真结果，从仿真结果图可以得出输入信号都是高电平的情况下，输出信号变成低电平，否则输出都会保持高电平不变。该分析过程一一对应了与非、或非门电路的真值表，验证了电路的可行性与正确性。

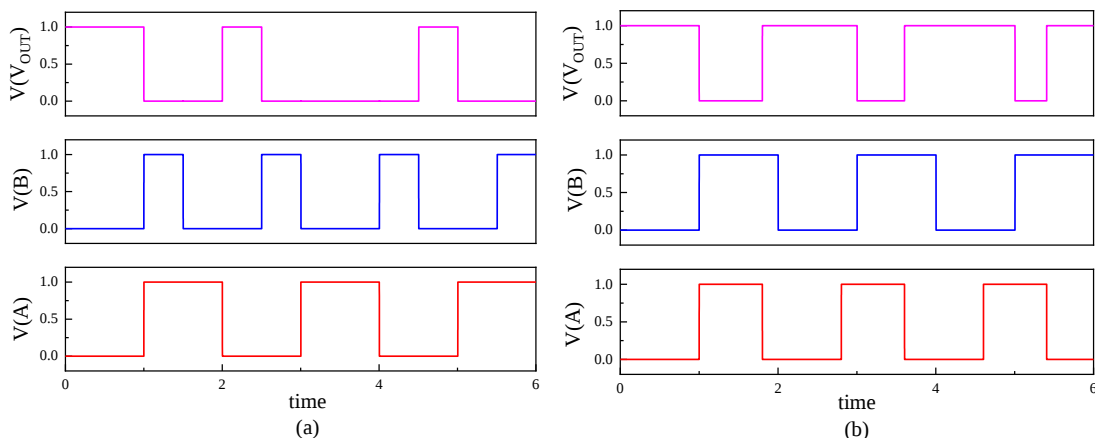


图 3-3(a)或非门、(b)与非门在 LTspice 中的仿真结果

3.2 基于忆阻器的 SR 锁存器电路设计

3.2.1 传统的 SR 锁存器电路

SR 锁存器是数字存储电路的重要组成部分，也是许多其它触发器电路的基础，利用 SR 触发器可以设计各种具有代表性的触发电路。图 3-4 为传统的 SR 锁存电路，主要采用与门（AND）等门电路，其电路构成简单，但由于每个门电路都包含了多个 CMOS 元件，因此用这种方法所设计的电路往往需要使用大量的晶体管，从而增加了电路的体积和功耗。另外，对于以 CMOS 工艺为基础的触发器电路，一般都要通过多个逻辑门电路从输入到输出，这就造成了信

号传递时延迟较大。因此基础传统的 SR 电路设计高集成度的元件可能存在着输出信号不够精确的问题。

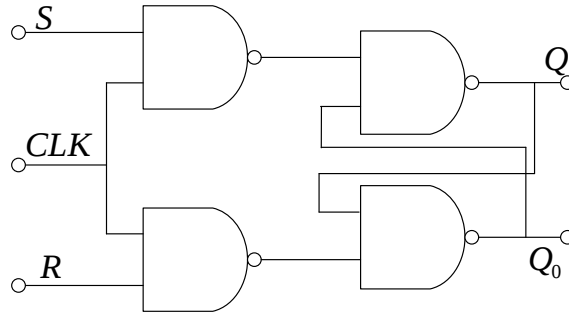


图 3-4 传统锁存器触发电路

通过第一章对忆阻器的详细介绍以及国内外研究现状，将忆阻器应用在触发器电路中是切实可行的，因此针对现有 SR 锁存电路的不足之处，本文拟采用忆阻器与 CMOS 混合方法设计 SR 锁存电路以及后续更多的电路，利用忆阻器自身特性如低功耗、二值特性、纳米尺寸等优点为电路的性能进行优化。

3.2.2 基于忆阻器的 SR 锁存器电路

基于与非、或非门电路设计 SR 锁存器，门电路的不同其触发电平也会不同，基于与非门的有效触发电平为高电平，基于或非门的有效触发电平则为低电平，本节将同时设计高电平和低电平触发的 SR 锁存器电路。

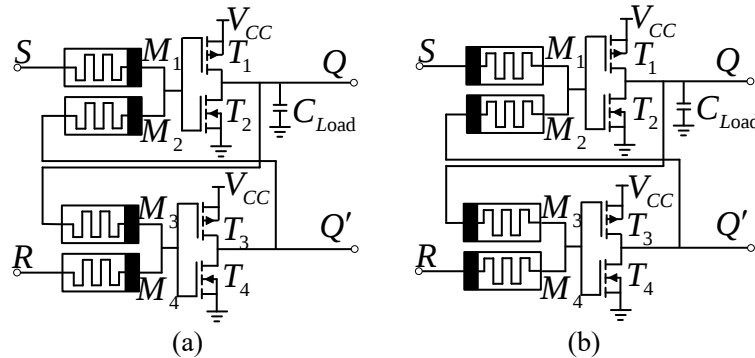


图 3-5 基于或非门(a)、与非门(b)的 SR 锁存器原理图

图 3-5(a)、(b)分别为或非门和与非门设计的 SR 锁存器电路，输入端有 S、R 两个信号，输出端信号为 Q、Q'。以图 3-5(a)为例分析电路工作原理：

(1)当输入信号 S 为高电平时，根据或非门的工作原理，其输出端 Q 为低电平，同时反馈到 M_3 的输入端，如果此时 R 为低电平，则输出信号 Q' 为高电平。

(2)当输入信号 R 为高电平时，根据或非门的工作原理，其输出端 Q' 为低电平，同时反馈到 M_2 的输入端，如果此时 S 为高电平，则输出信号 Q 为低电平。

(3)S 与 R 均为低电平时, 如果 $Q=1$ ($Q'=0$), 则 Q 反馈到 M_3 输入端后输出 Q' 仍然为 0, Q' 反馈到 M_2 输入端后输出 Q 仍然是 1, 呈现稳态。如果 $Q=0$ ($Q'=1$) 同理, Q 与 Q' 的值仍然会保持不变。即 S 与 R 均为低电平时该电路具有保持的功能。

(4)如果 S 与 R 均为高电平, 则输出 Q 与 Q' 均为低电平, 不再成互补的关系, 所以此种情况是禁止出现的。

同理与非门的分析也是如此。根据工作原理分析可列出 SR 触发器的真值表, 如表 3-1 所示。

表 3-1 基于或非门、与非门 SR 锁存器的真值表

	S	R	Q	Q'
基于或非门的 SR 锁存器电路	0	0	Q	Q'
		1	1	0
	1	0	0	1
		1	0	0
基于与非门的 SR 锁存器电路	0	0	1	1
		1	1	0
	1	0	0	1
		1	Q	Q'

3.2.3 基于忆阻器的 SR 锁存器仿真

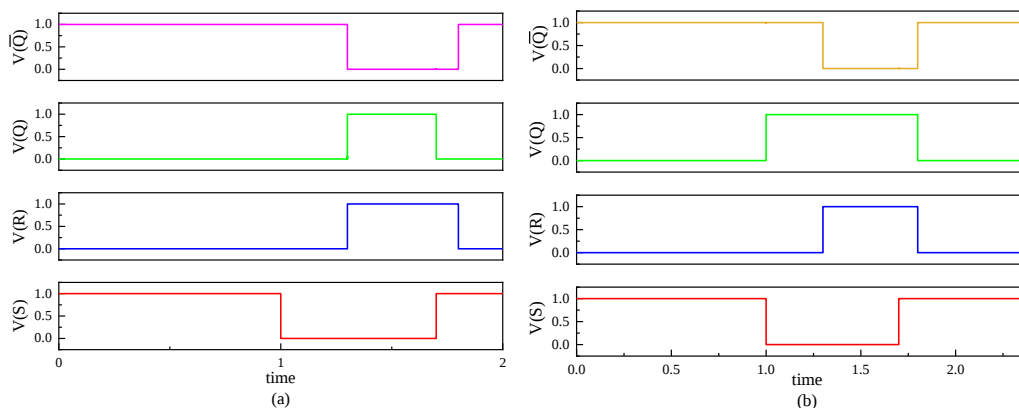


图 3-6 基于或非门(a)、与非门(b)的 SR 锁存器仿真结果

将设计的两种 SR 锁存器电路分别在 LTspice 中进行仿真, 仿真结果如图 3-6 所示。图 3-6(a)为基于或非门构成的 SR 锁存器, 当 S 为高电平 R 为低电平时, 输出端 Q 为低电平, 当 S 为低电平 R 为低电平时, 输出保持不变。当 S 为低电平 R 为高电平时, 输出变为高电平。图 3-6(b)为基于与非门构成的 SR 锁存器,

当 S 为高电平 R 为低电平时，输出信号为低电平，当 S 为低电平 R 为高电平时，输出信号为高电平，当 S 和 R 都为高电平时，输出信号保持不变。两种电路的仿真结果都符合其工作原理，证明了电路的正确性。

3.2.4 基于忆阻器的 SR 触发器电路

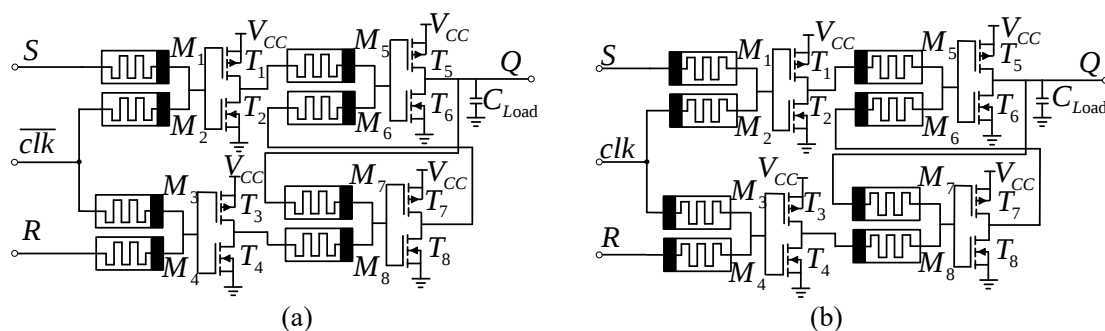


图 3-7 基于或非门(a)、与非门(b)的 SR 触发器原理图

图 3-7(a)、(b)分别表示基于或非门和与非门所设计的 SR 触发器电路，该电路在 SR 锁存器电路之前加上两组忆阻器-CMOS 混合电路结构，同时还增加时钟控制端。与 SR 锁存器最大的区别在于该电路的状态不仅由 S、R 决定，还取决于有效时钟信号，只有在有效时钟信号到来时，电路的状态才会发生改变。表 3-2 列出了基于或非门、与非门设计 SR 触发器真值表。根据真值表和 SR 触发器的逻辑关系可以列出 SR 触发器的特性方程，如公式(3-2)、(3-3)，其中 Q 表示现态， Q^* 表示次态， $SR=1$ 作为或非门设计 SR 触发器的约束条件， $SR=0$ 作为与非门设计 SR 触发器的约束条件。

表 3-2 基于或非门、与非门设计 SR 触发器真值表

	clk	S	R	Q^*
基于或非门的 SR 触发器	低电平	0	0	不定
			1	0
		1	0	1
			1	Q
基于与非门的 SR 触发器	高电平	0	0	Q
			1	0
		1	0	1
			1	不定

$$\begin{cases} Q^* = S + R'Q \\ SR = 1 \end{cases} \quad (3-2)$$

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases} \quad (3-3)$$

3.2.5 基于忆阻器的 SR 触发器仿真

将设计的两种 SR 触发器电路分别在 LTspice 中进行仿真，仿真结果如图 3-8 所示。图 3-8(a)中，当时钟信号到达低电平后，若 S、R 都为高电平，则输出保持不变，当 S 为低电平、R 为高电平时，输出信号变为低电平，当 S 为高电平、R 为低电平时，输出信号变为高电平。图 3-8(b)中，当时钟信号到达高电平后，若 S 为高电平、R 为低电平，则输出为高电平，当 S 为低电平、R 为高电平时，输出信号变成低电平，当 S、R 都为低电平时，输出信号保持不变。从仿真结果分析来看与 SR 触发器真值表一一对应，证明电路的可行性。

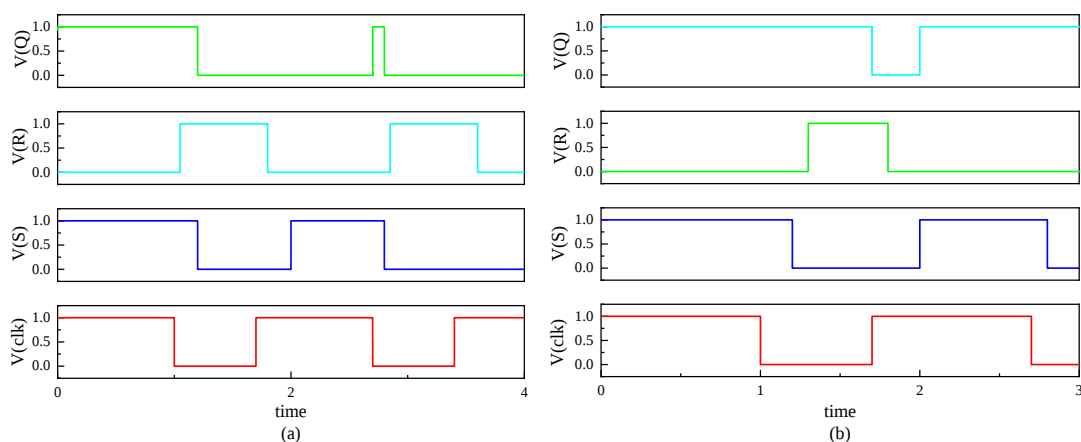


图 3-8 基于或非门(a)、与非门(b)SR 锁存器仿真结果

3.3 基于忆阻器的 JK、T 触发器电路设计

3.3.1 基于忆阻器的 JK 触发器电路

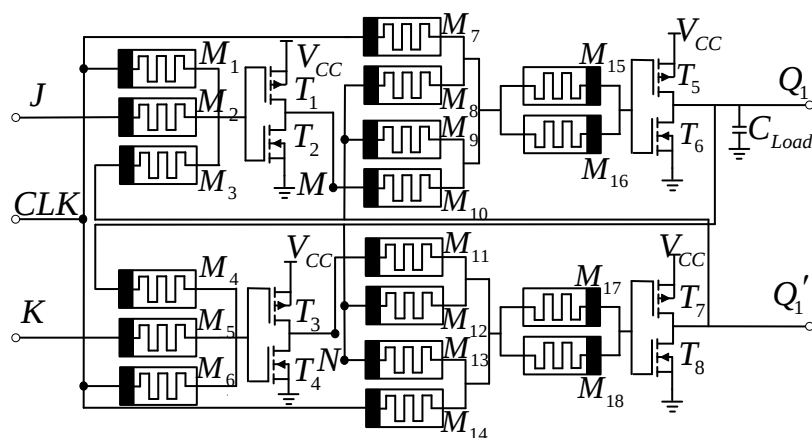


图 3-9 基于忆阻器的 JK 触发器原理图

在时序逻辑电路中，JK 触发器同样也是非常重要的电路。JK 触发器是一种

逻辑运算能力很强的触发器，可以在置 0、置 1、保持和翻转四种工作方式之间的转换，并且可以通过简单的添加电路就可以实现其它功能，因此在数字电路中有着广阔的应用前景。

图 3-9 为 JK 触发器电路原理图，其中 JK 为两个输入信号端， M_7 、 M_8 构成与门 G_2 ， M_9 、 M_{10} 为与门 G_3 ， M_{11} 、 M_{12} 为与门 G_5 ， M_{13} 、 M_{14} 为与非门 G_6 ， M_{15} 、 M_{16} 与 T_5 、 T_6 构成或非门 G_1 ， M_{17} 、 M_{18} 和 T_7 、 T_8 构成或非门 G_4 ，共同构成 SR 锁存器， $M_1 \sim M_6$ 和 $T_1 \sim T_4$ 作为两个输入门电路分别构成 G_7 、 G_8 ，其工作原理如下分析：

(1) 假设 JK 触发器的初始状态为 $Q_1 = 0$ ， $Q_1' = 1$ ，当时钟信号 CLK 为低电平时， G_2 、 G_6 、 G_7 、 G_8 门电路将会被锁住，同时 G_7 、 G_8 两个门电路的输出端 M、N 两点都为高电平， G_3 、 G_5 打开，从而保存了 SR 锁存器状态。

(2) 在时钟信号从低电平变成高电平之后，首先解除了 G_2 和 G_6 的封锁，从而能够维持 SR 锁存器的初始状态。如果在这个时候输入信号 $J = 1$ 、 $K = 0$ ，那么通过门 G_7 和 G_8 的传送， $M=0$ ， $N=1$ ， G_3 和 G_5 都是不导通的，所以 SR 锁存器的状态不会受到影响。

(3) 当时钟信号来到下降沿时，首先封锁 G_2 、 G_6 门电路，但 M、N 两点的电位由于电路的传输延迟而不会立刻发生变化，这样，在瞬时发生了这样一种情况，即 G_2 和 G_3 的输入端各有一个低电平信号，使 $Q_1 = 1$ ，经过 G_5 之后，使 $Q_1' = 0$ 。因为 G_7 的传输延时足以确保在点 M 处的低电平消失以前 Q_1' 的低电平已经被反馈给 G_3 ，因此，在点 M 处的低电平消失之后，由触发器得到的“1”状态仍然存在。

(4) M 和 N 两点经过 G_7 、 G_8 传输延迟后成为高电平，但是不会影响到 SR 锁存器的状态。在此期间，由于时钟信号为低电平从而导致门 G_7 、 G_8 都被封锁住，触发器的状态不会受到 JK 信号的变化而产生影响。

对 JK 触发器工作原理进行分析，列出表 3-3 JK 触发器的真值表（●表示除下降沿外的时间，↓表示下降沿， Q_1^* 表示输出信号的次态），根据真值表和 JK 触发器的逻辑关系可以给出 JK 触发器的特性方程，如公式(3-4)所示。

$$Q_1^* = JQ' + K'Q' \quad (3-4)$$

表 3-3 JK 触发器的真值表

CLK	J	K	Q_1	Q_1^*
●	●	●	●	Q_1
	0	0	0	0
			1	1
	1	0	0	1
			1	1
↓	0	1	0	0
			1	0
	1	1	0	1
			1	0

3.3.2 基于忆阻器的 JK 触发器仿真

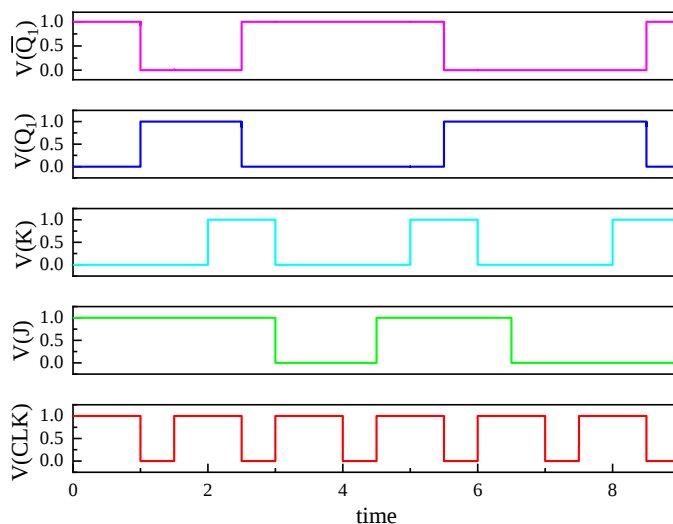


图 3-10 JK 触发器在 LTspice 中的仿真结果

将设计的 JK 触发器电路在 LTspice 中进行仿真，仿真结果如图 3-10 所示。设计的 JK 触发器电路有效时钟信号为下降沿，因此输出信号只有在下降沿来临时才能触发。下降沿到达，当 J 为高电平、K 为低电平时输出信号变为高电平，当 J、K 同时为高电平时输出信号发生翻转由“1”变为“0”，当 J、K 同时为低电平时输出信号不发生改变，当 J 为低电平、K 为高电平时输出信号变为低电平。当时钟信号除下降沿外的其他时刻时，电路的输出状态不会发生改变。另外电路中的波形随着时间的变化一直处于稳定状态，并没有尖峰等问题，同时都符合 JK 触发器的真值表，验证了用忆阻器设计 JK 触发器电路的可行性和正确性。

3.3.3 基于忆阻器的 T 触发器电路

另外一种类型的触发器也被广泛应用于实际的电子线路中，它就是 T 触发器，自身也具有特定的逻辑功能。在时钟信号的影响下，T 触发器按输入信号 T 的取值进行了保持与翻转两种功能：T=0 时，电路的输出状态不发生变化；在时间 T=1 的情况下，随着有效时钟信号的到达，电路的输出状态发生翻转，即每次时钟信号改变时，输出状态发生一次翻转，籍此也可用来进行计数。T 触发器可以由 D 触发器演变而来，同时也可以由 JK 触发器演变而来，这里只介绍由 JK 触发器而演变的 T 触发器。由图 3-11 可以看出，将 JK 触发器的两个输入信号端子相连而构成 T 触发器电路，工作原理与 JK 触发器相似，表 3-4 为 T 触发器的真值表（●表示除下降沿之外的信号， Q_1 表示输出信号的现态， Q_1^* 表示输出信号的次态），根据真值表和 T 触发器的逻辑关系可以给出 T 触发器的特性方程，如公式(3-5)所示。

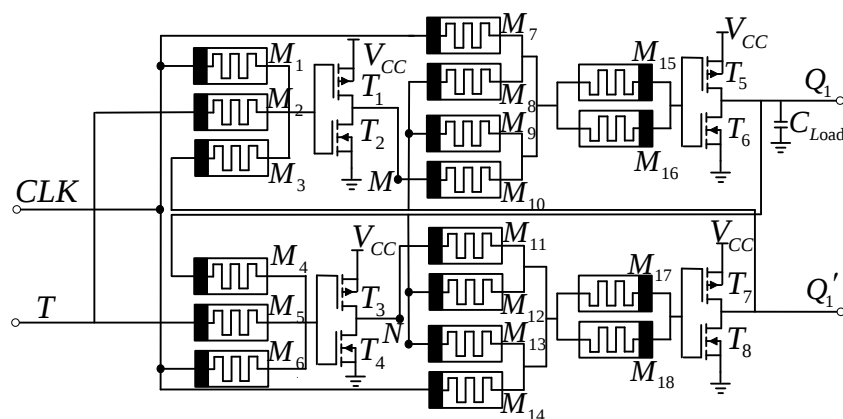


图 3-11 T 触发器原理图

表 3-4 T 触发器真值表

CLK	T	Q_1	Q_1^*
● ↓	●	0	0
		1	1
		0	0
	0	1	1
		0	1
		1	0

$$Q_1^* = TQ' + T'Q' \quad (3-5)$$

3.3.4 基于忆阻器的 T 触发器仿真

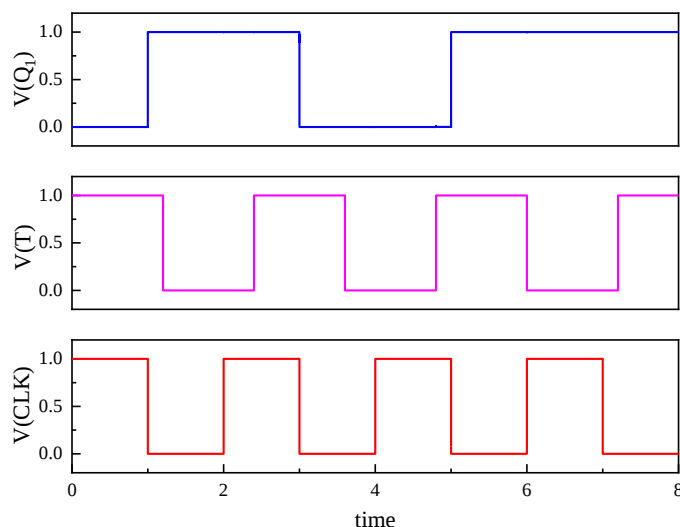


图 3-12 T 触发器仿真结果

将设计的 T 触发器电路在 LTspice 中进行仿真，仿真结果如图 3-12 所示，该电路的有效时钟信号为下降沿，因此输出信号只有在下降沿来临时才能触发。当时钟信号下降沿到来时，若 T 为高电平，则输出信号发生翻转，由“0”变为“1”，若 T 为低电平，则输出信号保持不变。经过仿真结果的分析 and 观察其逻辑完全符合 T 触发器的真值表，验证电路的正确性。

3.4 基于忆阻器的 D 触发器电路设计

3.4.1 基于忆阻器的 D 锁存器电路

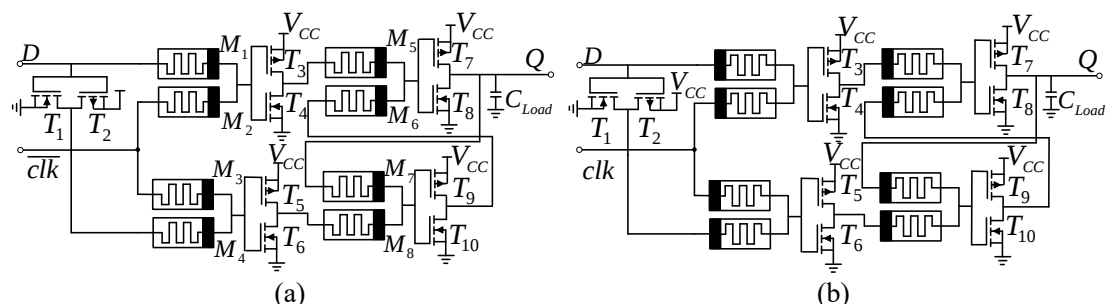


图 3-13 基于或非门(a)、与非门(b)的 D 触发器原理图

传统的 D 锁存器采用门电路构建，但是每个门电路都由大量的 CMOS 组合而成，导致设计 D 锁存器时需要大量 CMOS 器件，不仅会提高电路的功耗，同时电路的延迟时间也会升高，严重影响了后续电路的设计与应用。因此，为了减少器件的使用数量以及降低传输延迟时间等问题，利用忆阻器-CMOS 混合的方法来构建电路。图 3-13 为 D 锁存器电路原理图，与 SR 触发器不同的是 D 锁存器消除了 SR 触发器输入端不能同时为 0 或 1 的约束条件，并且将其中一个输

入信号接上 CMOS 反相器连接到另一个输入端，这样就可以保证在任何时刻两个输入端均为相反的状态。

表 3-5 给出了基于或非门、与非门的 D 锁存器真值表，触发信号分别为低电平和高电平，由真值表和 D 锁存器的逻辑关系可以列出 D 锁存器的特性方程，如公式(3-6)所示。

$$Q^* = D \quad (3-6)$$

表 3-5 基于或非门、与非门的 D 锁存器真值表

	clk	D	Q
基于或非门的 D 锁存器	1	0	保持不变
		1	保持不变
	0	0	0
		1	1
基于与非门的 D 锁存器	1	0	0
		1	1
	0	0	保持不变
		1	保持不变

3.4.2 基于忆阻器的 D 锁存器仿真

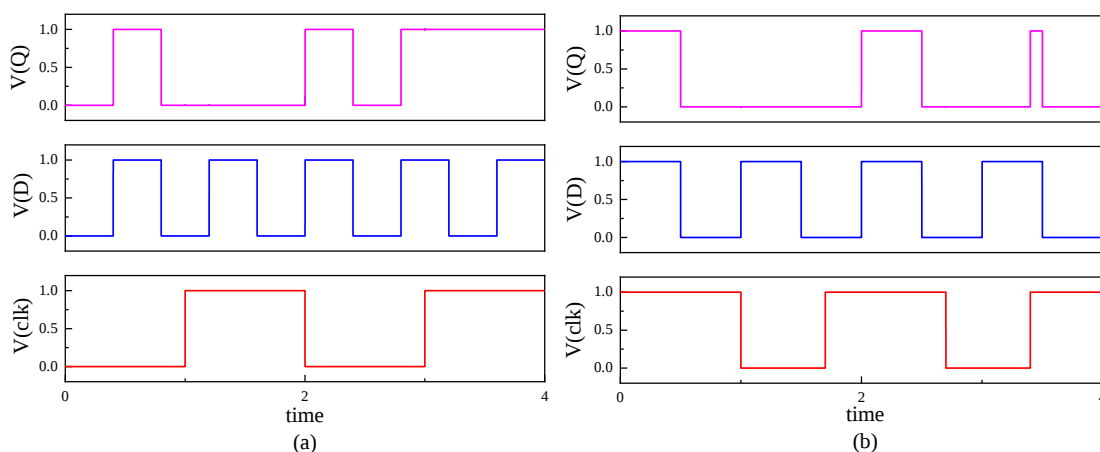


图 3-14 基于(a)或非门、(b)与非门的 D 锁存器的仿真结果

将设计的两种 D 锁存器电路分别在 LTspice 中进行仿真，仿真结果如图 3-14 所示。图 3-14(a)为基于或非门设计的 D 锁存器，有效触发信号为低电平，当时钟信号为低电平时，若输入信号发生改变，则输出信号立刻发生改变，而当时钟信号为低电平以外的信号时，无论输入信号怎么发生改变输出信号都会保持不变。图 3-14(b)为基于与非门设计的 D 锁存器，有效触发信号为高电平，当时钟信号为高电平时，输出信号则随着输入信号的变化而变化，而其它时刻的输

出信号则不受输入信号的影响从而保持不变。从仿真结果还可以看出波形较清晰稳定，同时也完全符合 D 锁存器的真值表，证明电路的可行性。另外，仿真结果中还显示了只要在时钟信号为有效时钟信号内，输出信号翻转的次数与输入信号一致，这严重降低了电路的抗干扰能力，并不是电路中希望出现的情况，因此在后续的章节中设计具有边沿触发的 D 触发器电路，提高电路的可靠性和抗干扰能力。

3.4.3 基于忆阻器的主从结构 D 触发器电路

图 3-15 为基于或非门和与非门主从结构的 D 触发器原理图，图 3-15(a)由或非门构成，其触发信号为下降沿触发，图 3-15(b)由与非门构成，其触发信号为上升沿触发。整体结构就是由两个 D 锁存器相连接，第一级触发器的输出信号 Q 连接第二级触发器的输入信号，并且两个触发器的时钟信号取反，第一级的 D 锁存器称为主锁存器，在时钟信号为高电平的时候锁存，第二级的 D 锁存器称为从锁存器，在时钟信号为低电平的时候锁存。以图 3-15(a)为例分析主从结构 D 触发器电路的工作原理：

(1)当时钟信号 clk 为高电平时，经过反相器， $clk1$ 变为低电平，因此主锁存器触发，其输出信号随着输入信号的变化而变化。从锁存器的时钟信号为高电平，因此从锁存器锁存，其输出信号保持不变。

(2)当时钟信号 clk 从高电平变成低电平时，主锁存器的时钟信号 $clk1$ 从低电平变为高电平，此时主锁存器锁存当前 D 的状态，传递到输出端 Q 并保持不变。从锁存器的时钟信号 $clk1$ 依然为从高电平变成低电平，从锁存器输出端 Q_1 会和其输入端保持一致，又因为其输入端连接的时主锁存器的输出信号 Q，因此 Q_1 的变化和 Q 的变化将保持一致。此时处于锁存状态下的主锁存器输出端 Q 会保持不变，所以 D 触发器输出端 Q_1 端得到新的 Q 值后，也会保持不变。

综上所述，D 触发器输出端 Q_1 只会在时钟信号 clk 下降沿对 D 端进行信号锁存，其余时间输出端信号具有保持的功能。基于上述工作原理分析列出表 3-6 基于或非门、与非门主从结构 D 触发器的真值表（* 表示下降沿以外的时间，• 表示上升沿以外的时间），根据真值表和 D 触发器的逻辑关系可以列出主从结构 D 触发器的特性方程，如公式(3-7)所示。

$$Q^* = D \quad (3-7)$$

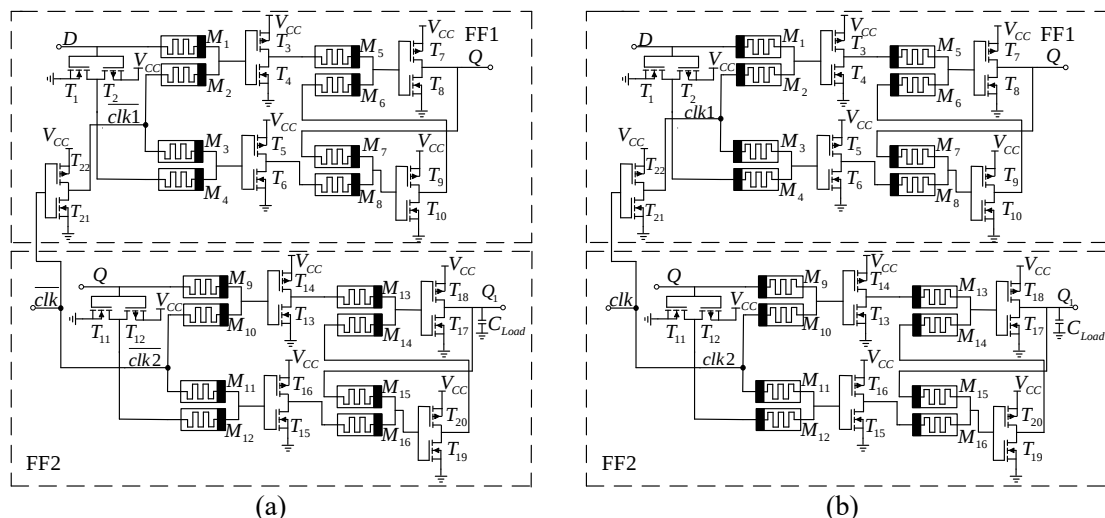


图 3-15 基于或非门(a)、与非门(b)的主从式 D 触发器原理图

表 3-6 基于主从结构 D 触发器真值表

	clk	D	Q
或非门	*	0	保持不变
		1	保持不变
	↓	0	0
		1	1
与非门	•	0	保持不变
		1	保持不变
	↑	0	0
		1	1

3.4.4 基于忆阻器的主从结构 D 触发器仿真

将设计的两种主从结构 D 触发器电路分别在 LTspice 中进行仿真，仿真结果如图 3-16 所示。图 3-16(a)为基于或非门的 D 触发器，当下降沿时钟信号来临时，若输入信号为低电平，则输出信号则改变为低电平，若输入信号为高电平，则输出信号也会变成高电平，下降沿以外的时间输出信号都不会发生改变。图 3-16(b)为基于与非门的 D 触发器，当时钟信号来到上升沿时，若输入信号为高电平，则输出信号则改变为高电平，若输入信号低高电平，输出信号同样变成低电平，上升沿以外的时间，输出信号保持不变。对仿真结果进行分析以及波形图的观察，与该电路的真值表一一对应，验证了电路的正确性。该电路的波形较平稳而且在一个周期内输出信号只会改变一次，与电平触发的电路相比较提高了电路的抗干扰性，但是在数字集成电路中，该结构还是过于复杂，导致后续设计电路的面积会更大，因此将设计另一种边沿触发的 D 触发器结构，以达

到对电路中元器件数量减少的目的，同时对电路进行结构优化。

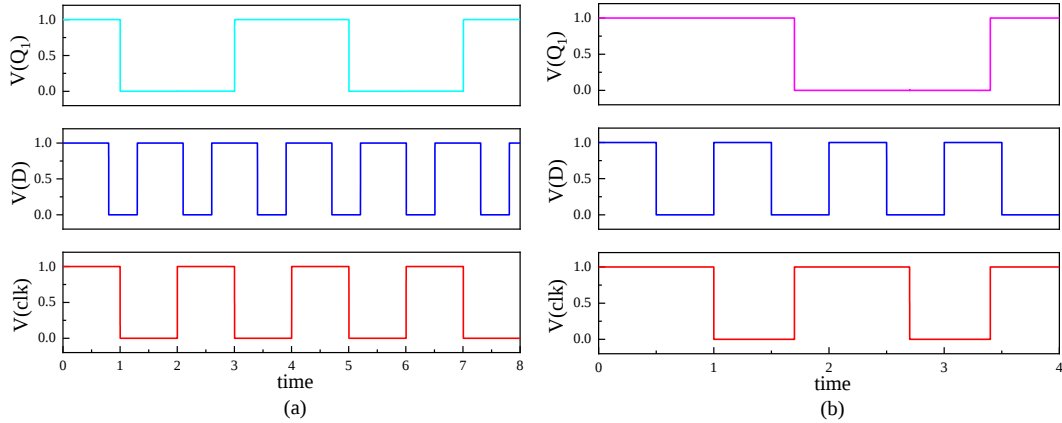


图 3-16 基于或非门(a)、与非门(b)设计的主从 D 触发器仿真结果

3.4.5 基于忆阻器的维持阻塞结构 D 触发器电路

主从 DFF 由两个相同的触发器组成，每个触发器都具有两级反转结构，因此，主触发器的输出可以被反馈到输入，并且构造的忆阻器可以被组合以简化电路结构。图 3-17 为基于或非门、与非门的维持阻塞结构 D 触发器， M_5 、 M_6 、 T_9 、 T_{10} 和 M_{12} 、 M_{13} 、 T_{11} 、 T_{12} 构成了 SR 锁存器， M_9 、 M_{10} 、 M_{11} 和 T_5 、 T_6 构成三输入或非、与非门，时钟信号与 M_4 、 M_{10} 的输入端相连接，其它的器件构成了 D 信号的输入通道。

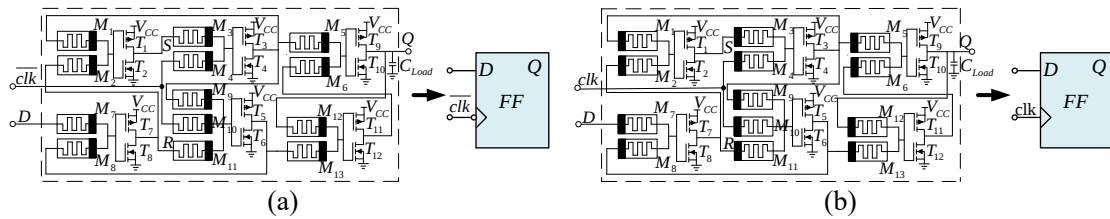


图 3-17 基于或非门(a)、与非门(b)的维持阻塞结构 D 触发器

维持阻塞结构与主从结构的真值表和特性方程一致，其工作原理如下（以或非门为例）：

(1)当输入信号 $D=1$ 时， clk 下降沿到达前， $S=1$ ， $R=0$ ，则当下降沿到达后，输出信号 Q 为 1。

(2)当输入信号 $D=0$ 时， clk 下降沿到达前， $S=0$ ， $R=1$ ，则当下降沿到达后，输出信号 Q 为 0。

3.4.6 基于忆阻器的维持阻塞结构 D 触发器仿真

将设计的两种维持阻塞结构 D 触发器电路分别在 LTspice 中进行仿真，仿真结果如图 3-18 所示。图 3-18(a)为基于或非门的维持阻塞 D 触发器，当时钟信号

下降沿来临时，若输入信号为高电平，节点 S、R 分别为高电平和低电平，则输出信号变为高电平，若输入信号为低电平，节点 S、R 分别为低电平和高电平，则输出信号变为低电平。图 3-18(b)为基于与非门的维持阻塞 D 触发器，当时钟信号上升沿到达时，若输入信号为低电平，节点 S、R 分别为低电平和高电平，则输出信号变为低电平，若输入信号为高电平，节点 S、R 分别为高电平和低电平，则输出信号变为高电平。该电路与主从结构的 D 触发器相比，忆阻器减少了 3 个，CMOS 晶体管减少了 10 个，对电路的面积进行了优化，因此后续将采用维持阻塞结构 D 触发器进行电路设计。

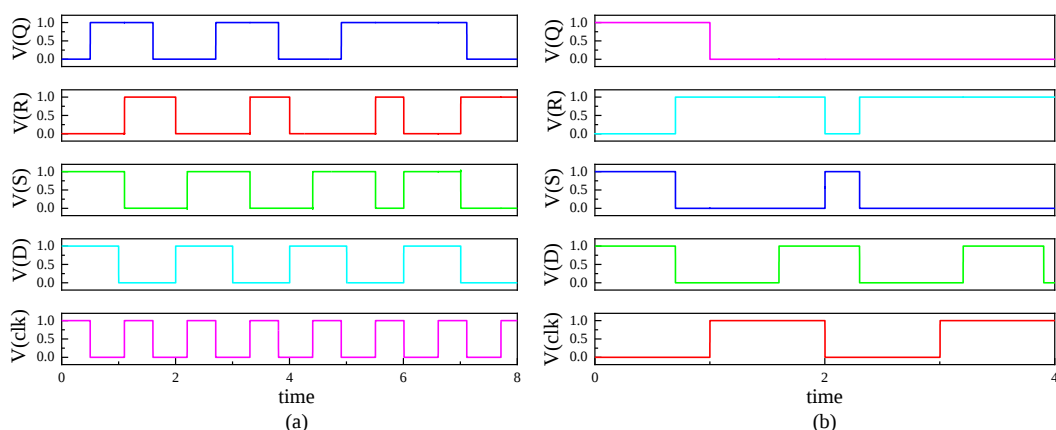


图 3-18 基于或非门(a)、与非门(b)维持阻塞结构的 D 触发器仿真结果

3.5 本章小结

本章重点研究了基于忆阻的逻辑门和经典触发器电路的设计，并对其进行了仿真验证。首先介绍忆阻器的二值特性并分析其工作原理。其次设计基于忆阻比例逻辑（MRL）的与非、或非等基本逻辑门。论述了传统工艺构成经典触发器的不足之处，如面积过大、功耗过高、延迟时间过长等，利用忆阻器自身具有纳米尺寸、低功耗的特点引入进触发器电路中，提出了基于忆阻器的 SR 触发器、JK 触发器、T 触发器、D 触发器等结构，不仅能够实现传统触发器的各种逻辑功能，还能降低器件的使用数量。将设计的各种触发器电路在 LTspice 中进行仿真，其结果与真值表完美契合，验证了忆阻器在触发器电路中的正确性和可行性。

第 4 章 基于忆阻器的时序逻辑电路及其应用

4.1 时序逻辑电路

按其逻辑作用的不同，数字电路可分为两大类：组合逻辑和时序逻辑。组合电路的特征是在一个电路的任何时间，其输出信号只依赖于当时的输入，与电路的初始状态无关。而时序电路在一个电路的任何时间内，当时的输入信号与电路的原本状态都会影响到输出信号，这是组合逻辑电路和时序逻辑电路的主要区别。所以，用于时序控制的逻辑电路中，必然包含一个用来记录上一个时间点上的电路状态的存储器电路。存储器电路可以是延时器件，可以是触发器，也可以是锁存器。在图 4-1 中给出了时序逻辑电路的基本框图。

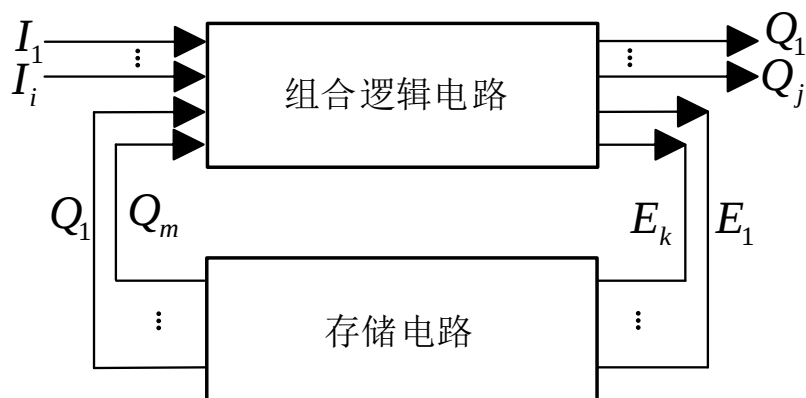


图 4-1 时序逻辑电路结构框图

如图所示，时序逻辑电路基本上由两部分组成：一是执行逻辑操作的组合逻辑电路，二是作为存储设备的存储电路。它由 $I = (I_1, I_2, \dots, I_i)$ （时序电路的输入信号）、 $O = (O_1, O_2, \dots, O_j)$ （时序电路的输出信号）、 $E = (E_1, E_2, \dots, E_k)$ （将存储电路转换到下一状态的激励信号）和 $Q = (Q_1, Q_2, \dots, Q_m)$ （存储器电路的状态信号，它还被称作是状态变量，它指示了时序电路的目前状况，也就是现态）。时序电路的输出信号 O 由被反馈到组合逻辑输入的状态参数 Q 和输入信号 I 共同决定。将状态参数 Q 反馈至组合逻辑的一个输入，以确定时序电路的输出信号 O 和输入信号 I ，并且生成一个激励信号 E 给存储器电路，由此决定下一个状态，也就是次态。这样，可以用以下三种函数的等式来表达这些信号间的逻辑关系：

$$O = f(I, Q) \quad (4-1)$$

$$E = g(I, Q) \quad (4-2)$$

$$Q^{n+1} = h(E, Q^n) \quad (4-3)$$

公式(4-1)是时序电路的输出方程，它表示电路的输出信号、输入信号及状态变量的关系；公式(4-2)是表示驱动信号、输入信号和状态变量之间关系的驱动方程；公式(4-3)是状态方程，它表示电路中存储部分的状态由现态变换成次态，其中 Q^n 和 Q^{n+1} 分别表示存储电路的现态和次态。

4.2 线性反馈移位寄存器电路

寄存器作为时序逻辑电路中的关键部件，在处理器中需求量很大，其作为非常重要的高速存储部件，可以存储指令、数据和地址，被广泛应用于各种数字系统和微控制器中。寄存器电路除了能够将代码存储起来，还具有移位的功能，此功能可以让存储在寄存器中的代码在有效时钟信号来临时依次左移或者右移。由于在日常生活中为了方便，会要求寄存器能够自启动，即当电路进入到任何无效状态下后在时钟信号的作用下自动返回到有效循环中去，为了实现自启动功能，通过在寄存器的输出与输入之间接入适当的反馈回路，这样就可以将不能自启动的电路设计成能够自启动的电路。寄存器电路中还有最重要的一点就是电路的状态，对于一个 n 位的寄存器，其电路的状态总共有 2^n 个，而一般设计的电路只用了 n 个或者 $2n$ 个有效状态，又或者在反馈电路中加入适当的逻辑门电路来达到 $2^n - 1$ 个有效状态，但是门电路的体积太大，这会影响到后续电路的集成面积以及功耗、延迟时间等性能，因此本文通过将纳米体积的忆阻器接入到反馈电路当中，不仅能够实现电路的自启动，还能够使电路的状态利用率达到 $2^n - 1$ ，同时对电路在面积、功耗以及时间方面都能进行优化。

图 4-2 显示了采用上述改进的维持阻塞结构 D 触发器所设计的 4 位线性反馈移位寄存器（LFSR）的两种结构，图 4-2(a)为或非门所构建，触发信号为下降沿，图 4-2(b)为与非门所构建，触发信号为上升沿，反馈电路利用忆阻器来构建，反馈逻辑函数为 $D_0 = Q_0'Q_3 + Q_0Q_3'$ 。两种结构的线性反馈移位寄存器驱动方程以及状态方程分别在公式(4-4)和(4-5)中定义，另外由于两种结构的反馈电路逻辑功能相同，因此这两种线性反馈移位寄存器具有一个相同的电路状态转换图（STD），如图 4-3 所示，由状态转换图可以看出该电路的有效状态为 $2^n - 1$ 。

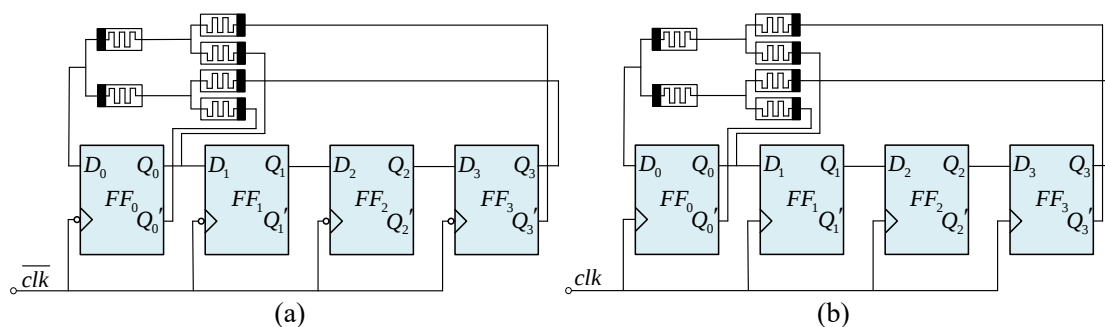


图 4-2 基于或非门(a)、与非门(b)的 4 位线性反馈移位寄存器

$$\begin{cases} Q_0^* = Q_0' Q_1' Q_2' \\ Q_i' = Q_{i-1} \quad (i=1, 2, 3) \end{cases} \quad (4-4)$$

$$\begin{cases} Q_0^* = Q_0' Q_3 + Q_0 Q_3' \\ Q_i^* = Q_{i-1} \quad (i=1, 2, 3) \end{cases} \quad (4-5)$$

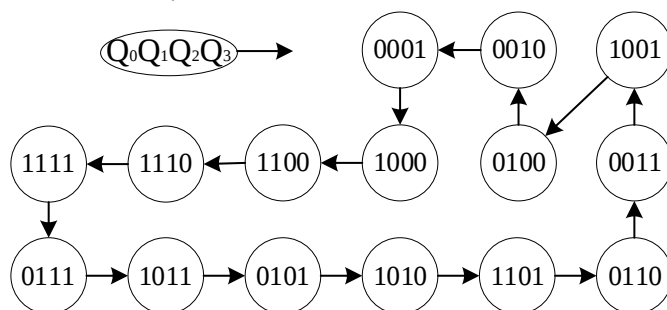


图 4-3 4 位线性反馈移位寄存器的状态转换图

4.3 线性反馈移位寄存器电路仿真及对比

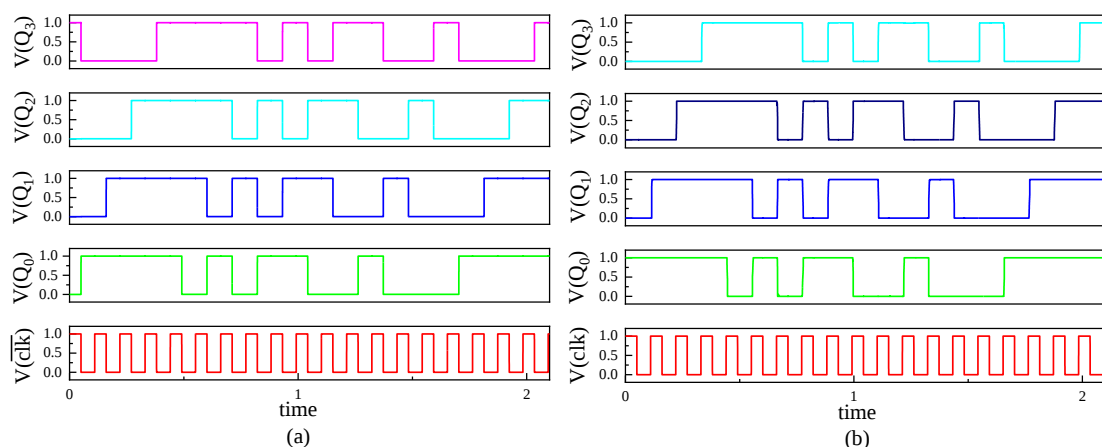


图 4-4 基于或非门(a)、与非门(b)的 4 位线性反馈移位寄存器仿真结果

将设计的两种线性反馈移位寄存器电路分别在 LTspice 中进行仿真，仿真结果如图 4-4 所示。图 4-4(a)中为或非门设计的线性反馈移位寄存器，有效时钟信号为下降沿，当第一个下降沿到临时，输出 Q_0 变为高电平，信号 Q_1 、 Q_2 、 Q_3 保持不变，当第二个下降沿来临时， Q_2 变为高电平，其他信号不变，由于该电

路有 15 个有效状态，因此当时钟信号达到第十六个下降沿时，电路的输出状态重新开始。图 4-4(b)为与非门设计的线性反馈移位寄存器，始终有效信号为上升沿，当第一个上升沿来临时， Q_0 先变为高电平，接着每到上升沿来临时，输出信号依次发生改变，直到第十六个上升沿信号时，电路的状态重新改变。通过对仿真结果进行分析，完全符合状态转换图，证明该电路的正确性。

表 4-1 仿真环境设置

工艺	供电电压	时间步长	温度	默认集成方法
50nm	1V	0.1us	27°C	modified trap

通过 LTspice 对电路进行模拟、验证，表 4-1 中列出了电路仿真环境的部分参数设置。部分现有的移位寄存器与本文提出的线性反馈移位寄存器的比较结果如表 4-2 所示，其中功率延迟积（Power Delay Product, PDP）表示功耗与延迟时间的乘积，它能够直接地反映电路功耗和延迟的特性，PDP 的值越小，电路的工作性能越好。参考文献[66-67]中的寄存器电路，采用传统的 MOS 晶体管设计，由于电路设计中需要过多的器件，导致功耗过高以及延迟时间过高。参考文献[68]中报道的线性反馈移位寄存器利用忆阻器与 CMOS 相兼容的特性来设计电路，其电路分别使用了 64 个忆阻器和 64 个 MOS 晶体管以及一个异或门电路，与前两种相比更加节能。相比之下，本文提出的两种线性反馈移位寄存器电路不仅在器件数量上体现出优势，同时在延迟时间、功耗以及功耗延迟积等方面也进行优化。

表 4-2 寄存器电路比较

设计	文献[67]	文献[66]	文献[68]	基于或非门	基于与非门
延迟时间(ns)	0.183	—	0.841	0.549	0.561
输入电压(V)	1.8	1.8	4	1	1
忆阻器数量	0	0	64	58	58
MOS 管数量	318	81	64	48	48
功耗(μW)	9360	188	94.15	61.8	61.2
功耗延迟积(μJ)	7.609	—	0.079	0.034	0.034

4.3 顺序脉冲发生器电路

在某些数字系统中，系统可能需要按照预定的顺序执行一系列操作。在这

种情况下，系统的控制单元必须能够连续多次提供某种脉冲信号，并利用这一系列脉冲产生所需的各种控制信号。脉冲发生器就是用来产生这一系列脉冲信号的。本文利用维持阻塞 D 触发器结构为基础设计两种 4 位顺序脉冲发生器电路，如图 4-5 所示，基于下降沿和上升沿触发的有效时钟信号，该顺序脉冲发生器的所有输出在每个状态中只存在一个“1”的循环状态。电路中加入了反馈环节，因此该顺序脉冲发生器可以自启动，反馈电路为忆阻器构成的三输入与非门，忆阻器的三个输入端分别接电路的 Q_0' 、 Q_1' 、 Q_2' ，输出与 D_0 相连接，反馈逻辑函数为 $D_0 = Q_0'Q_1'Q_2'$ 。该电路的驱动方程以及状态方程分别如公式(4-6)、(4-7)所示，图 4-6 为顺序脉冲发生器的状态转换图。

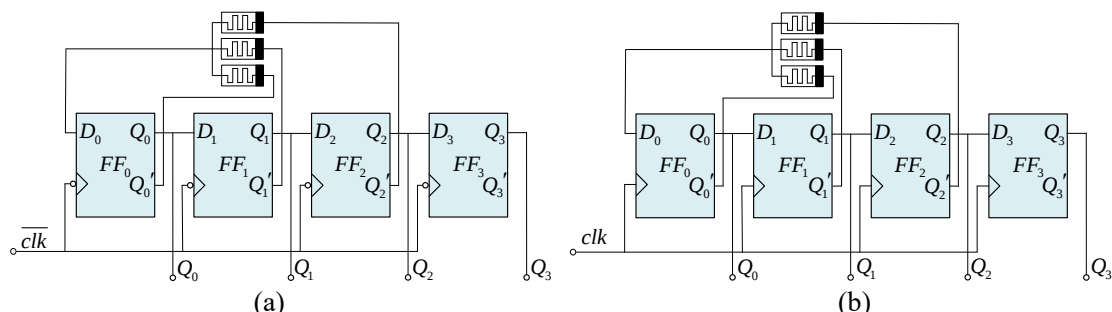


图 4-5 基于或非门(a)、与非门(b)的顺序脉冲发生器电路

$$\begin{cases} D_0 = Q_0'Q_1'Q_2' \\ D_i = Q_{i-1} \quad (i = 1, 2, 3) \end{cases} \quad (4-6)$$

$$\begin{cases} Q_0^* = Q_0'Q_1'Q_2' \\ Q_i^* = Q_{i-1} \quad (i = 1, 2, 3) \end{cases} \quad (4-7)$$

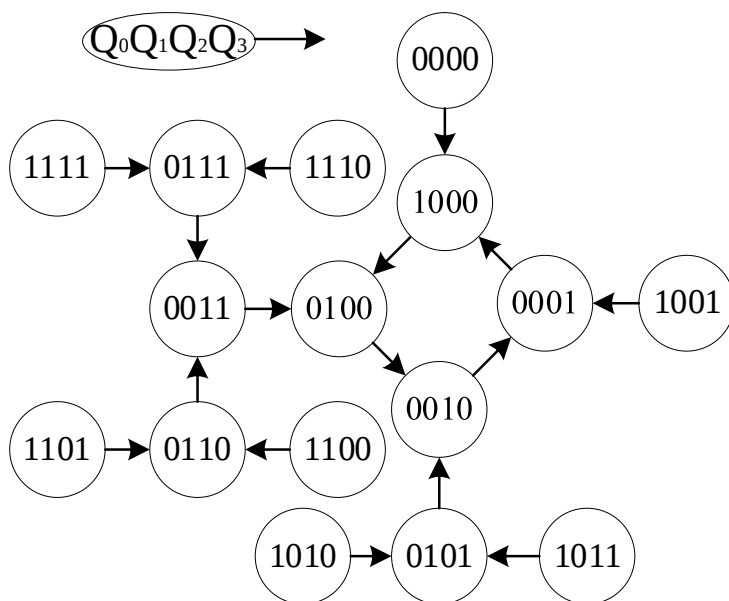


图 4-6 顺序脉冲发生器的状态转换图

4.4 顺序脉冲发生器仿真

将设计的两种顺序脉冲发生器电路在 LTspice 中进行仿真，仿真结果如图 4-7 所示。图 4-7(a)中为或非门设计的顺序脉冲发生器，当时钟信号到达下降沿时， Q_0 首先变为高电平， Q_1 、 Q_2 、 Q_3 不变，当第二个有效时钟信号达到时， Q_1 变为高电平同时 Q_0 变为低电平， Q_2 、 Q_3 保持不变，以此类推。图 4-7(b)中为与非门设计的顺序脉冲发生器，当时钟信号到达上升沿时， Q_0 变为高电平， Q_1 、 Q_2 、 Q_3 不变，当第二个上升沿到达时， Q_1 变为高电平同时 Q_0 变为低电平， Q_2 、 Q_3 保持不变，以此类推。从仿真结果可以看出在一个周期内，电路只能有一个信号为高电平，其它信号都为低电平，符合顺序脉冲发生器的工作原理，验证了电路的正确性。

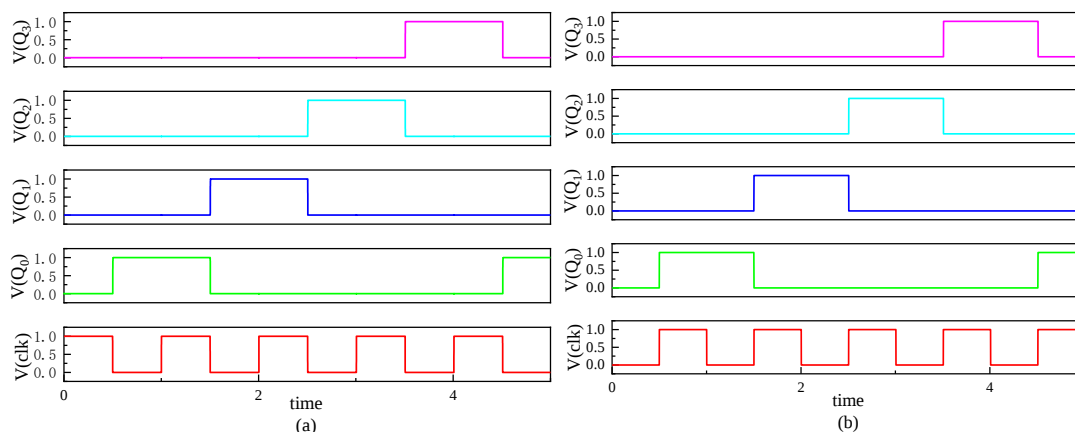


图 4-7 基于或非门(a)、与非门(b)的顺序脉冲发生器仿真结果

4.5 线性反馈移位寄存器在内建自测试中的应用

随着集成电路制造工艺技术向微米甚至纳米尺度发展，电路架构的复杂性和集成度越来越大，为了保证芯片的高质量以及可靠性，电路中对芯片的测试显得尤为重要。由于芯片的制造工艺不断减小，其集成度越来越高，因此对其进行测试期间所遇到的故障类型也会越来越复杂，测试量越来越大，测试的复杂性和所需时间也随之增加，其最终结果就是测试成本也在增加。可测性设计（Design for Testability, DFT）正成为大规模集成电路不可或缺的一部分，是因为电路测试必须考虑到测试成本。该测试项目的主要目的是在电路和芯片设计阶段就考虑测试成本，提前在电路和芯片中加入测试逻辑，从而提高最终测试阶段的测试效率，同时降低测试的复杂性和成本。此外，还可使用新的计算机

辅助设计工具，使这些工具自动插入设计电路，并优化生成的测试向量，以实现检测更多的错误率。结合计算机辅助设计工具，可以降低测试复杂性、测试成本、提高测试质量。

根据测试方法的不同，可测试设计可分为扫描（Scan）测试、边界扫描测试（Boundary Scan, BSCAN）和内建自测试。根据不同测试技术以及不同测试目标，内建自测试技术可分为逻辑内建自测试（Logic Built In Self Test, LBIST）和存储器内建自测试（Memory Built In Self Test, MBIST）。例如，嵌入式存储器的自检具有高集成度、高重复性等特点，完全可以满足这种测试的需要。数字测试逻辑电路的内置自检可采用扫描法和逻辑内建自测试两种测试方法，但这两种方法存在一定的区别，尤其是扫描的测试方法依赖于自动测试设备（Auto Test Equipment, ATE），提前在设备中存储全部的测试向量，并在测试电路的期间同时读取测试向量来达到测试目的。传统的测试资源越来越不足以满足对芯片测试的需求，虽然有很多现代测试设备可以满足这些要求，但它们的成本非常高，而且在测试的过程中还会增加测试时间，违反降低测试成本的原则。

而 BIST 则完美地解决了这些问题。其原理是在初始阶段，以增加一定的面积为代价，将测试向量生成器（Test Pattern Generation, TPG）、测试控制逻辑和比较器就已经集成到电路中。如果在测试阶段激活测试向量生成器，电路就能自动生成测试向量，并在全速测试完成时实时显示测试结果。然而，BIST 有许多缺点，包括需要额外空间、功耗高和故障覆盖率低。因此利用忆阻器自身的纳米尺寸、低功耗、切换速度快以及与 CMOS 相兼容等特性，将其引入到 BIST 电路中，在不影响电路原本功能的情况下，可以在降低电路面积的前提下作为电路可测试设计部分，在电路设计过程中减少不必要的成本损耗和浪费，降低相应的测试费用和难度，使电路能够在低成本、低功耗条件下，达到性能稳定、功能完善的目的。

4.5.1 逻辑内建自测试研究进展

逻辑内建自测试在国外有许多高校团队对其进行研究，如斯坦福大学的 Subhasish Mitra 教授，佛罗里达大学的 Mark M. Tehranipoor 教授以及德克萨斯大学奥斯汀分校的 Jacob Abraham 和 Nur A. Touba 教授等人。近年来针对低功耗设计和实现，有学者试图通过测试向量产生器（Test Pattern Generator, TPG）改

进设计^[69-70]、多输入特征寄存器（Multiple-Input Signature Register, MISR）改进设计^[71]等方法来降低测试功耗，均产生了一些新的研究成果。针对降低 LBIST 架构的面积开销和接口需求，Shiao 等人^[72]利用基于线性反馈移位寄存器（Linear Feedback Shift Register, LFSR）的同一硬件结构来同时实现测试向量产生和测试响应压缩的功能，以达到减少内建测试电路面积开销的效果。

LBIST 的国内相关研究团队主要有中国科学院计算技术研究所李晓维及李华伟研究员、合肥工业大学的梁华国教授、清华大学软件学院的向东教授等。李晓维研究员团队在确定性自测试电路结构设计方面做出了一些贡献^[73-74]，梁华国教授团队则在随机自测试与确定性自测试结合方面有一些研究成果^[75-76]，向东教授团队在内建自测试的测试码产生^[77]等方面均有比较好的研究成果产出。

4.5.2 基于忆阻器的内建自测试电路

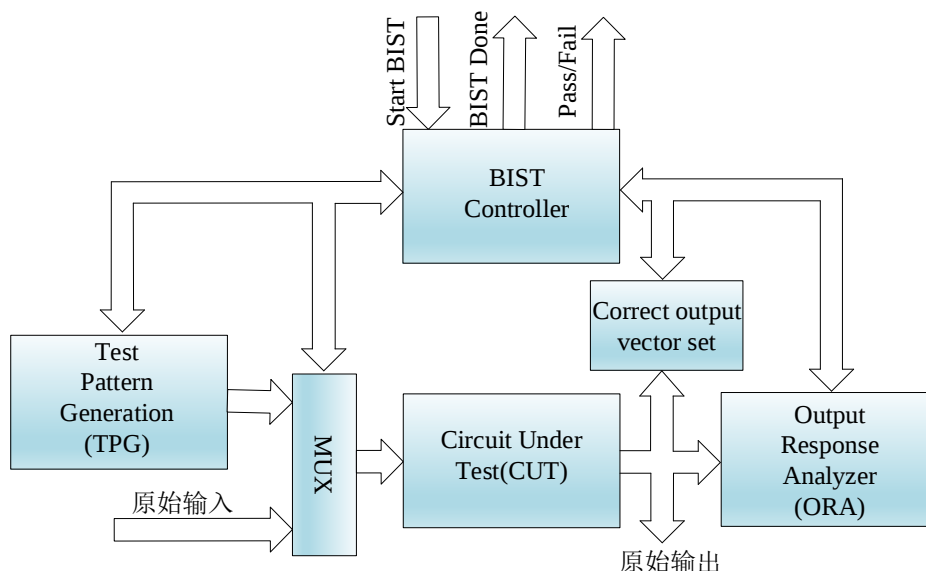


图 4-8 BIST 架构框图

随着集成电路的规模和复杂性的不断增加，内建自测试（BIST）已经成为电路和芯片设计中不可或缺的一部分。直接测试方法依赖于自动测试设备（ATE）来检测被测电路（CUT），昂贵且耗时。而 BIST 测试模式更经济高效。逻辑内建自测试（LBIST）是一种可测试性设计技术，利用芯片、板级或系统上的部分电路测试数字逻辑电路本身。LBIST 对于许多应用来说至关重要，尤其是国防、航空航天、自动驾驶等生命和任务关键型的应用。这些应用需要执行片上、板上或系统内自检，以提高整个系统的可靠性及执行远程诊断的能力。一般的 BIST 方案架构如图 4-8 所示，主要由测试模式生成器（TPG）、被测电路

(CUT)、输出响应分析器 (ORA) 和 BIST 控制器等几个模块组成。TPG 包括一个 n 位 LFSR 如图 4-9 ($C_i=1$ 、 $C_i=0$ 和 $L_i=0$ 分别表示连接、断开和逻辑操作)，用于生成伪随机测试向量，并提供给 CUT。CUT 的输出信号被 ORA 模块接收，并对其压缩分析产生特征值，然后与正确的特征值进行对比，从而判断芯片是否发生故障以及发生何种故障。BIST 控制器主要用于故障类型信号的接受与输出以及各模块之间的协调控制，包括控制电路在正常工作模式和测试模式之间的切换，协调整个测试过程。

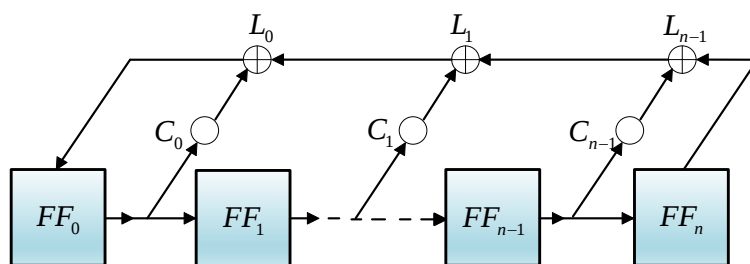


图 4-9 线性反馈移位寄存器(LFSR)

基于忆阻器模型本文设计了一种用于逻辑内建自测试电路 (LBIST)，其中 TPG 是一个 16 位 LFSR 构成。因此，首先实现 16 位 LFSR (如图 4-10 所示) 用以在每个周期中生成大量伪随机测试向量，然后将这些伪随机测试向量提供给设计的一个 CUT 模块，CUT 的输出结果提供给 ORA 进行比较分析。

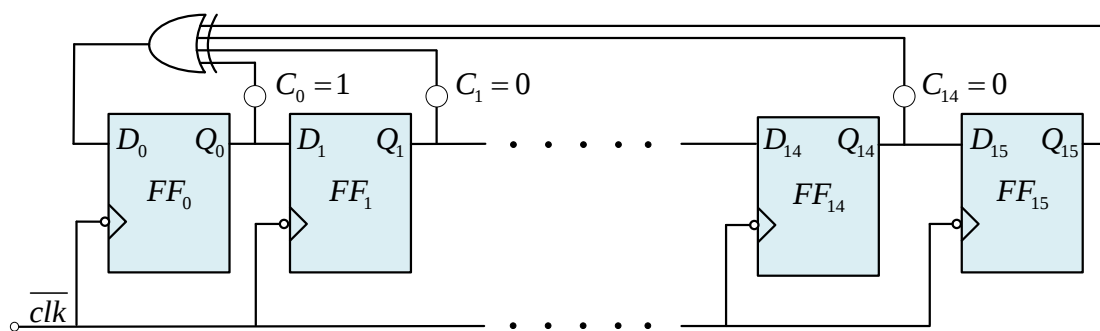


图 4-10 16 位线性反馈移位寄存器

4.5.3 基于忆阻器的内建自测试仿真

将内建自测试电路在 LTspice 中进行仿真，其中 16 位线性反馈移位寄存器作为输入，仿真结果如图 4-11，当下降沿信号第一次来临时， Q_0 变为高电平，其他信号不变，当第二次下降沿到达时， Q_0 不变， Q_1 变为高电平，剩余信号不变，依此类推，每当有效始终达到一次，指定的信号就会发生改变，符合寄存器的工作原理。图 4-12 为电路的输出仿真结果，对电路的输出设计了一个简单的输出响应分析器，对 CUT 的输出信号进行接收和检验，图中 V(1)、V(2)、

$V(3)$ 和 $V(4)$ 表示 CUT 的输出结果， V_{out} 是该 ORA 的输出。很明显 ORA 是一个奇偶校验器，当 $V(1)$ 到 $V(4)$ 中的“1”个数为奇数时，为高电平，否则为低电平。

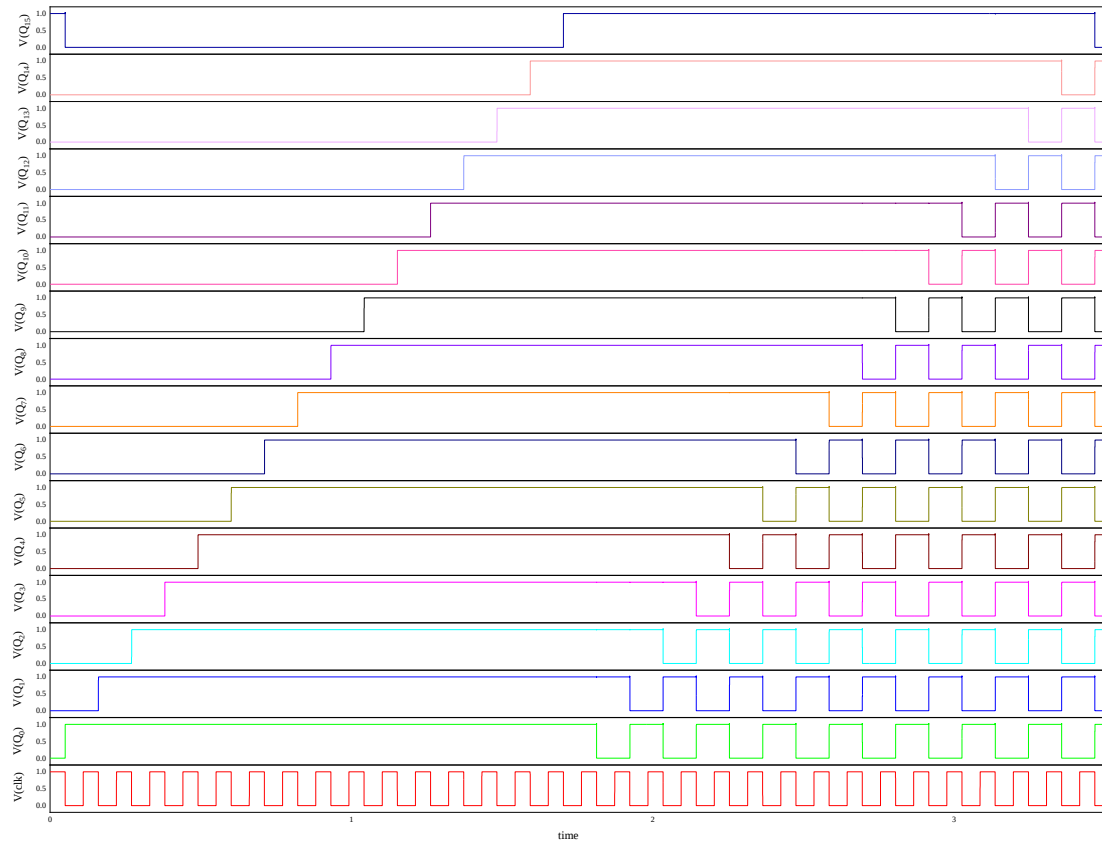


图 4-11 16 位 LFSR 的仿真结果

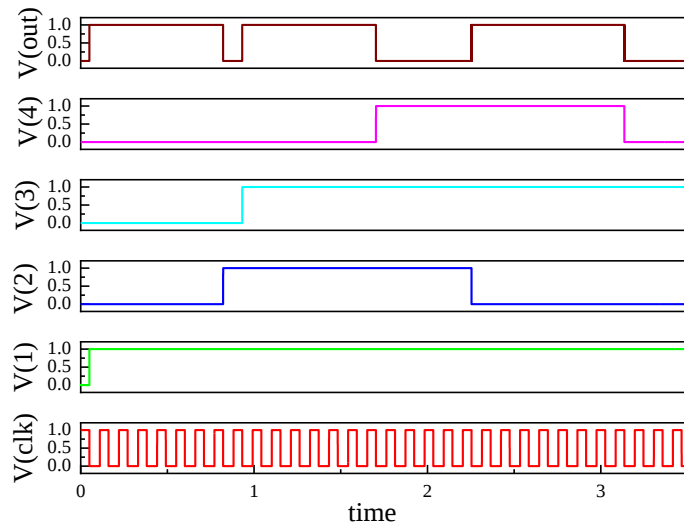


图 4-12 LBIST 仿真结果

4.6 本章小结

本章将所设计维持阻塞结构的 D 触发器为基础，设计了两种新的线性反馈移位寄存器电路，其触发信号分别为上升沿与下降沿，对其在 LTspice 中进行仿

真，验证电路的正确性。另外设计了下降沿触发的顺序脉冲发生器电路，并在 LTspice 中进行仿真验证电路正确性。其次对内建自测试进行背景介绍，同时引入 LBIST 的方法，对其叙述研究现状，最后对 LBIST 进行原理解释及其电路设计，将忆阻器引入进电路，其输入电路设计为 16 位线性反馈移位寄存器，输出模块设计一个 4 位奇偶校验器，最后对电路仿真，证明忆阻器在 LBIST 电路里的可行性。

第 5 章 总结与展望

5.1 工作总结

忆阻器作为区别于电阻、电容和电感的新型无源器件，具有纳米尺寸、低功耗、切换速度快、二值特性且与 CMOS 兼容等优点，应用领域极其广泛。但由于科学技术的局限性使得忆阻器的物理器件不能被大规模生产，因此设计各类忆阻器模型成为科研人员的研究重点。所以，本文的主要内容有以下几部分：

(1)首先，用改进的整形函数电路设计新的电压控制模型仿真器电路，LTspice 仿真结果发现新的电压控制模型仿真器电路滞回曲线特性更好、频率更高。将设计的仿真器电路通过商用分立器件在面包板上进行电路搭建，示波器中显示的滞回曲线完全符合忆阻器的指纹特性。另外，对通用 SPICE 模型参数进行调整以达到对滞回曲线优化的目的，将优化的 SPICE 模型用于设计后续忆阻器逻辑电路。

(2)利用忆阻器与 CMOS 兼容的特性，基于忆阻比例逻辑的方法设计基本逻辑门与典型触发电路。其中，MOS 晶体管采用了 50nm BSIM4 工艺模型库。设计与非、或非门电路，并以两种门电路为基础设计了 SR 触发器、JK 触发器、T 触发器和 D 触发器等经典触发电路。针对两级反转结构中信号传输的可复用性，设计了两种简化的维持阻塞 D 触发器，优化了信号线的链接，减少了器件数量。通过 LTspice 仿真验证了电路的稳定性和正确性。

(3)用上述设计的维持阻塞 D 触发器，设计了顺序脉冲发生器以及两种新的 4 位线性反馈移位寄存器电路，在 LTspice 中仿真验证电路的正确性。此外将本文所设计的两种寄存器电路与现有寄存器电路进行对比，不仅显著减少了器件数量，另外，功耗分别降低了 34.3%和 34.9%，延迟时间也分别缩短了 34.7%和 33.2%，体现本文所设计的电路在性能上的显著优势。将设计的线性反馈移位寄存器电路应用于内建自测试电路中，LTspice 仿真验证了电路的可行性。

5.2 研究展望

忆阻器作为基本电路元件，在逻辑电路设计和集成电路应用等领域都具有巨大潜力。本文介绍了忆阻器模型电路，设计了基于忆阻比例逻辑的各种触发

器电路，并应用于与内建自测试电路。虽然所设计电路的性能良好、波形稳定，但仍有不足之处需要进一步研究和改进，主要如下：

(1)本文采用通用忆阻器 SPICE 模型与 CMOS 工艺相结合设计电路，虽然对电路实现了优化，但随着忆阻器模型研究的深入，许多性能优越的模型被提出，可以尝试使用其它模型对电路进行设计。

(2)本文对数字电路的设计，虽然运用忆阻器的二值特性实现逻辑运算功能，但忆阻器的存储功能并没有应用到，后续需要进一步对存储功能进行研究与应用，另外本文只设计了同步触发器，后续还可用忆阻器设计异步、复位等触发器电路。

(3)以维持阻塞 D 触发器为基础，本文只设计了线性反馈移位寄存器和顺序脉冲发生器电路，但计数器电路并未涉及，包括同步、异步，二进制、五进制、十六进制等计数器电路，后续对这些方面都需要拓展。另外本文只是将忆阻器应用于内建自测试电路中，通过输出检测是否发生故障，但并没有精准定位电路故障位置的功能，后续还可对这个方向进行深入研究。

(4)使用阵列结构设计的蕴含逻辑和辅助逻辑对实现新的计算机结构、性能很有帮助，但目前对这两种逻辑电路的研究还不够充分。由于蕴含逻辑的使用在神经网络和混沌电路等研究领域更具优势，因此需要进一步深入研究这两种逻辑电路。

参考文献

- [1] 益民. 数字集成电路现状和发展趋势[J]. 微电子学, 1973, (Z1):1-27.
- [2] 逢健, 刘佳. 摩尔定律发展述评[J]. 科技管理研究, 2015, 35(15): 46-50.
- [3] Arden WM. The international technology roadmap for semiconductors—perspectives and challenges for the next 15 years[J]. Current Opinion in Solid State and Materials Science, 2002, 6(5): 371-377.
- [4] 彭练矛. 2020 年之后的电子学:碳基电子学的机遇和挑战[J]. 科学, 2016, 68(02): 11-15+4.
- [5] Lin CY, Ker MD, Chang PH, et al. Study on the ESD-induced gate-oxide breakdown and the protection solution in 28nm high-k metal-gate CMOS technology[C]. 2015 IEEE Nanotechnology Materials and Devices Conference (NMDC), 2015: 1-4.
- [6] 魏文浩. 试论数字电路的研究与应用[J]. 硅谷, 2010 (3): 33-33.
- [7] Dorojevets M, Bunyk P, Zinoviev D, et al. COOL-0: Design of an RSFQ subsystem for petaflops computing[J]. IEEE transactions on applied superconductivity, 1999, 9(2): 3606-3614.
- [8] Lin YM, Appenzeller J, Chen Z, et al. High-performance dual-gate carbon nanotube FETs with 40-nm gate length[J]. IEEE Electron device letters, 2005, 26(11): 823-825.
- [9] 殷明慧, 杨玉超, 黄如. 神经形态器件现状与未来[J]. 国防科技, 2016, 37(06): 23-30.
- [10] Chua L. Memristor-the missing circuit element[J]. IEEE Transactions on circuit theory, 1971, 18(5): 507-519.
- [11] Alharbi AG. Practical Memristor Emulator Circuit Development Techniques for Analog Applications[M]. University of Missouri-Kansas City, 2017.
- [12] Strukov DB, Snider GS, Stewart DR, et al. The missing memristor found[J]. nature, 2008, 453(7191): 80-83.
- [13] Dong Y, Wang G, Wang Z, et al. Neuromorphic behaviors of the 4-lobe chua corsage memristor[J]. International Journal of Bifurcation and Chaos, 2022, 32(04): 2250058.
- [14] Guo Q, Wang N, Zhang G. A novel current-controlled memristor-based chaotic

- circuit[J]. *Integration*, 2021, 80: 20-28.
- [15] Lai Q, Wan Z, Kuate PD, et al. Coexisting attractors, circuit implementation and synchronization control of a new chaotic system evolved from the simplest memristor chaotic circuit[J]. *Communications in Nonlinear Science and Numerical Simulation*, 2020, 89: 105341.
- [16] Minati L, Gambuzza LV, Thio WJ, et al. A chaotic circuit based on a physical memristor[J]. *Chaos, Solitons & Fractals*, 2020, 138: 109990.
- [17] Song Q, Chang H, Li Y. Complex dynamics of a novel chaotic system based on an active memristor[J]. *Electronics*, 2020, 9(3): 410.
- [18] Cui A, Chang Z, Wang Z, et al. A memristor-based scan hold flip-flop[C]. 2019 IEEE Non-Volatile Memory Systems and Applications Symposium (NVMSA), 2019: 1-2.
- [19] Dai GZ, Zhao ZY, Song XW. Design and application of memristor hybrid logic circuit. [J] *Chinese science: Information science*, 2023, 53(01): 178-190.
- [20] Hong Q, Shi Z, Sun J, et al. Memristive self-learning logic circuit with application to encoder and decoder[J]. *Neural Computing and Applications*, 2021, 33: 4901-4913.
- [21] Jiang F, Yuan F, Li Y. Design and implementation of XOR logic circuit based on generalized memristor[J]. *The European Physical Journal Special Topics*. 2022, 231(3): 481-491.
- [22] Liu G, Shen S, Wang G, et al. Design of memristor-based combinational logic circuits[J]. *Circuits, systems, and signal processing*, 2021, 40(12): 5825-5846.
- [23] Luo L, Dong Z, Duan S, et al. Memristor-based stateful logic gates for multi-functional logic circuit[J]. *IET Circuits, Devices & Systems*, 2020, 14(6): 811-818.
- [24] Song Y, Wu Q, Wang X, et al. Two memristors-based XOR logic demonstrated with encryption/decryption[J]. *IEEE Electron Device Letters*, 2021, 42(9): 1398-1401.
- [25] Cai F, Kumar S, Van Vaerenbergh T, et al. Power-efficient combinatorial optimization using intrinsic noise in memristor Hopfield neural networks[J]. *Nature Electronics*, 2020, 3(7): 409-418.
- [26] Lin H, Wang C, Hong Q, et al. A multi-stable memristor and its application in a neural network[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, 67(12): 3472-3476.
- [27] Tu K, Xue Y, Zhang X. A new approach based on system solutions for passivity

- analysis of discrete-time memristor-based neural networks with time-varying delays[J]. *Applied Mathematics and Computation*, 2024, 469: 128551.
- [28] Xu W, Wang J, Yan X. Advances in memristor-based neural networks[J]. *Frontiers in Nanotechnology*, 2021, 3: 645995.
- [29] Yang Z, Zhao B, Liu D. Synchronization of Delayed Memristor-Based Neural Networks via Pinning Control With Local Information[J]. *IEEE Transactions on Neural Networks and Learning Systems*, 2023.
- [30] Zhang L, Wang Y, Leng X, et al. Analysis of neural network connections based on memristors and their multiple offset phenomena[J]. *Physica Scripta*, 2023, 98(11): 115221.
- [31] 叶沁桐. 基于忆阻器的 LSTM 神经网络存内计算架构设计[J]. *集成电路应用*, 2023, 40(10): 18-21.
- [32] Liu S, Wang Y, Fardad M, et al. A memristor-based optimization framework for artificial intelligence applications[J]. *IEEE Circuits and Systems Magazine*, 2018, 18(1): 29-44.
- [33] Zhao C, Shen ZJ, Zhou GY, et al. Neuromorphic Properties of Memristor towards Artificial Intelligence[C]. 2018 International SoC Design Conference (ISOCC), 2018: 172-173.
- [34] 陈子龙, 程传同, 董毅博等. 忆阻器类脑芯片与人工智能[J]. *微纳电子与智能制造*, 2019, 1(04): 58-70.
- [35] 任宽, 张握瑜, 王菲等. 基于忆阻器阵列的下一代储池计算[J]. *物理学报*, 2022, 71(14): 50-59.
- [36] 吴杰, 王光义, 丘嵘等. 忆阻器数字化仿真器的设计与实现[J]. *杭州电子科技大学学报(自然科学版)*, 2018, 38(05): 1-6.
- [37] 杨辉, 段书凯, 董哲康等. 基于忆阻器-CMOS 的通用逻辑电路及其应用[J]. *中国科学:信息科学*, 2020, 50(02): 289-302.
- [38] Pickett MD, Strukov DB, Borghetti JL, et al. Switching dynamics in titanium dioxide memristive devices[J]. *Journal of Applied Physics*, 2009, 106(7).
- [39] Simmons JG. Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film[J]. *Journal of applied physics*, 1963, 34(6): 1793-1803.
- [40] Lehtonen E, Poikonen J, Laiho M, et al. Time-dependency of the threshold voltage in memristive devices[C]. 2011 IEEE International Symposium of Circuits and

- Systems (ISCAS), 2011: 2245-2248.
- [41] Kvatinsky S, Friedman EG, Kolodny A, et al. TEAM:Threshold adaptive memristor model[J]. IEEE transactions on circuits and systems I: regular papers, 2012, 60(1): 211-221.
- [42] Kvatinsky S, Ramadan M, Friedman EG, et al. VTEAM:A general model for voltage-controlled memristors[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2015, 62(8): 786-790.
- [43] 张娜. 基于忆阻器的加法器和乘法器高效设计与模拟[D]. 国防科学技术大学, 2012.
- [44] 徐小华. 忆阻器测试方法及其触发器应用研究[D]. 华中科技大学, 2016.
- [45] Gul F, Efeoglu H. Bipolar resistive switching and conduction mechanism of an Al/ZnO/Al-based memristor[J]. Superlattices and Microstructures, 2017, 101: 172-179.
- [46] 黄达. 基于忆阻器的自治容错技术研究[D]. 国防科学技术大学, 2016.
- [47] Chang MF, Yang SM, Kuo CC, et al. Set-triggered-parallel-reset memristor logic for high-density heterogeneous-integration friendly normally off applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 62(1): 80-84.
- [48] Zhou Y, Li Y, Xu L, et al. A hybrid memristor-CMOS XOR gate for nonvolatile logic computation[J]. physica status solidi (a), 2016, 213(4): 1050-1054.
- [49] Chen C, Hu W. Memristive multiplexed flip-flop for scan testing[C]. 2016 International Conference On Communication Problem-Solving (ICCP), 2016: 1-2.
- [50] 韩琪, 王旭亮, 吴巧等. 基于 R-HBT 模型的三值 CMOS 忆阻混合型 D 触发器[J]. 杭州电子科技大学学报(自然科学版), 2021, 41(06): 1-5.
- [51] 段鑫沛, 肖平旦, 殷亚楠等. 基于忆阻器混合 CMOS 的三模冗余锁存器[J]. 中国集成电路, 2024, 33(Z1): 51-56.
- [52] Kvatinsky S, Belousov D, Liman S, et al. MAGIC—Memristor-aided logic[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2014, 61(11): 895-899.
- [53] Mane P, Talati N, Riswadkar A, et al. Reconfiguration on nanocrossbar using material implication[J]. Sādhanā, 2017, 42(1): 33-44.
- [54] Robinett W, Pickett M, Borghetti J, et al. A memristor-based nonvolatile latch circuit[J]. Nanotechnology, 2010, 21(23): 235203.
- [55] Mbarek K, Ghedira S, Rzigga FO, et al. Design and analysis of nonvolatile

- memristor-based SR Latch[C]. 2020 IEEE International Conference on Design & Test of Integrated Micro & Nano-Systems (DTS), 2020: 1-5.
- [56] Kvatinsky S, Wald N, Satat G, et al. MRL—Memristor ratioed logic[C]. 2012 13th International Workshop on Cellular Nanoscale Networks and their Applications, 2012: 1-6.
- [57] Kim H, Sah MP, Yang C, et al. Neural synaptic weighting with a pulse-based memristor circuit[J]. IEEE Transactions on Circuits and Systems I: Regular Papers. 2011, 59(1): 148-158.
- [58] Itoh M, Chua LO. Memristor oscillators. International journal of bifurcation and chaos[J]. 2008, 18(11): 3183-3206.
- [59] Wang X, Zhang X, Gao M. A novel voltage-controlled tri-valued memristor and its application in chaotic system[J]. Complexity, 2020, 2020: 1-8.
- [60] 韩昊轩, 张国峰, 张雪等. 低噪声超导量子干涉器件磁强计设计与制备[J]. 物理学报, 2019, 68(13): 301-306.
- [61] Chua LO, Kang SM. Memristive devices and systems[J]. Proceedings of the IEEE, 1976, 64(2): 209-223.
- [62] Chua L. If it's pinched it's a memristor. Semiconductor Science and Technology[J]. 2014, 29(10): 104001.
- [63] Chua L. Resistance switching memories are memristors[J]. Handbook of memristor networks, 2019: 197-230.
- [64] Yakopcic C, Taha TM, Subramanyam G, et al. Generalized memristive device SPICE model and its application in circuit design[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(8): 1201-1214.
- [65] R. J. Baker, CMOS: circuit design, layout, and simulation[M]. John Wiley & Sons, 2019.
- [66] Agarwal S, Pandey N, Choudhary B, et al. Design of MCML-based LFSR for low power and mixed signal applications[C], 2015 Annual IEEE India Conference (INDICON), 2015: 1-6.
- [67] Tyagi A, Pandey N, Gupta K. PFSCCL based linear feedback shift register[C]. 2016 international conference on computational techniques in information and communication technologies (ICCTICT), 2016: 580-585.
- [68] Sasi A, Amirsoleimani A, Ahmadi A, et al. Hybrid memristor-CMOS based linear

- feedback shift register design[C], 2017 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS), 2017: 62-65.
- [69] Hussain S, Rao VM. An SIC-BS linear feedback shift register for low power BIST[C]. 2017 Devices for Integrated Circuit (DevIC), 2017: 606-610.
- [70] Mukherjee M, Geethu RS, Bhakthavatchalu R. A Proposal for Design and Implementation of a Low Power Test Pattern Generator for BIST Applications[C]. 2022 Second International Conference on Artificial Intelligence and Smart Energy (ICAIS), 2022: 1520-1524.
- [71] Kiran NR, Harish G, Karthik A, et al. Low power and hardware cost STUMPS BIST[J]. 2015 19th International Symposium on VLSI Design and Test, 2015: 1-4.
- [72] Shiao CM, Lien WC, Lee KJ. A test-per-cycle BIST architecture with low area overhead and no storage requirement[C]. 2016 International Symposium on VLSI Design, Automation and Test (VLSI-DAT), 2016: 1-4.
- [73] Li J, Han Y, Li X. Deterministic and low power BIST based on scan slice overlapping[C]. 2005 IEEE International Symposium on Circuits and Systems (ISCAS), 2005: 5670-5673.
- [74] Wen K, Hu Y, Li X. Deterministic circular self test path[J]. Tsinghua Science & Technology, 2007, 12: 20-25.
- [75] Hellebrand S, Liang HG, et al. A mixed mode BIST scheme based on reseeding of folding counters[J]. Journal of Electronic Testing, 2001, 17: 341-349.
- [76] Liang HG, Hellebrand S, Wunderlich HJ. Two-dimensional test data compression for scan-based deterministic BIST[J]. Journal of Electronic Testing, 2002, 18: 159-170.
- [77] Wen X, Wang LT. Low-power scan-based built-in self-test based on weighted pseudorandom test pattern generation and reseeding[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 25(3): 942-953.

攻读学位期间发表的学术成果

(1)以第二作者在 electronics 期刊发表论文一篇(SCI 三区，已检索)。

致谢

转眼三年时光匆匆而过，研究生生涯即将结束，面临毕业，感慨万千。一路走来，从刚开始踏入按工程到即将走上工作岗位，在这段时间里不仅提升了自己的专业知识，也学会了更好地自我思考和解决问题，这些都离不开导师的悉心教导和师兄、同门的热心帮助，再次对他们表示衷心的感谢。

首先，非常衷心的感谢我的导师代广珍教授，自入门以来，无论是日常的交流还是开会时对学术的讨论，我都能从代老师的身上学到许许多多的宝贵知识以及做人的道理，虽然代老师平时工作繁忙，但还是义无反顾的抽出宝贵的时间关心我生活中遇到的困难以及问题，并且还经常提醒我多锻炼身体，同时还会指导我学术中的难题。每当遇到学术中解决不了的问题时，代老师都会尽心尽力的帮助我，即使有些问题研究很长时间也还是非常和蔼、温柔的对我讲解知识点，代老师身上所具有的广阔的专业知识以及严谨求实的治学作风是我学习的楷模，同时也是我科研路上的引路人和指明灯，在此诚挚地对代老师说一声谢谢！

感谢实验室的两位师兄：赵振宇，宋兴文，他们在我刚入实验室时，在科研以及生活上都给予了很多的照顾，耐心的为我指导学术上的问题，除了科研时间外两位师兄还经常带我一起运动打篮球，以缓解科研的压力，实验室正是有两位师兄，学习氛围被引导的很浓厚。感谢我的两位同门：杜星焱，李文娟。在平时的科研中和她们互帮互助才有了最后的成果，没有他们，我的研究生期间也不会这么顺利完成，与她们共同学习的时光里，感觉到很快乐和充实。感谢我的师弟们，在实验室中与他们一起讨论问题，感觉成长了很多，和他们讨论问题的同时还能弄懂平时学习上的盲点，加深了我对专业知识的理解。

最后深深的感谢我的女朋友以及我的父母，真是因为有了他们给我最大的支持，才能使我一路坚持下来，无论我做出什么样的决定，他们都会无条件的支持我、理解我。他们是我生活上的依靠，温馨的家庭环境让我感到非常的信服和快乐。

衷心的感谢他们默默的为我付出！

尚德敏学 唯实惟新

