

分类号: TM921

密 级: 公开

学校代码: 10363

学 号: 2210330102



安徽工程大学

Anhui Polytechnic University

硕士学位论文

题 目 基于 FPGA 的高压脉冲调器
数据采集系统研究与实现

论 文 作 者 周聪
校 内 导 师 张春（教授）
校 外 导 师 刘新明
专业学位类别 控制工程（085406）
研究方向（领域） 控制工程与自动化技术

论文提交日期: 2024 年 5 月 31 日

分类号：TM921.

单位代码：10363

密 级：公开

学 号：2210330102

题 目 基于 FPGA 的高压脉冲调制器数据采集系统
研究与实现

题 目 RESEARCH AND IMPLEMENTATION OF
FPGA-BASED HIGH-VOLTAGE PULSES
MODULATOR DATA ACQUISITION
SYSTEM

学 生 姓 名： 周 聪

指 导 教 师： 张 春

专 业： 控制工程

研 究 方 向： 控制工程与自动化技术

论文答辩日期： 2024 年 05 月 24 日

安徽工程大学学位论文原创性声明

本人郑重声明：我恪守学术道德，崇尚严谨学风。所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已明确注明和引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的作品及成果的内容。论文为本人亲自撰写，我对所写的内容负责，并完全意识到本声明的法律后果由本人承担。

学位论文作者签名：周聪

日期：2024年 05月 28日

安徽工程大学学位论文版权使用授权书

学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅或借阅。本人授权安徽工程大学可以将本学位论文的全部内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密 ☐，在 _____ 年解密后适用本版权书。

本学位论文属于

不保密 ☒。

学位论文作者签名：

周聪

指导教师签名：

张春

日期：2024 年 05 月 28 日

日期：2024 年 05 月 28 日

基于 FPGA 的高压脉冲调制器数据采集系统研究与实现

摘 要

高压脉冲调制器是粒子加速器微波功率源系统中常见的电源设备，在医疗成像设备、雷达系统、等离子体物理研究中得到广泛应用。随着粒子加速器技术的不断进步，对脉冲调制器的稳定性要求日益提高，需确保高压脉冲调制器系统的可靠运行。然而，确保脉冲调制器可靠运行的前提是调制器能够产生准确的输出脉冲信号，这需要测试人员通过实时采集和监测高压脉冲调制器输出脉冲信号来完成。

目前，国内的高压脉冲调制器研发企业通常使用示波器结合电流互感器来测量调制器输出脉冲电流波形、使用示波器与分压器测量调制器输出脉冲电压波形。这种方式繁琐，需要配置示波器来进行波形测量，且获得的波形数据与控制系统不兼容。因此，本文提出了基于 FPGA 的高压脉冲调制器数据采集系统的设计，以提升现有高压脉冲调制器数据采集领域的不足，从而实现对调制器系统输出的信号的精确采集和处理。

本文首先对高压脉冲调制器系统的性能指标进行分析，然后根据系统要求选择实现本系统所需的关键芯片，并进一步提出了系统的整体设计方案和框架。本系统采用 Verilog 硬件编程语言开发，采用自顶向下的设计框架来建立控制系统。系统结构分为数据采集、信号处理和串行通信三个单元。

数据采集单元主要负责接收和打包来自外部高速模数转化芯片的数据。为提高信号采集的准确性，本文设计了带有方向性的同步信号控制电平触发模块。

信号处理单元主要将受强干扰环境下影响的脉冲信号进行过滤。本文设计了一种改进分数阶麻雀搜索优化 LMS 数字滤波算法 (FDSSA-LMS)，采用 Verilog 硬件编程语言在 FPGA 中实现了 FDSSA-LMS 滤波算法的数字信号处理。

串行通信负责 PC 端主机与从机之间的通信，使系统能够通过串口从主机接收指令，并通过从机将处理后的数据传输到主机。为了满足现实需求，数据需要进行打包处理以进行多字节数据通信。因此，选择了被广泛采用的 RS485 串行通信协议。

通过基于 FPGA 的高压脉冲调制器数据采集系统的研究与设计，本文设计的系统实现了对高压脉冲调制器输出信号滤波处理和监测的功能。设计的高压脉冲调制器数据采集系统有效弥补了 DSP+单片机在数据采集和信号处理方面的不足，并在一定程度上取代示波器进行波形观测。本文设计的系统具有高采样精度、灵活性和可移植性等优点，对提高高压脉冲调制器的稳定性具有重要的工程应用价值。

关键词：高压脉冲调制器，国产 FPGA，数据采集，同步触发，滤波算法

RESEARCH AND IMPLEMENTATION OF FPGA-BASED HIGH-VOLTAGE PULSE MODULATOR DATA ACQUISITION SYSTEM

ABSTRACT

High-voltage pulse modulators serve as ubiquitous power supply components within particle accelerator microwave power source systems, finding extensive application across diverse domains including medical imaging apparatus, radar systems, and plasma physics investigations. As particle accelerator technology continues to advance, the demand for stability in pulse modulators escalates, necessitating the dependable operation of high-voltage pulse modulator systems. However, the assurance of reliable modulator operation hinges upon the devices capability to generate precise output pulse signals, a task that mandates real-time acquisition and monitoring of the high-voltage pulse modulator output signals by trained personnel.

Presently, indigenous high-voltage pulse modulator development entities conventionally employ oscilloscopes in conjunction with current transformers to capture the modulators output pulse current waveform and employ oscilloscopes with dividers to capture the modulators output pulse voltage waveform. However, this approach is cumbersome, requiring meticulous oscilloscope configuration for waveform assessment, and yields waveform data that is incompatible with the control system. Consequently, this paper advocates for the design of a high-voltage pulse modulator data acquisition system based on FPGA technology, aiming to mitigate the deficiencies in the prevailing landscape of high-voltage pulse modulator data acquisition, thereby facilitating

precise acquisition and processing of signals emitted by the modulator system.

This study undertakes an initial analysis of the performance metrics associated with the high-voltage pulse modulator system, subsequently identifying, and selecting the requisite key chips needed for system implementation in accordance with the stipulated requirements. Furthermore, the paper outlines the overarching design methodology and framework of the system, developed employing the Verilog hardware programming language and adhering to a top-down design approach to construct the control system. The architectural layout of the system encompasses three discrete units: data acquisition, signal processing, and serial communication.

The data acquisition unit assumes primary responsibility for receiving and packaging data originating from external high-speed analog-to-digital conversion chips. To enhance signal acquisition accuracy, this paper introduces a directional synchronous signal control level trigger module.

The signal processing unit is primarily tasked with filtering pulse signals susceptible to interference from robust environmental conditions. To address this challenge, an enhanced fractional-order sparrow search optimization LMS digital filtering algorithm (FDSSA-LMS) is proposed in this study, with its implementation in FPGA facilitated through the Verilog hardware programming language.

Serial communication is entrusted with facilitating communication between the PC host and the slave, enabling the bidirectional transfer of instructions from the host to the system via the serial port, and the transmission of processed data from the system to the host via the slave. To meet the exigencies of practical application, data

necessitates packaging for multi-byte data communication, prompting the adoption of the widely embraced RS485 serial communication protocol.

Through the systematic research and design of the FPGA-based high-voltage pulse modulator data acquisition system, the system devised in this study realizes the dual functionality of filtering and monitoring the output signals of the high-voltage pulse modulator. Moreover, the designed high-voltage pulse modulator data acquisition system effectively rectifies the deficiencies inherent in DSP+ microcontrollers concerning data acquisition and signal processing, and to some extent, supplants oscilloscopes for waveform observation. Noteworthy advantages of the system devised in this paper include high sampling accuracy, flexibility, and portability, all of which bear significant engineering implications in enhancing the stability of high-voltage pulse modulators.

KEY WORDS: high-voltage pulse modulator, domestic FPGA, data acquisition, synchronous triggering, filtering algorithm

目 录

第 1 章 绪论	1
1.1 研究背景及意义	1
1.2 国内外发展现状	2
1.3 研究内容和论文组织框架	5
1.3.1 研究内容	5
1.3.2 论文组织框架	6
第 2 章 FPGA 数据采集系统总体设计	7
2.1 系统应用背景概括	7
2.2 数据采集系统需求	9
2.2.1 数据采集需求	9
2.2.2 数据存储需求	9
2.2.3 数据信号处理需求	10
2.2.4 通讯系统需求	11
2.3 数据采集系统总体结构	12
2.4 本章小结	13
第 3 章 FPGA 数字信号处理系统设计	14
3.1 基于改进分数阶优化麻雀搜索算法	14
3.1.1 分数阶麻雀搜索算法	14
3.1.2 Circle 混沌初始化改进 FDSSA	14
3.2 改进 FDSSA-LMS 数字滤波器的设计与实现	15
3.2.1 LMS 滤波算法	16
3.2.2 改进 FDSSA-LMS 数字滤波器在 FPGA 中的设计	17
3.3 本章小结	21
第 4 章 FPGA 数据采集系统硬件设计	22
4.1 FPGA 数据采集系统硬件方案	22
4.2 FPGA 数据采集系统主控模块	22
4.3 AD9238 数据采集模块电路	23

4.4 其他模块电路设计	28
4.4.1 复位模块	28
4.4.2 时钟模块	28
4.4.3 电源模块	29
4.5 PCB 设计	30
4.6 本章小结	31
第 5 章 FPGA 数据采集系统软件设计	32
5.1 数据采集系统 FPGA 程序逻辑模块设计	32
5.2 带有方向性的同步信号控制电平触发方式设计	32
5.3 AD9238 数据采集模块程序设计	36
5.4 数据存储模块程序设计	37
5.5 本章小结	38
第 6 章 系统实验测试	39
6.1 系统实验测试平台	39
6.2 高压脉冲调制器数据采集系统板级测试	40
6.2.1 数据采集系统电源测试	40
6.2.2 数据采集系统 AD 采样模块测试	41
6.3 数据采集系统调制器信号捕获测试	43
6.4 本章小结	46
第 7 章 总结与展望	47
7.1 全文总结	47
7.2 后续工作展望	47
参考文献	49
攻读硕士学位期间的研究成果	54
致谢	54

第 1 章 绪论

1.1 研究背景及意义

本文研究的高压脉冲调制器属于脉冲功率技术领域，起源于上世纪三十年代。自上世纪六十年代以来，随着加速器技术的迅速发展，高压脉冲调制器得到了广泛应用^[1]。高压脉冲调制器以间歇性供电特性为特征，在高能物理、粒子加速器、金属材料加工、食品消毒、环境除尘和消毒等各个领域都得到了广泛应用。这些应用场景均需要一种可靠的、高能量、可调脉冲宽度和频率、双极性、平顶的脉冲电压电流信号^[2-5]。

最初，这项技术主要是为了满足军事需求而进行研究的。然而，随着技术的进步和人类对其理解的加深，脉冲功率技术逐渐渗透到工业和民用领域。随着应用领域的不断扩展，对高压脉冲调制器数据采集的需求也在不断增长^[6-8]。这包括对输出脉冲电压和电流的峰值检测、脉冲宽度和频率的检测、过压和过流保护，以及在 PC 端上显示波形等。

目前，全球主要电源制造商都在积极参与高压脉冲调制器的生产和研究。瑞典的 ScandiNova 公司是高压脉冲调制器行业的典范企业。该公司的脉冲调制器系列可以收集输出脉冲形状和幅度的数据，并能够随着时间调整峰值和平均功率输出，以满足不断变化的系统需求^[9]。然而，国内生产的脉冲调制器在这些方面仍存在一定的不足。因此，基于 FPGA 的高压脉冲调制器数据采集系统的研究对于弥合国内外设备之间的差距具有重要意义。

通常国内高压脉冲调制器研发和制造企业使用示波器与电流互感器测量脉冲电流波形、使用分压器的示波器测量脉冲电压波形。然而，这种测量方法繁琐，需要对示波器进行配置，并且测得的波形数据无法直接应用于控制系统。本文研究的基于 FPGA 的高压脉冲调制器数据采集系统可以使用户方便地观察调制器输出的信号。此外，本系统还支持输出脉冲电压和电流的峰值检测、数字滤波以及在 PC 端上显示波形等功能。将外接示波器替换为根据系统要求定制的高压脉冲调制器数据采集 PCB 板，实现集成化，对于高压脉冲调制器数据采集系统的发展和应用至关重要。

高压脉冲调制器通常工作在强干扰环境下,因此对于系统需要采集的脉冲调制器输出信号易受到高频干扰。因此,设计适合的数字信号处理系统,使高压脉冲调制器输出正确稳定的脉冲信号,对于磁控管等微波设备的稳定工作具有重要的现实意义。

近年来,全球贸易战等因素导致国外设备和芯片短缺,从而推动了国内市场对芯片需求的增加^[10]。在这种背景下,采用国产 FPGA 并将其集成到高压脉冲调制器数据采集系统中,逐步替代进口芯片和零部件,有助于解除国外市场对国内市场的限制。采用 FPGA 作为高压脉冲调制器数据采集核心处理器,以弥补 DSP + 单片机自身的不足与缺陷,这对于进一步提高高压脉冲电源的稳定性和降低系统故障率至关重要^[11-15]。

1.2 国内外发展现状

数据采集系统的发展可以追溯到计算机技术的早期阶段。随着信息技术的不断发展和普及,数据采集系统经历了几个关键阶段^[16]:

(1) 手工数据收集阶段:在计算机技术尚处于起步阶段时,数据收集主要依赖于手工操作。工作人员通过手动记录、填写表格或进行调查问卷,然后进行手工处理和存储。

(2) 批量数据输入阶段:随着计算机技术的进步,批量数据输入系统得以开发。这些系统通过扫描纸质文件或输入电子表格和文本文件等方式将数据导入计算机系统。

(3) 自动化数据采集阶段:传感器技术和计算机网络技术的进步催生了自动化数据采集系统。传感器能够自动检测环境中的各种参数,并实时将数据传输到计算机系统中。

(4) 实时数据处理与分析阶段:随着互联网和云计算技术的发展,数据采集系统从简单的数据收集和存储转向了注重实时数据处理与分析的能力。数据可以即时传输到云端服务器进行处理和分析,实现了实时监控和预测分析等功能。

(5) 多源数据融合与智能化阶段:随着数据来源的多样化和数据量的增加,数据采集系统开始注重多源数据的融合和整合,以及智能化处理与应用能力。通过整合来自不同来源的数据,用户可以获取更全面和准确的信息。

总之，数据采集系统的发展轨迹经历了从手工数据收集到自动化、实时处理和智能化的过程。这一演进不断满足数据处理与应用的不断变化需求，推动了信息化和数字化的进程。

目前国外厂家的数据采集及处理系统在整体上处在领先地位，其中包括美国的 Vitrek、NI（National Instruments）、TI(TEXAS INSTRUMENTS)等，他们的技术水平和产品质量都处于国际领先地位。

Vitrek 提出 PCIe Gen3 数字化仪具有前所未有的速度和分辨率，具有 1GS/s 和 600MHz 带宽的四个或两个 16 位通道，PCIe 数据流速率高达 5.2GB/s。Razor Max Express 还提供四个 16 位通道、速率为 500MS/s、带宽为 300MHz^[17]。该采集板成品如图 1-1 所示。



图 1-1 Razor Max Express 数字化仪采集板实物图

TI（德州仪器公司）的 ADC368x 模数转换器（ADC）使用串行 LVDS 接口来输出数字数据。ADC3683 为双路、18 位、65MSPS、低噪声、超低功耗 ADC 评估模块，串行 LVDS 接口支持 1Gbps 的输出速率。该采集板成品如图 1-2 所示，ADC368x 可以使用内部抽取滤波器在“过采样+抽取”模式下操作，以提高动态范围^[18]。

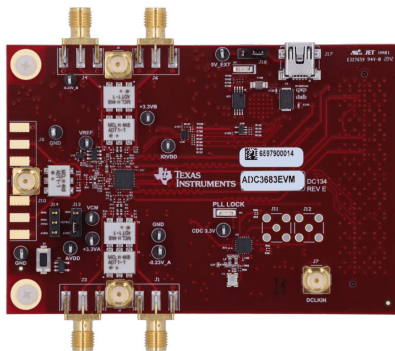


图 1-2 ADC368x 数据采集板实物图

NI 公司推出的 24 位、32 通道、5kS/s、 $\pm 10\text{V}$ XI 模拟输入模块 PXIe-4302 是一款经典滤波的输入模块，适用于电压、热电偶和电流测量。该采集板成品如图 1-3 所示，模块的每个通道配有模数转换器(ADC)，可实现 5kS/s 的同步采样。PXIe-4302 可针对每个通道选择相应的数字滤波器，从而提高滤波性能^[19]。

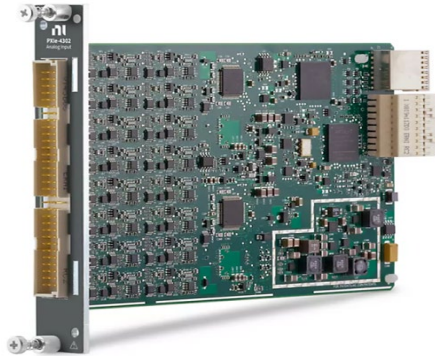


图 1-3 PXIe-4302 数据采集板实物图

在数据采集领域，我国企业进入相对较晚，但目前正积极努力缩小与外国企业的技术差距。

台湾的研华公司是其中一个国内数据采集系统显著的贡献者，他们开发了 PCI-1706U 数据采集卡。这款高性能、多功能的卡专为通用 PCI 总线设计。PCI-1706U 配备了一个 8K 的 FIFO 缓冲区，最高采样率可达 250KS/s，可同时对 8 个通道进行模数转换。坤驰科技也在数据采集领域取得了重大进展，推出了 QT7133，这是一款高分辨率、高采样率的 ADCFMC 子板。该子板提供 2 路 12 位 1.8GS/s 的 A/D 通道，全功率带宽可达 2.8GHz。与此同时，中国许多高校也在积极探索高速数据采集技术。

天津大学的苏伟童等人^[20]于 2022 年利用 ZYNQ 集成处理器的特性，在 ARM 端利用 Freer TOS 实时操作系统进行流控制和以太网通信，在 FPGA 端使用 FIR 编译器和 MCDMA IP 核实现了数据采集缓冲、动态滤波和传输。离线测试显示，脉冲计数误差率小于 0.0005%，数字滤波幅频特性曲线与理论基本一致。

另外，中北大学的倪国斌等人^[21]于 2023 年开发了一种高效的数据采集系统，以满足航空航天探测设备传感器数据采集、存储和传输等需求。该系统以 FPGA 为主控芯片，通过 AD7606 转换器对传感器信号进行调理转换，并将其临时缓存在 F-FRAM 存储结构中，最终存储在 NAND Flash 中，通过千兆以太网端口实现

实时传输。最终实验结果表明，该系统能够在 50kHz 采样率下实现纳米级高精度测量。

此外，中国计量科学研究院的林师远等人^[22]于 2023 年开发了一种基于 FPGA 的高速动态测量数据采集系统。该系统基于 FPGA 和动态测量软件，设计用于长距离多轴激光干涉测长同步动态数据采集。该系统采用了边沿检测捕捉外触发同步信号，并利用读写 FIFO 结合 MIGIP 核实现了逻辑写入，满足了降低测量软件实时性需求的设计要求。实验验证表明，该系统能够与商用干涉仪进行动态测量比对，在触发脉冲重复间隔 $T < 20\text{s}$ 的条件下，差值小于 8nm。

这些高校的成就推动了国内数据采集系统的发展，在学术研究和工业应用中提供了不可或缺的高速、高精度数据采集方面的支持。鉴于工业控制领域对数据采集系统实时性、精确性和稳定性的要求，采用具有高计算能力和丰富逻辑资源的 FPGA 进行数据采集系统设计，相较于传统的单片机 + DSP 配置，已成为国内外数据采集领域研究的重要焦点。

1.3 研究内容和论文组织框架

1.3.1 研究内容

根据现实需求，本文设计了基于 FPGA 的高压脉冲调制器数据采集系统。该系统由软件和硬件组成，负责对高压脉冲调制器系统输出电压和电流信号采集和数字滤波。通过采集到的调制器输出信号数据，进一步对调制器输出模块进行控制。本文的研究主要围绕以下三个主要方面展开：

（1）数据采集单元：为提高高压脉冲调制器的数据采集精度，本文介绍了一种方向性同步信号触发控制模块，以满足现实需求。该模块确保建立更准确的触发条件，从而根据这些条件不仅提高了多脉冲的时间抖动指标，还满足了严格的稳定性要求，减少了错误数据上传的可能性，提高了整个数据采集系统的准确性和效率。

（2）数字信号处理单元：鉴于调制器系统中存在来自外部干扰信号，需要对这些干扰信号进行滤波和处理。为此，将改进的 FDSSA-LMS 数字滤波器整合到系统中，以有效解决调制器输出信号受外部干扰引起的信号跳变问题。

（3）通信组件：考虑到实际应用需求，对同步触发信号到来后采集到的数据需要进行打包处理以便进行方便的多字节数据通信。因此，选择了广泛采用的

RS485 通信协议进行通信，并针对一次传输大量数据的特点进行了通讯模块的优化，这些优化满足系统通信现实要求。

1.3.2 论文组织框架

本文的结构安排如下：

第 1 章：本章作为本文的研究背景和意义的介绍，着重强调了研究高压脉冲调制器数据采集系统的重要性，并概述了国内外类似研究的当前发展状况。

第 2 章：深入探讨了系统的具体应用场景。确定系统需要满足的功能需求，并根据这些需求确定系统关键硬件选择和整体设计。

第 3 章：本章重点介绍了高压脉冲调制器数据采集系统内数字信号处理系统的设计，特别是改进的 FDSSA-LMS 数字滤波器的研究。分析了本文所采用的滤波算法的原理，并提供了基于该算法的 FPGA 硬件实现的结构图，以及仿真实验结果。

第 4 章：主要涉及高压脉冲调制器数据采集系统的硬件设计方面。对系统使用的 FPGA 核心控制器进行外围电路的设计，包括如两个 RS485 接口、Flash 接口、F-FRAM 接口和相关外接配置接口。此外，还涉及根据核心电路设计的复位模块、时钟模块和电源模块，并根据整体硬件设计方案和系统需求完成 PCB 设计。

第 5 章：本章深入探讨了高压脉冲调制器数据采集系统内的 FPGA 逻辑设计。提供了各种功能模块的工作流程和实现方法的详细介绍，包括电平同步触发模块、采样控制模块、数据存储模块、和内存管理模块。

第 6 章：对高压脉冲调制器数据采集系统进行了全面的测试和分析。涉及对数据采集和数字信号处理部分的各种模块进行功能测试。最后，对高压脉冲调制器系统进行信号捕获测试，以验证本文设计的基于 FPGA 的数据采集系统是否满足现实需求。

第 7 章：概述了基于 FPGA 的高压脉冲调制器数据采集系统的工作内容，讨论了设计过程中遇到的问题，并概述了未来系统改进的潜在方向。

第 2 章 FPGA 数据采集系统总体设计

2.1 系统应用背景概括

高压脉冲调制器的主要技术指标和参数要求如表 2-1 所示。

表 2-1 主要技术指标

技术指标	参数要求
峰值功率	大于 6.24MW
平均功率	大于 8.00kW
脉冲电压	大于 52.0kV
脉冲电流	170A
顶部平坦度	$\leq \pm 1\%$
脉冲幅度稳定度	$\leq \pm 1\%$
电压上升率	80-120kV/ μ s
最大脉冲宽度	3 μ s
脉冲重复频率	1-400Hz

高压脉冲电源是高压脉冲调制器系统中至关重要的组成部分,通常由充电电路、能量储存元件、开关元件和输出变压器等基本元件组成。充电电路负责将外部电源的能量积累到能量储存元件中,而开关元件则调控这些能量储存元件的放电过程^[23]。随后,输出变压器促使在放电期间产生的高压脉冲传输到负载上。在充电阶段,能量储存元件通过充电电路从外部电源中吸收能量并储存起来以供后续使用。一旦能量储存元件充满,开关元件被激活以启动放电过程。在放电过程中,能量储存元件内的储存能量被释放。随后的波形通过专用电路进行放大和耦合,推动整个高压脉冲调制器并产生相应的高压脉冲信号^[24]。图 2-1 描述了高压脉冲电源调制器线路图。

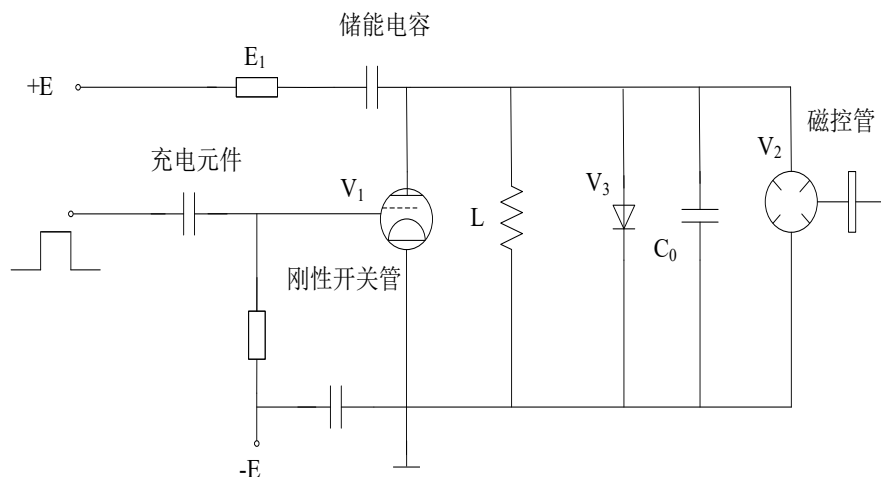


图 2-1 高压脉冲调制器线路图

由图 2-1 可知，对于如氙气灯、氦氖激光器、磁控管等这些脉冲调制器输出控制设备^[25]来说，通常需要稳定的脉冲信号来触发和维持，因此要确保输出设备的稳定运行，需脉冲调制器能输出稳定的脉冲电压电流波形。设计高压脉冲调制器数据采集系统前，首先要将合作企业的产品指标要求作为重要的设计依据，设计论证工作才能进行。调制器的输出脉冲波形如图 2-2 所示。

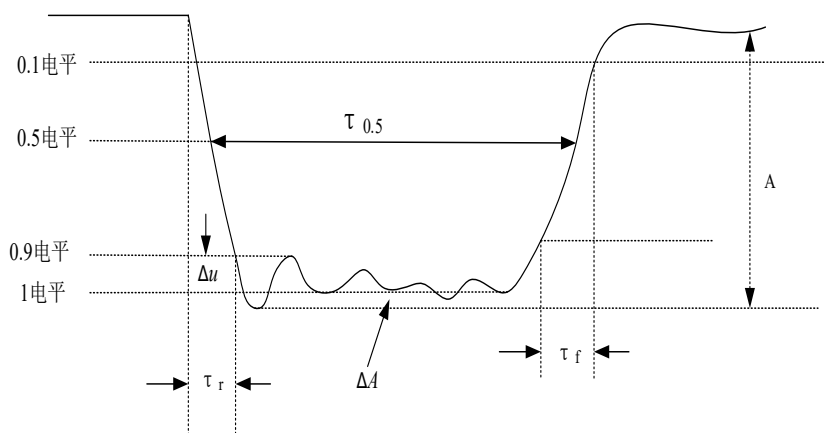


图 2-2 高压脉冲调制器输出脉冲波形

调制器输出脉冲波形的参数包括脉冲宽度、脉冲上升时间、脉冲下降时间和脉冲峰值^[26]。这些参数的定义和说明如下：

（1）脉冲宽度通常表示脉冲达到其最大幅度的一半（0.5 电平）的时间跨度，表示为 $\tau_{0.5}$ ，单位为 μs 。

（2）脉冲上升时间指的是在脉冲上升沿期间，脉冲电压幅度从 0.9 电平到 0.1 电平的时间间隔，表示为 τ_f ，单位为 μs 。

(3) 脉冲下降时间指的是在脉冲下降沿期间, 脉冲电压幅度从 0.1 电平到 0.9 电平的时间间隔, 表示为 τ_r , 单位为 μs 。

(4) 脉冲峰值, 表示为 $\Delta A/A$, 表示实际峰值与脉冲幅度 A 的比值。

(5) 脉冲峰峰值变化, 表示为 $\Delta u/A$, 表示脉冲变化的单峰值 Δu 与脉冲幅度 A 的比值。

2.2 数据采集系统需求

2.2.1 数据采集需求

在第 2.1 节所述的对高压脉冲调制器的输出波形分析, 本系统能够及时准确捕获和监测这些信号需要满足一定的要求, 由此引出了数字信号处理中一个关键的采样定理。

奈奎斯特采样定理^[27], 作为一个基础性原理, 规定了对于频谱限制在 $X(f)$ 的连续模拟信号 $x(t)$, 以采样率 $f_s (f_s = 1/T_s)$ 进行采样得到的采样信号 $x(mT_s)$ 需满足以下两个条件:

(1) 频谱 $X(f)$ 是有限的, 即 $|f| > f_c$ 时, $X(f) = 0$ 。

(2) $2f_c < 2f_s$ 。

在这些前提条件下, 连续信号 $x(t)$ 可以被唯一地重建。采样定理为确定系统所需采样频率提供了理论基础。当对带宽受限的信号进行采样时, 只要系统的采样率超过采样信号最高频率的两倍, 就不会出现混叠现象在采样后的频谱中, 从而实现无失真的信号采集^[28]。正如第 2.1 节所述, 需要捕获的高功率高压电源系统中的关键信号主要表现为微秒级脉冲信号。因此, 需要采集信号的频率处于兆赫兹范围内。

基于上述分析并考虑到在硬件选择过程中, 选用的 AD 模数转换芯片的成本以及在 FPGA 时序设计过程中由于现实需求需满足时序收敛, 最终确定了系统的最大采样率应为 65MHz, 对应每 15ns 进行一次采样。该采样频率有效地满足了信号恢复所需的采样点要求。由于脉冲调制器输出的脉冲信号频率在微秒级, 因此对于采集系统如何快速抓取脉冲信号段这个问题上, 本文考虑到现实需求, 采用外部同步信号触发方案来解决。

2.2.2 数据存储需求

在数据采集系统背景下,采用更高的采样率显著提高了将离散信号重建为连续信号的准确性。然而,采样率的提高导致了在固定时间内对于给定信号段采集到的离散数据量的相应增加。考虑到系统的现实需求以及系统采集的调制器输出信号的特点,只需采集触发信号到来后的 1024 个数据点的波形段。因此,需选取合适的存储芯片,既能满足这些要求,又能降低成本。目前,能够满足这些读/写速度需求的主流存储解决方案是非挥发性闪存随机访问存储器^[29](F-FRAM)。

F-FRAM 是一种新型的存储器技术,结合了非挥发性存储器(如 EEPROM)的数据保持能力和随机访问存储器(RAM)的快速写入能力。F-FRAM 通常是一种强大的存储器选择,特别是在需要频繁写入操作且数据不容丢失的应用中。F-FRAM 的工作原理是通过使用铁电材料而不是传统的闪存单元来存储数据。它结合了传统 RAM 的读写速度和 EEPROM 的非挥发性特性。总的来说,FM24CL64B 是一款性能稳定、可靠性高的 EEPROM 芯片,适用于各种需要非易失性存储解决方案的电子设备和应用场景^[30]。

目前,许多 FPGA 制造商提供了成熟的解决方案来管理 RAM 存储器。例如,紫光公司推出了一套完整的解决方案,用于将 RAM 存储器与 FPGA 进行接口连接,封装为 IP 核,并无缝集成到紫光同创的 PDS 仿真软件中。因此,用户可以根据其特定的应用需求,轻松部署这个 IP 核,从而促进 FPGA 芯片对 RAM 芯片物理层的调节。这种简化在一定程度上降低了设计复杂度。此外,这种控制方法将被应用于当前系统中,以解决从 FPGA 到 RAM 的物理层控制,实现对 RAM 收集的数据进行存储和检索的功能^[31]。

2.2.3 数据信号处理需求

由于高压脉冲调制器工作在强干扰环境中,导致其输出信号易掺杂高频杂波。因此,对于系统需要监测和采集的信号,过滤这些信号以消除干扰信号成分并恢复其准确性变得至关重要。由于 FPGA,拥有高集成度的内部 IP 核资源^[32],因此成为数字信号处理任务的理想平台。本系统利用 FPGA 技术实现数字滤波器,促进对受外部干扰信号影响的信号滤除,确保所获取数据的准确性。

作为数字信号处理中的关键要素,数字滤波器相比于模拟滤波器具有许多优势,包括更高的稳定性、精度、灵活性和成本效益,这归功于无需硬件设计复杂性。目前,最常用的数字滤波方法是基于最小均方差(MMSE)理论^[33]发展而来

的最小均方（LMS）算法。其主要优势在于其自适应性，可减轻滤波结果中的相位失真。然而，LMS 滤波器并非没有局限性。收敛速度和精度之间的权衡构成了挑战，需要手动调整收敛因子以平衡这两个方面^[34]。因此，本系统致力于改进传统的 LMS 滤波算法，使其旨在处理的特定信号满足显示需求。

由于脉冲调制器输出的脉冲信号频率在 μs 级，且根据现实需求，要求多路脉冲触发宽度、延时相对独立可调，且与外同步信号之间的时间抖动要求较高。因此对于采集系统而言，如何快速抓取脉冲信号段且保证满足现实需求，本文采用外部同步信号触发方案来解决。

2.2.4 通讯系统需求

在存储和处理必要数据之后，系统需要通过合适的通信系统将数据传输到 PC 端主机，以供用户访问。同时，用户需要通过该通信系统向 FPGA 发送相关指令，以便执行所需的功能。考虑到当前高压脉冲调制器的实际应用情况，本系统选择了串行通信作为系统的通信协议。串行通信是指按照预定的时间间隔逐位传输数据^[35]。串行通信数据帧格式如图 2-3 所示。

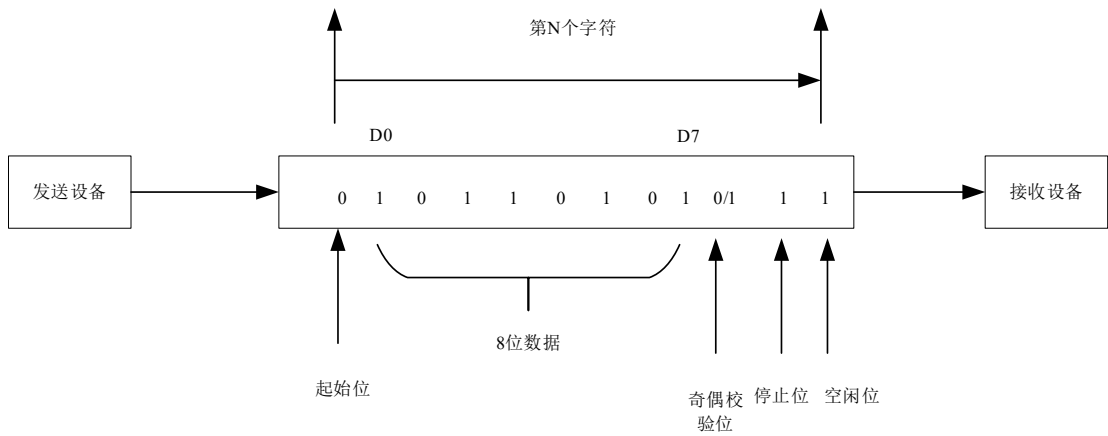


图 2-3 串行通信数据帧

数据以位传输使得硬件设备可以利用较少的传输线。此外，与并行通信相比，串行通信具有简单易实现、可靠性高等优势，在数据采集和控制系统中得到广泛应用。这也包括了本文介绍的高压脉冲调制器系统，其中内部组件通过串行通信与主机通信^[36]。尽管串行通信由于数据按顺序发送而具有较慢的传输速率，但由于数据需要进行打包上传，因此它满足了本系统的现实需求。

本系统选择广泛采用的工业现场通信协议 RS485 通信协议进行通信^[37]。它具有以下几个优点：

（1）采用差分信号，有效抑制共模干扰，提高通信可靠性。

（2）具有较高的通信速度，最大传输速率超过 10Mb/s。

（3）在物理结构上采用平衡驱动器和差分接收器的组合，大大增强了系统通讯的抗干扰能力^[38-39]。

因此，RS485 被选为本系统的通信协议。此外，RS485 通信协议也应用于调制器系统中，采用统一的通信协议可以将本文设计的系统集成到现有的高压脉冲调制器通信网络中，增强整个系统的完整性。

2.3 数据采集系统总体结构

高压脉冲调制器数据采集系统的结构如图 2-4 所示，主要有调理电路、数据采集传输系统、数字隔离系统、FPGA 数据核心处理系统等部分。

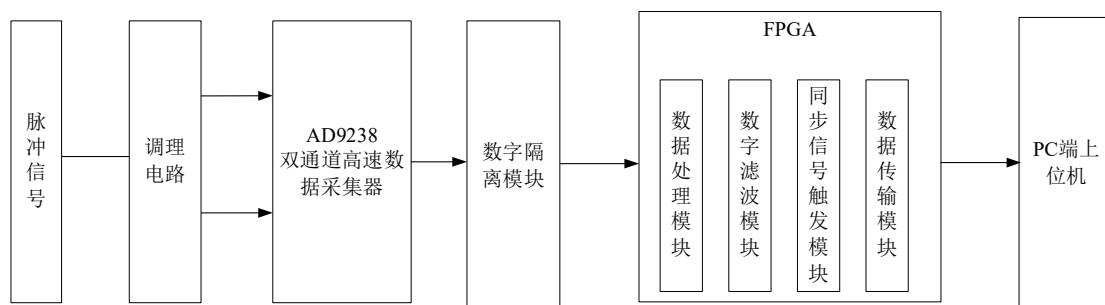


图 2-4 高压脉冲调制数据采集系统总体结构图

高压脉冲调制器数据采集系统有以下几个关键模块：

（1）信号调理电路模块：信号调理电路集成了运放电路和单端到差分转换电路。它促进了模拟信号转换为数字信号，为其传输至数据采集传输子系统做好了准备。

（2）数字隔离模块：数字隔离模块用于分离电路之间的地线连接，减轻不同部分之间电压差异可能引发的问题。这在采用多个电源和电压水平的系统中尤为重要，其中无缝数据交换和通信至关重要。通过数字隔离，可在不同的电压和电气条件下实现可靠的数据传输和通信^[40]。

（3）数据传输模块：数据采集传输模块负责接收来自信号调理电路的数字信号，并将其传输至 FPGA 进行后续数据处理。系统间的通信通过串口通信实现，简化了指令接收和数据传输过程。

（4）数字滤波模块：数字滤波模块负责将数据传输模块传输的数据进行滤波处理。

（5）数据存储模块：数据存储模块负责将数据进行存储打包处理，等待外部同步信号的到来进行数据读取。

（6）同步信号触发模块：外部同步信号模块负责将采集到的脉冲信号进行同步触发，以达到触发信号与外部信号之间的时间抖动尽可能的小且保证数据能够快速捕获^[41]。

2.4 本章小结

本章首先对系统应用背景进行阐述，详细分析了系统在数据采集、存储、数字信号处理和通信等方面的需求。最后，基于对系统的需求分析，搭建了系统的总体结构。

第3章 FPGA 数字信号处理系统设计

根据第2章对系统应用背景以及需求分析介绍,由于高压脉冲调制器工作在强干扰环境中,导致其输出信号易掺杂高频杂波,使得系统采集到的模拟量数据频繁跳动,因此必须在系统中设计信号处理模块,对调制器输出信号进行滤波处理,使调制器输出信号为滤除干扰的正常信号。本章将详细介绍如何实现数字滤波器在系统中的数字信号处理。

3.1 基于改进分数阶优化麻雀搜索算法

针对传统 LMS (Least Mean Squares)^[41]滤波算法收敛速度慢且收敛精度低等问题,本文设计了一种改进的分数阶麻雀搜索算法 (Fractional Order Sparrow Search Algorithm, FDSSA) 对 LMS 滤波算法进行优化,将 LMS 滤波算法设计转化为对 LMS 滤波参数优化问题,使用 Circle 混沌初始化策略^[42]初始化 FDSSA 的初始麻雀个体位置,为 FDSSA 算法扩展初始种群的多样性。利用改进 FDSSA 算法的优化能力优化 LMS 滤波参数,使得滤波参数得到全局最优解,提高 LMS 滤波算法的收敛性能,从而提升滤波性能。

3.1.1 分数阶麻雀搜索算法

传统的麻雀搜索算法存在鲁棒性、收敛性差等问题。为解决这些问题,文献将数学领域中微积分^[43]与麻雀搜索算法 (Sparrow Search Algorithm, SSA) 相结合,提出了分数阶麻雀搜索算法 (FDSSA)。该算法的基本思想是通过随机生成一群麻雀个体,并计算每只麻雀的适应度值。然后,在每一次迭代中,通过分数阶微积分^[44-45]计算每只麻雀在新位置上的适应度值,并选择适应度值较高的麻雀进行更新。最后,使用一些随机因素来增加算法的多样性,避免局部最优解,并逐步优化到全局最优解。

3.1.2 Circle 混沌初始化改进 FDSSA

Circle 混沌初始化策略是一种用于深度神经网络权重初始化的方法。该方法利用 Circle Map 的混沌性随机生成初始化的神经网络权重^[46-47]。在 FDSSA 算法中,采用随机生成的方式对麻雀种群进行初始化,这种方式会导致麻雀种群分布

不均,从而影响后期的迭代寻优。相比之下,混沌映射具有随机性、遍历性和规律性等特点,可以利用混沌序列对麻雀个体的位置进行初始化。因此,像 Circle 混沌初始化策略这样的优化方法可以被看作是一种让麻雀更好地适应环境的手段。具体而言,通过 Circle 混沌初始化策略生成的随机权重可以帮助麻雀群体更快地收敛到最优解附近,并且相对于传统的初始化方法,采用更具随机性的混沌初始化方法也能更好地帮助算法避免陷入局部最优解^[48-50]。因此,将 Circle 混沌初始化策略应用于 FDSSA 算法中可以提升算法的求解性能。

因此,本文采用 Circle 混沌初始化策略可以显著提高 FDSSA 算法的求解能力和性能,使其更好地应用于各种实际问题的求解中。其表达式如式(3-1)所示^[51]。

$$x_{i+1} = \text{mod} \left(x_i + 0.2 - \left(\frac{0.5}{2\pi} \right) \sin(2\pi \cdot x_i), 1 \right) \quad (3-1)$$

3.2 改进 FDSSA-LMS 数字滤波器的设计与实现

自适应滤波算法在数字信号处理中起着关键作用,其中 LMS 算法是最常见的算法之一,其基于最小均方误差(Minimum Mean Squared Error, MMSE)理论。通过采用梯度下降原理,LMS 算法通过最小化均方误差实现自适应滤波。然而,LMS 滤波算法面临着收敛速度和精度之间的权衡,需要调整收敛因子以实现平衡。因此,提高 LMS 滤波算法的收敛性能仍然是研究的重点^[52-53]。目前,学者们已经努力改进了 LMS 滤波算法,例如变步长 LMS 滤波算法和变阶数 LMS 滤波算法。尽管取得了这些进展,但这些方法通常只在特定情况下有效,表明其普适性有限^[54-55]。

SSA 算法由于初始麻雀种群分布不均匀而在后期迭代优化中遇到了困难。尽管有些学者对 SSA 算法进行了改进,但仍存在收敛不足、收敛速度慢、收敛精度低以及全局搜索能力与局部开发能力之间不一致等问题。

针对这些问题,本文提出了对 FDSSA 算法的改进,以解决影响后期迭代优化的麻雀种群分布不均匀问题,同时解决 LMS 滤波算法收敛速度慢和收敛精度低的问题。利用圆形映射,FDSSA 算法初始化了麻雀个体的初始位置,从而增加了初始种群的多样性。此外,改进后的 FDSSA 算法被集成到 LMS 滤波算法

中，以缓解多模态问题中收敛速度和收敛精度之间的冲突，从而增强了 LMS 算法的滤波性能。

3.2.1 LMS 滤波算法

LMS 滤波算法的核心思想是用平方误差替代均方误差，因此可以大幅减少计算量^[56]。在自适应滤波系统中，参数的选择对滤波效果至关重要。如果自适应滤波器的参数选择不当，就会导致无法达到预期的滤波效果。因此，在选择参数时，应根据不同的信号选择相应的参数，下面以 L 阶加权自适应横向滤波器为例进行证明。L 阶加权自适应横向滤波器如图 3-1 所示。

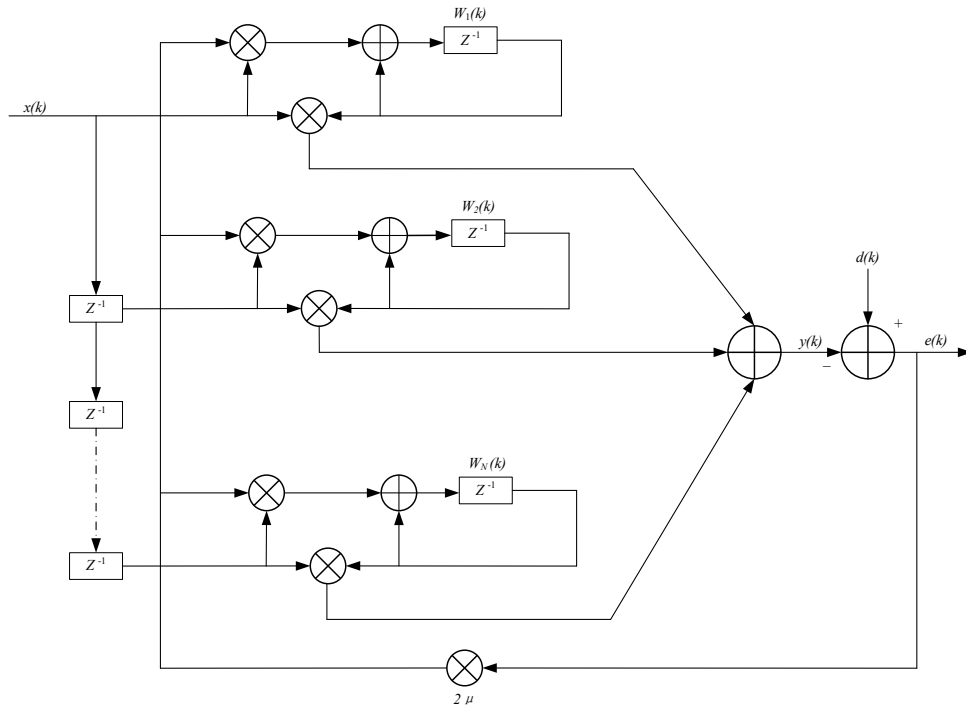


图 3-1 L 阶加权自适应横向滤波器

LMS 滤波算法公式为：

$$x(n) = [x(n) \quad x(n-1) \quad \dots \quad x(n-L)]^T \quad (3-2)$$

$$w(n) = [w_0(n) \quad w_1(n) \quad \dots \quad w_L(n)]^T \quad (3-3)$$

式中， $x(n)$ 为输入信号， $w(n)$ 为加权系数。

误差信号公式为：

$$y(n) = \sum_{i=0}^N w_i(n)x(n-i) \quad (3-4)$$

$$\begin{aligned}
 e(n) &= d(n) - y(n) \\
 &= d(n) - x^T(n)w(n) \\
 &= d(n) - w^T(n)x(n)
 \end{aligned} \tag{3-5}$$

式中， $d(n)$ 为参考信号， $y(n)$ 为输出信号。

误差信号均方值公式为：

$$\xi(n) = E[e^2(n)] \tag{3-6}$$

由式（3-5）和式（3-6）得均方误差性能曲面的梯度函数为：

$$\nabla(n) \approx \hat{\nabla}(n) = \frac{\partial \xi(n)}{\partial w} = 2e(n) \frac{\partial e(n)}{\partial w} = -2e(n)x(n) \tag{3-7}$$

利用最陡下降法迭代计算全矢量公式为：

$$w(n+1) = w(n) - \mu \nabla(n) \tag{3-8}$$

式中， μ 为控制稳定性和收敛速度的参数。

由式（3-7）和式（3-8）得式（3-9）。

$$w(n+1) = w(n) + 2\mu e(n)x(n) \tag{3-9}$$

由式（3-9）可知，LMS 滤波算法的核心是使用每次迭代的粗略估计值代替实际的精确值，显著简化了计算量。但加权系数无法准确地沿理想的最陡下降路径调整其参数，加权系数与 μ 之间存在着密切的关系。因此，确定最优的自适应滤波器的性能参数 μ 显得至关重要^[57]。

3.2.2 改进 FDSSA-LMS 数字滤波器在 FPGA 中的设计

式（3-5）和式（3-8）所示的更新方程是 LMS 滤波算法的最重要的工作步骤。根据梯度特性 $E[e^2(n)]$ 会不断趋于最小均方差特点，由式（3-5）可得到式（3-10）。

$$e(n+1) = d(n+1) - x^T(n+1)[w(n) - 2\mu e(n)x(n)] \tag{3-10}$$

$e(n)$ 是瞬时误差，由式（3-10）可知，收敛因子 2μ 决定了 $E[e^2(n)]$ 的最小值。目前很多学者通过动态调整 2μ 使得 $E[e^2(n)]$ 值逐步达到最小，从而提高收敛性。而本文则利用改进 FDSSA 算法优化 LMS 滤波参数，使得 $E[e^2(n)]$ 在每次迭代中最小化，实现 LMS 滤波算法的最优收敛效果，从而提升滤波能力。

首先将收敛因子 μ 设为搜索空间内的粒子, 那么对 μ 的调整操作就转换为寻找粒子在空间的最优位置。

根据式 (3-10), 本文设定适应度函数为:

$$F = \min(e(n+1)) \quad (3-11)$$

通过该适应度函数求取瞬时误差的最小值, 从而使 MMSE 达到最小。本文改进 FDSSA-LMS 算法的具体流程如图 3-2 所示。

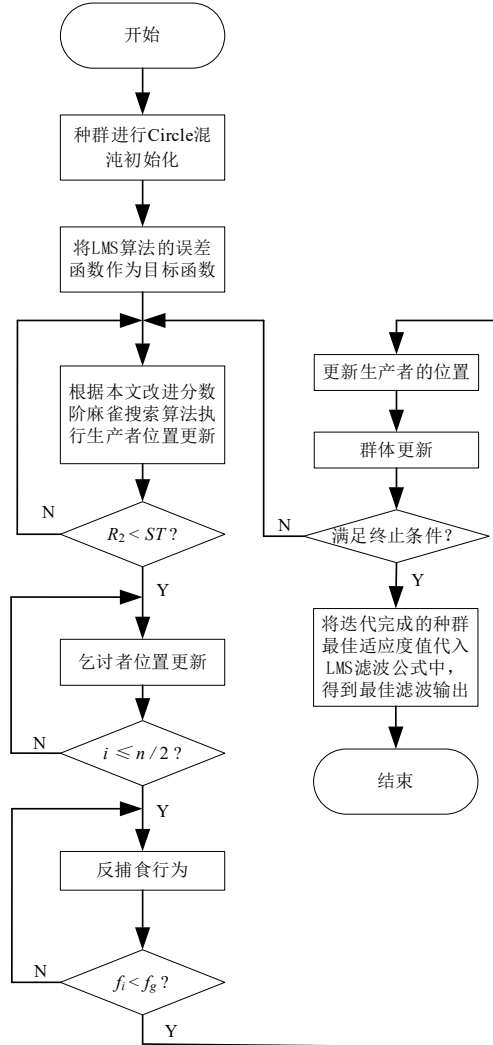


图 3-2 改进 FDSSA-LMS 滤波算法流程图

为验证改进 FDSSA-LMS 滤波算法的滤波效果, 本文采用 MATLAB 2022 软件进行仿真实验, 并将本文所提改进 FDSSA-LMS 滤波算法与传统的 LMS 滤波算法、PSO-LMS 滤波算法在去除高频干扰信号效果^[58]、绝对误差迭代效果、绝对误差和方面进行比较。图 3-3 (a) 给出的是原始正弦信号, 图 3-3 (b) 给出了带干扰 (SNR=20) 信号的波形。

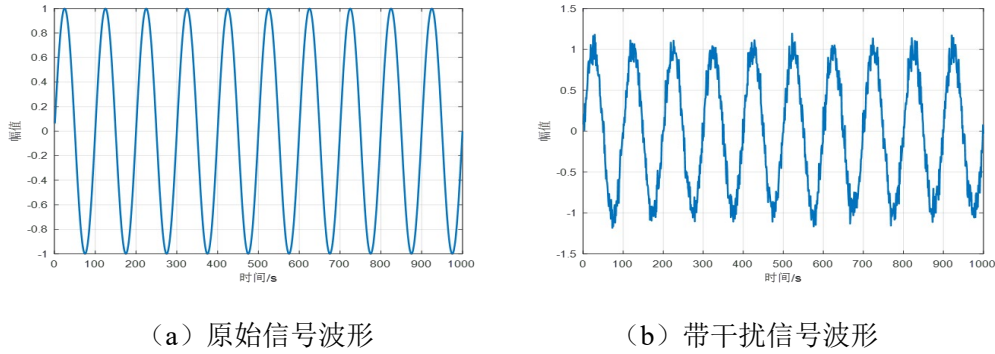


图 3-3 滤波算法的原始信号以及带干扰信号波形

图 3-4 为三种滤波算法滤波效果对比图。由图 3-4 可知，当采用 LMS 滤波算法、PSO-LMS 滤波算法^[59]以及与本文所提改进 FDSSA-LMS 滤波算法对带干扰信号进行滤波时，本文所采用的改进 FDSSA-LMS 滤波算法滤波后的波形信号更接近原始信号。三种滤波算法的误差迭代效果如图 3-5 所示，本文采用绝对误差和作为算法评价标准，三种滤波算法的绝对误差和如表 3-1 所示。由图 3-5 以及表 3-1 可知，本文所提改进 FDSSA-LMS 滤波算法滤波误差以及绝对误差和更小。

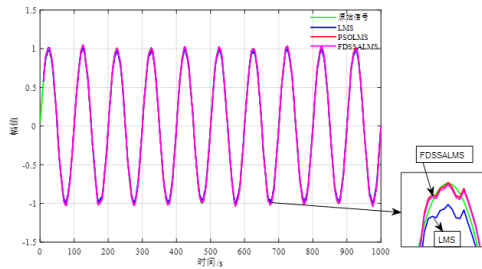


图 3-4 三种滤波算法滤波效果

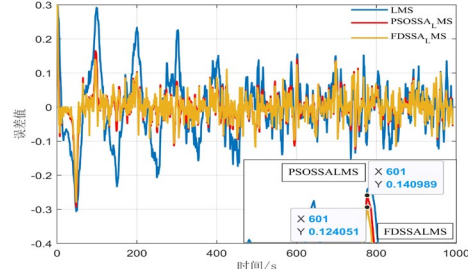


图 3-5 三种滤波算法误差迭代效果

表 3-1 三种滤波算法绝对误差和对比

算法	LMS	PSO-LMS	改进 FDSSA-LMS
绝对误差和	68.7141	26.6235	25.5625

结合上述自适应滤波器基本结构和改进 FDSSA-LMS 算法，本文设计了基于改进 FDSSA-LMS 算法的 FPGA 自适应数字滤波器。

式 (3-10) 是 FDSSA-LMS 数字滤波器的核心，由 3.2.1 节的分析可知自适应数字滤波器主要是由乘法、加法、减法以及延迟运算构成，在 FDSSA-LMS 数字滤波器的设计中，可以将算法分割为不同的模块进行设计，分别为滤波 FDSSA-LMS_inst 模块、误差计算模块、步长更新模块、权值更新模块。

根据式 (3-9) ~ (3-10)。通过 Verilog 硬件编程语言进行建模设计，图 3-6 为基于 FDSSA-LMS 算法的 FPGA 只适应数字滤波器顶层 RTL 结构示意图。

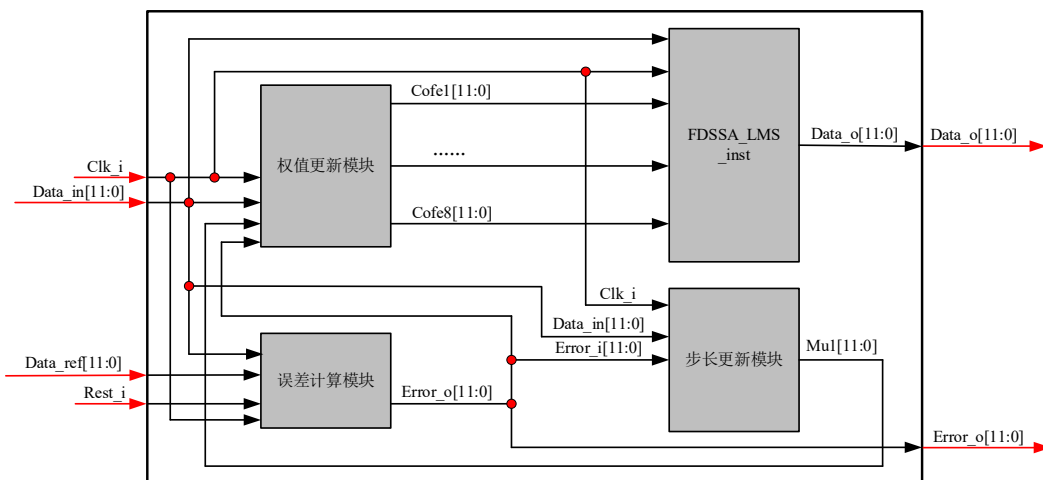


图 3-6 FDSSA-LMS 自适应数字滤波器顶层 RTL 结构示意图

图中 Data_in 表示输入的待滤波信号，Data_ref 表示目标信号，Clk_i 表示时钟信号，Rest_i 表示复位信号，低电平有效，mul 表示式 (3-10) 的步长因子 μ ，Error_o 表示误差输出信号，cofe1 至 cofe8 表示权重更新，cofe1 表示初始权值，设置为 1。Data_o 表示最终的滤波输出。

设计时通过使用 Matlab 2022 的 fopen 和 fprintf 函数将得到的数据统一处理，将图 3-3 (a) 的信号数据存进 hex 文件中，然后在 TestBench 中通过设计好的 ROM 进行读取。FDSSA-LMS 自适应滤波器 Modelsim 10.4 波形仿真如图 3-7 所示。

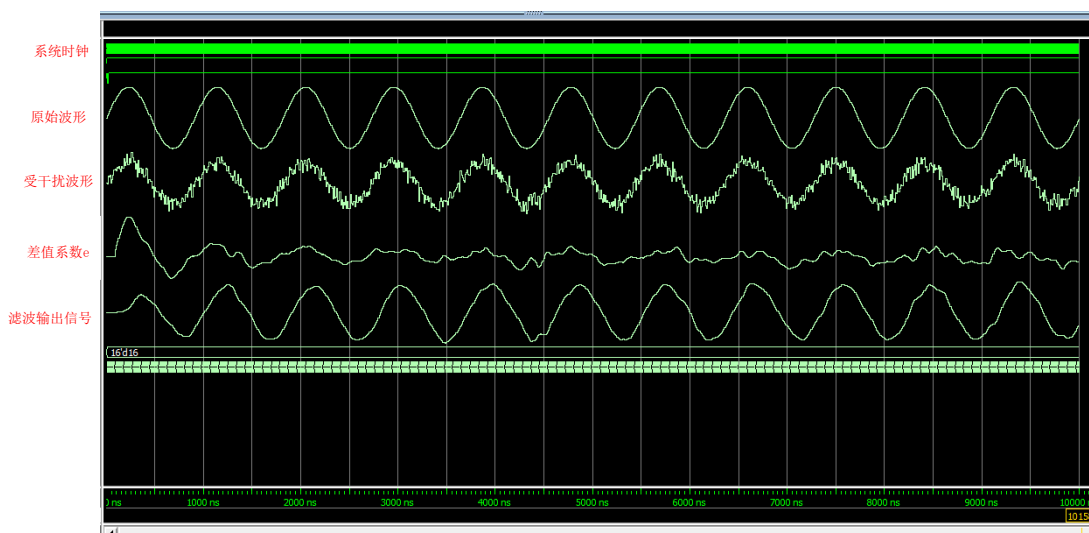


图 3-7 FDSSA-LMS 自适应数字滤波器 FPGA 波形

对比图 3-7 的受干扰波形和自适应滤波器输出信号，FDSSA-LMS 自适应滤波器的输出能有效恢复受干扰的波形，但还是存在一定误差，主要原因是：

（1）步长因子的设置。

（2）仿真时间（由于 FPGA 的仿真时间一般都是以 ns 为单位的，滤波器的系数还没有迭代出一个完美系数）。

3.3 本章小结

本章研究了经典 LMS 自适应滤波算法的相关特性，并使用 FPGA 进行了改进的 FDSSA-LMS 自适应数字滤波器设计。主要内容和结论如下：

（1）采用两种角度对经典自适应滤波算法的滤波性能进行分析，其一是从参数对算法收敛性能的影响进行分析，其二是以算法实现的滤波结果、误差收敛过程直观地分析跟踪性能。

（2）对现有 LMS 算法的研究及改进。本文提出的 FDSSA-LMS 算法无论在初期滤波还是后期跟踪均占优，不仅克服了文献[23]峰值失真问题，提高了滤波精度，甚至能与 RLS 算法滤波性能相媲美。

（3）通过实验验证改进后的 FDSSA-LMS 自适应数字滤波模块在 FPGA 设计中的可行性和准确性。

第 4 章 FPGA 数据采集系统硬件设计

4.1 FPGA 数据采集系统硬件方案

基于 FPGA 的高压脉冲调制器数据采集系统硬件框图如图 4-1 所示。根据现实需求,本系统需要一个外部接口,配备有 19 针连接器,以便通过模数转换(AD)芯片进行数据传输。核心板配备了一个容量为 256MB 的 DDR3 芯片。DDR3 芯片和 FPGA 芯片的总线宽度均为 16 位,支持高达 800MHz 的数据时钟频率。这种配置能够满足高带宽数据处理任务的要求。外部晶振作为核心板的时钟输入,通过 SPI 接口扩展 FM25Q32 闪存芯片以容纳配置文件存储。

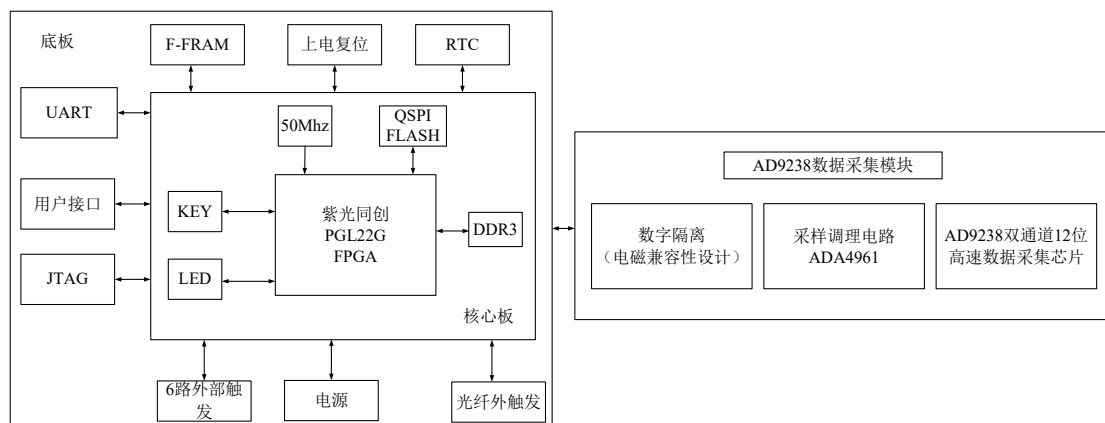


图 4-1 基于 FPGA 的高压脉冲调制器数据采集系统

4.2 FPGA 数据采集系统主控模块

FPGA 控制器的功能是控制各部分模块的整体运行,采集过程中控制 SMA 接口采集数据并存储到 F-FRAM 中,数据读取过程中控制 UART 传输模块将 F-FRAM 中的数据读出,通过 TD301D485H 芯片将数据上传到上位机中完成数据的采集与存储功能。

目前,主导市场的主要 FPGA 制造商是国外企业,包括 Altera 和 Xilinx,在销售方面拥有重要的市场份额,并在全球范围内处于领先地位。然而,随着国际形势的变化,美国对芯片行业实施的某些限制,凸显了必须加强国产芯片在关键功能模块中的利用的必要性。这一趋势促进了国产独立 FPGA 集成到数据采集和存储系统设计中,从而增加了国产关键核心部件的使用。

紫光同创 Logos 系列 FPGA 在制造过程中采用了先进的 40 纳米 LUT5 结

构,其特点是功耗降低,性能水平提高。此外,它集成了 DSP 计算处理器和 DDR3 硬核 IP,因此具有资源节约和实施简便等优势。Logos 系列 FPGA 在工业控制、通信和其他领域具有广泛的应用。Logos 系列 FPGA 资源的详细分析见表 4-1。

表 4-1 Logos 系列 FPGA 片上资源

器件	CLM				18Kb	APM (个)	PLL (个)	ADC (个)
	LUT5 (个)	等效 LUT4 (个)	FF (个)	F-FRAM (bits)	DRM (个)			
PGL12G	9856	11827	14784	39424	00	20	4	1
PGL22G	17536	21043	26304	70144	48	30	6	1
PGL35G	29280	29280	43920	117120	102	90	6	1

经过比较,考虑到接口数量以及现实需求最终选用 Logos 系列 PGL22G 型号的 FPGA。考虑到 FPGA 核心处理器芯片焊接工艺复杂,本文采用的核心板来自紫光同创黑金系列 FPGA 核心板。

4.3 AD9238 数据采集模块电路

数据采集的基本过程涉及将来自不同传感器或设备的模拟信号转换为数字信号,随后将其存储或传输至控制器或其他数据处理设备以进行后续分析和处理。这些数字信号可能来自于各种传感器或测试设备。

数据采集设备用于对经过预处理的模拟信号进行采样和转换成数字格式,通常使用模拟-数字转换(ADC)芯片进行实现。在由紫光同创开发的 Pango Design Suite (PDS) 软件完成数字信号处理后,获得的信号将进行分析以提取系统或设备的状态信息,从而实现控制和优化。

数据采集系统的核心部件是 A/D 转换器,其任务是将模拟信号转换为数字格式以供进一步处理。A/D 转换器的多个性能参数直接影响整个系统的效率,包括转换精度和速度。根据现实需求,本系统的数据采集模块的 AD 转换芯片采用了 ADI 公司的 AD9238 芯片。AD9238 数据采集模块的原理框图如图 4-2 所示。

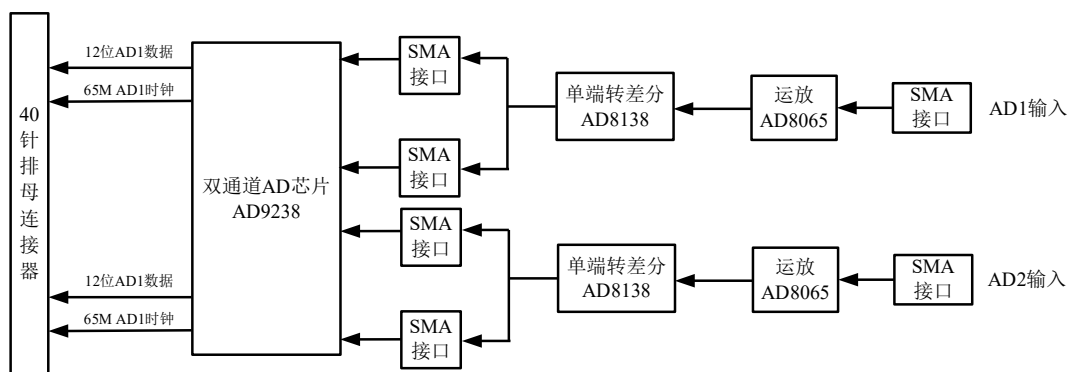


图 4-2 AD9238 数据采集模块的原理框图

AD9238 数据采集模块主要由单端输入及运放电路、单端转差分及 AD 转换电路组成，各个部分功能为：

(1) 单端输入及运放电路：单端输入 AD1 和 AD2 通过 J5 或者 J6 两个 SMA 头输入，单端输入电压为 $-5V \sim +5V$ 。信号通过运放 AD8065 芯片和分压电阻把 $-5V \sim +5V$ 输入的的信号衰减至 $-1V \sim +1V$ 。如需输入更宽范围的电压输入只要修改前端的分压电阻的阻值。分压公式如式(4-1)所示。

$$V_{OUT} = (1.0 / 5.02) \times V_{IN} \quad (4-1)$$

单端输入及运放电路如图 4-3 所示。

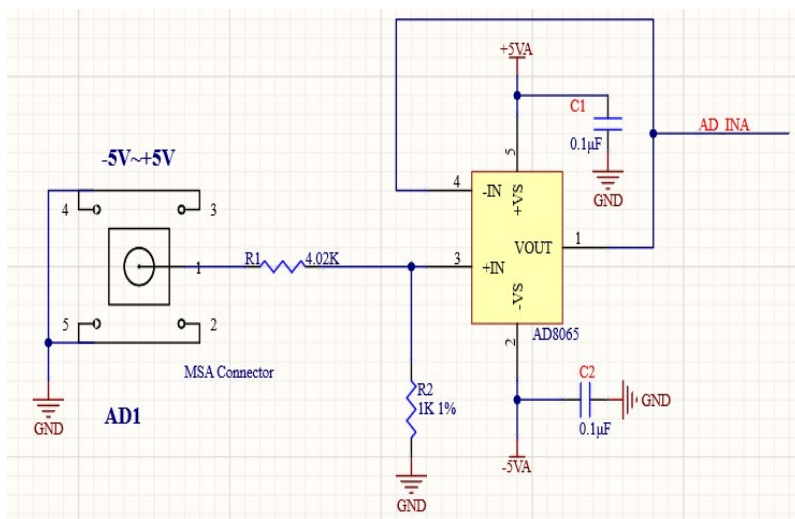


图 4-3 单端输入及运放电路

(2) 单端转差分电路： $-1V \sim +1V$ 的输入电压通过 AD8138 芯片转换成差分信号($V_{IN+} - V_{IN-}$)，差分信号的共模电平由 AD 的 CML 管脚决定。单端转差分电路如图 4-4 所示。

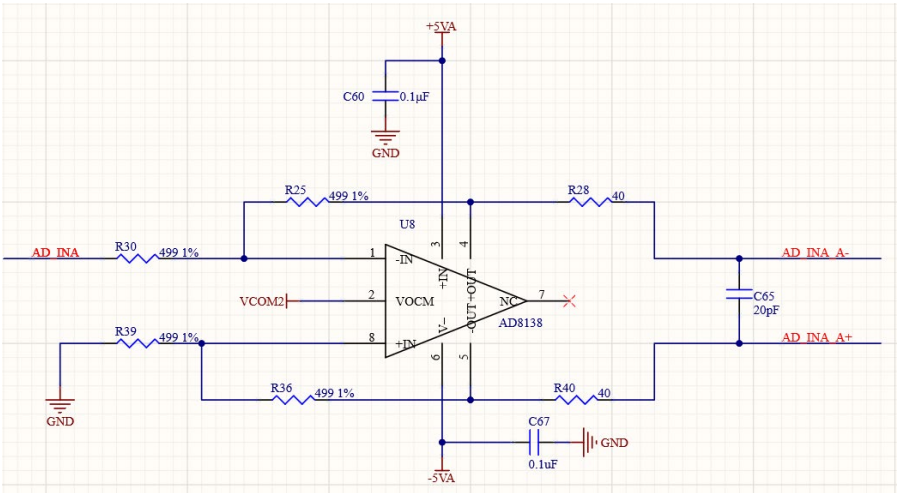


图 4-4 单端转差分电路

表 4-1 为模拟输入信号到 AD8138 差分输出后的电压对照表。

表 4-2 模拟转差分电压对照表

AD 模拟输入值	AD8065 运放输出	AD8138 差分输出
-5V	-1V	-1V
0V	0V	0V
+5V	+1V	+1V

本系统中 AD9238 芯片连接电路如图 4-5 所示。

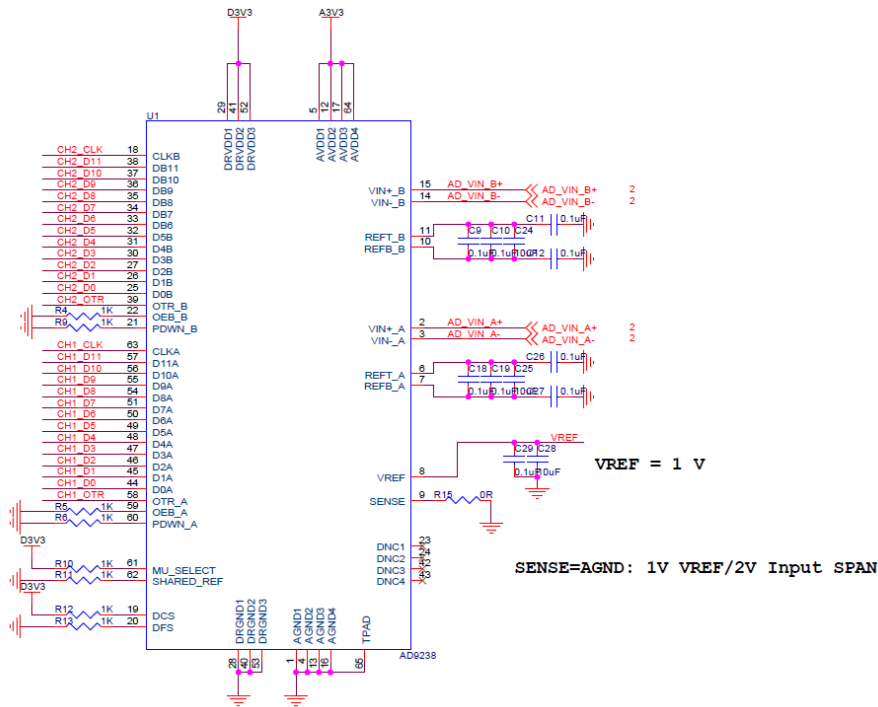


图 4-5 AD9238 芯片电路

默认 AD 是配置成 offset binary，AD 转换的值如表 4-3 所示。

表 4-3 AD9238 输出信号信息

Input(V)	Condition(V)	Offset Binary output Mode
VIN+ -VIN-	$< -V_{REF} - 0.5LSB$	0000 0000 0000
VIN+ -VIN-	$= -V_{REF}$	0000 0000 0000
VIN+ -VIN-	$= 0$	1000 0000 0000
VIN+ -VIN-	$= +V_{REF} - 1.0 LSB$	1111 1111 1111
VIN+ -VIN-	$> +V_{REF} - 0.5 LSB$	1111 1111 1111

在模块电路设计中，AD9238 的 VREF 的值为 1V。最终的模拟信号输入和 AD 转换的数据如表 4-4 所示。

表 4-4 AD9238 数据转换

AD 模拟输入值	AD8055 运放输入	AD8138 差分输入	AD9238 数字输入
-5V	-1V	-1V	0000 0000 0000
0	0	0	1000 0000 0000
+5V	+1V	+1V	1111 1111 1111

从表中我们可以看出，-5V 输入的时候，AD9238 转换的数字值最小，+5V 输入的时候，AD9238 转换的数字值最大。

在明确 ADC 各个模块设计方案后进行 AD9238 数据采集芯片整体 PCB 设计。双通道 AD9238 数据采集模块的 PCB 结构图如图 4-6 所示，主要包括外部接口、运放、单端转差分、主控芯片等。

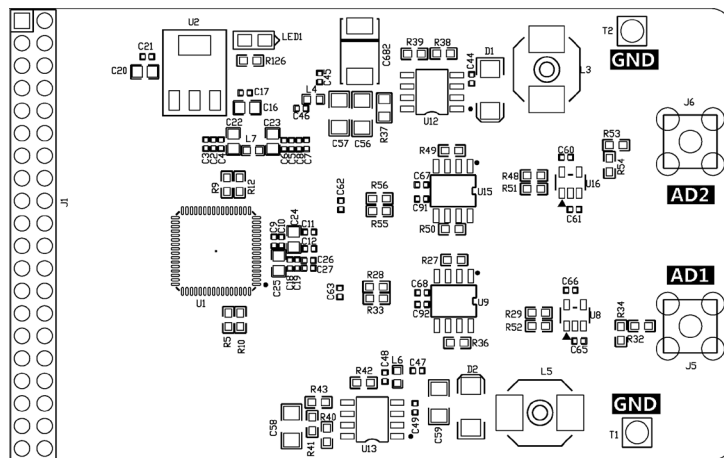


图 4-6 数据采集模块的 PCB 结构图

根据原理图完成数据采集板的 PCB 布局。在布局过程中，必须确保每个接地引脚与地层之间连接牢固，以避免多个接地引脚共享单一地层连接的情况。每个接地引脚应采用单个或多个孔与地层相连，同时应避免在器件下方布置数字线路，以防干扰信号耦合至芯片。

一般来说，数字电路的工作频率高于模拟电路，并且其信号通常与地层形成回路。若混合布置地线，则可能导致回路形成，从而在数字和模拟电路之间相互干扰。因此，必须将数字和模拟地分开，并对 PCB 板进行挖槽处理，以确保它们只在各自的领域内形成回路。图 4-7 为系统 AD 转换板隔离模块的电路设计。

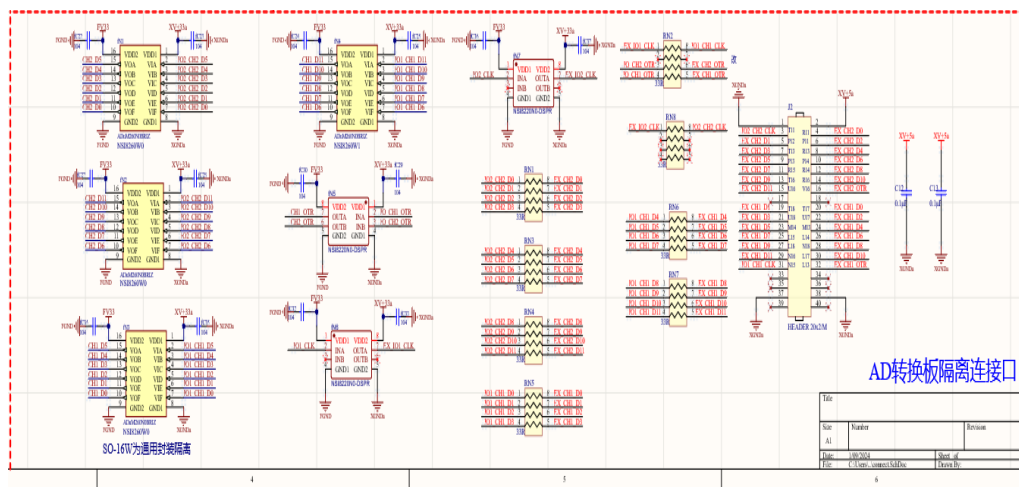


图 4-7 AD 转换板隔离连接接口电路图

数据存储模块采用赛普拉斯公司的 FM24CL64B-G F-FRAM 作为存储芯片，其主要任务是存储从 ADC 接收到的数据。在数据采集阶段，FPGA 负责将数据写入 F-FRAM 中。相反，在数据回读阶段，FPGA 负责从 F-FRAM 中检索数据，随后通过 UART 高速串行总线将其传输到主机计算机。数据存储模块的电路图如图 4-8 所示。

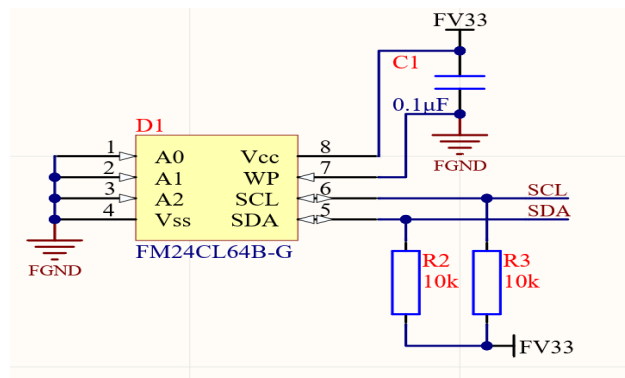


图 4-8 数据存储模块电路

4.4 其他模块电路设计

4.4.1 复位模块

复位模块负责在系统上电后为系统提供复位信号。复位模块核心芯片采样的是 ADI 公司的 DS1818R 芯片。DS1818R 是一款高精度电压检测器，具有高效的开漏输出，内置 $5.5\text{k}\Omega$ 上拉电阻节省功耗，在断电后自动重新启动微处理器。DS1818R 在系统上电后检测到输入电压的变化，会输出一个复位信号传输给 FPGA 的 15 引脚进行上电复位。复位模块电路如图 4-9 所示。

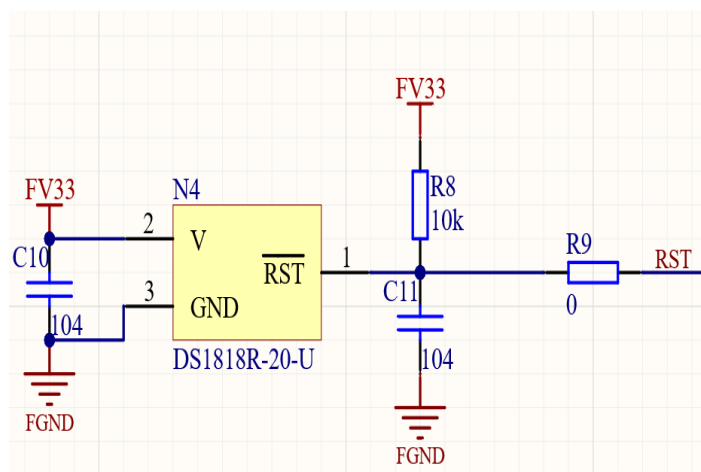


图 4-9 复位模块硬件电路

4.4.2 时钟模块

为提高电路的性能和可靠性以满足同步操作、定义时序约束、实现时序优化以及减少功耗等系统需求，选用适合系统的时钟芯片尤为重要。本文涉及的高压脉冲调制器数据采集系统主要硬件芯片时钟需求如表 4-5 所示。

表 4-5 芯片工作时钟需求

芯片	频率	描述
S3D50.000000B20F30T	50 MHz	FPGA 工作时钟
PLL 锁相环	65 MHz	ADC 工作时钟

本文设计的高压脉冲调制器数据采集系统选用深圳市星通时频电子有限公司的晶振，固定频率为 50MHz，工作电压为 3.3V。

在设计过程中,选用一片 50MHz 晶振为 FPGA 和 AD9238 同时提供 50MHz 以及 65MHz 时钟。时钟模块电路如 4-10 所示。

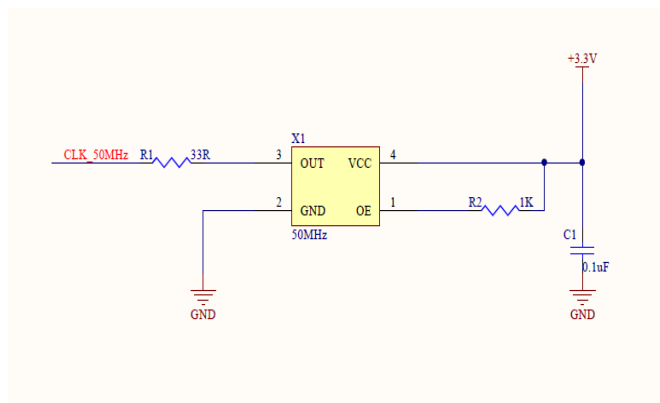


图 4-10 时钟模块电路

4.4.3 电源模块

根据系统需求和总体设计方案,电源模块需要为 FPGA、ADC 高速数据采集模块、掉电检查模块、DDR 接口、UART 接口、EEPROM 存储模块以及外部接口同步触发模块的正常运行提供所需的电源电压。根据各模块的供电需要,需提供 5V、3.3V、1.5V、1.8V、1.1V 电压等级。电源模块电路设计如图 4-11 所示。

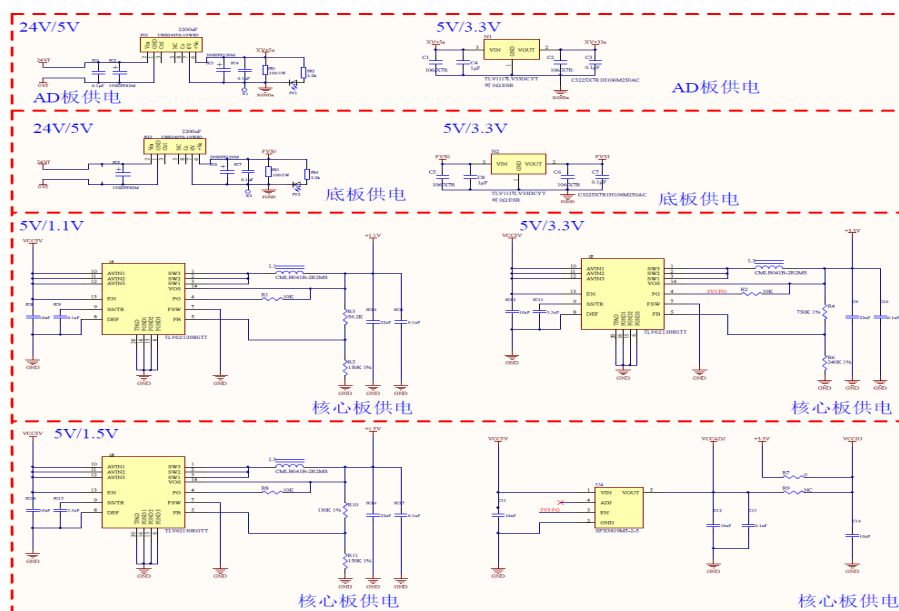


图 4-11 电源模块电路原理图

本系统分别使用了型号为 TLV62130RGT、URB2405S-10WR3、TLV1117LV33DCYT 等电源芯片为系统的正常工作提供稳定的电压。总电源由外部输入的 220V 交流电源提供,经过 AC-DC 整流及降压,能够输出 24V/4.5A 的

电源。再由底板的电源芯片对 24V 降压生成 5V 的电源，经过各种降压芯片分别输出 1.0V、1.5V、1.8V、3.3V 的电压。

4.5 PCB 设计

系统的数据采集和传输接口涉及高速信号，对 PCB 板的信号完整性、电源完整性和电磁兼容性等因素有严格的要求。因此，本节将主要详细介绍布局、叠层和布线策略^[60]。

在 PCB 设计过程中，最初的考虑是组件布局。考虑到核心组件和接口的位置，全面考虑信号布线、连接器布置以及信号屏蔽和散热等问题。遵循系统设计规范，高压脉冲调制器数据采集系统的单板尺寸为 135mm * 152mm。PCB 板左侧有一个 50 针连接器和一个 5 针连接器，作为外部供电和信号传输到子系统的接口。在布局设计方面，将 FPGA 作为核心处理器放置在 PCB 的中心位置，有利于提高通讯速度。

系统的外围电路主要包括两路 ADC 接口电路、一路 RS583 接口电路和六路外部同步信号接口。对于 65MHz 的 ADC 接口，考虑到电磁隔离，将四个 NSI8260W0 芯片放置在 FPGA 附近。考虑到需要隔离两种信号类型的重要性，对隔离芯片的底部进行了开槽。RS583 接口芯片位于 FPGA 附近。

高压脉冲调制器数据采集系统 PCB 布局图如图 4-12 所示。底板左侧的 40 针和 4 针接口与 ADC 和电源相连接，而外部接口和 RS485 串口接口位于右侧和底部。FPGA 核心板位于顶层的中央位置，左侧放置了四个具有六个输入和六个输出的 NSI8260W0 隔离芯片，以及四个具有两个输入和两个输出的 NSI8220N0 隔离芯片，位于顶层 FPGA 左侧。此外，为了方便布线，一些电阻电容器件被放置在背面。RS485 收发芯片位于底层的中间位置，分离出一路放置在左侧以用于数据控制，符合系统的数据传输和控制要求。电源芯片通常位于 40 针连接器附近，即电源的输入端，并根据电源输出结构将其连接到相关的电源供应区域。剩余区域用于安置 FM24CL64B-G 和连接器等元器件。

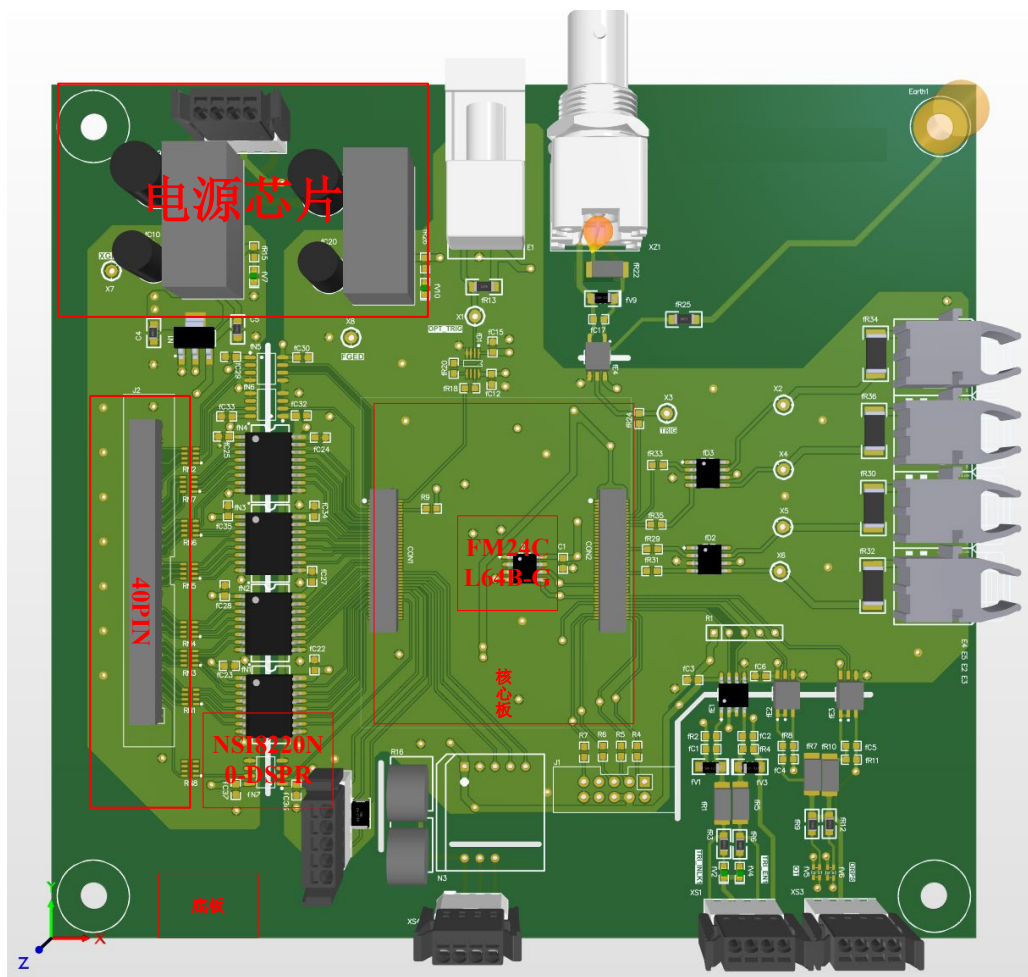


图 4-12 高压脉冲调制器数据采集系统 PCB 布局图

4.6 本章小结

本章详细阐述了基于 FPGA 的高压脉冲调制器数据采集系统的硬件电路设计相关原理及实现方案。从系统的现实需求出发，本章首先对 FPGA 最小系统进行硬件电路设计，之后对其余的外围接口模块进行电路设计，最后简要阐述 PCB 布板设计的流程以及最终设计的 PCB 板图。

5.1 数据采集系统 FPGA 程序逻辑模块设计

The diagram illustrates the system architecture for the FDSSA LMS algorithm. Key components and their interconnections are as follows:

- Inputs:** `clk`, `rst`, `OUT_in`, `[11:0]adc_data`, `Pll_rst(1'b0)`, and `Ad9238_clk`.
- Modules:**
 - WAI_filter** (外部触发模块): Receives `clk`, `Rst_n`, and `OUT_in`. It outputs `OUT_flag` to **Ctrl1**.
 - Ctrl1** (发送使能以及读RAM地址模块): Receives `clk`, `Rst_n`, and `OUT_flag. It outputs Send_en to Ctrl2 and [7:0]wdata to RAM存储器.`
 - Ctrl2** (数据打包控制模块): Receives `clk`, `Rst_n`, `Send_en`, and `[7:0]wdata. It outputs Tx_data_valid and [7:0]tx_data to Uart tx.`
 - Ad9238_sampler** (数据采集模块): Receives `[11:0]adc_data`, `Rst_n`, and `Adc_clk`. It outputs `Wr_adata`, `Wr_addr`, and `Wr_en` to **RAM存储器**.
 - RAM存储器** (RAM memory): Receives `Wr_adata`, `Wr_addr`, `Wr_en`, `Rd_addr`, `Rd_data`, and `clk`. It outputs `Rd_data` to **Ctrl2** and `Wr_clk` to **Adc_pll**.
 - Adc_pll** (时钟分频模块): Receives `Pll_rst(1'b0)` and `clk`. It outputs `Adc_clk` to **Ad9238_sampler** and **Ctrl2**.
 - Uart tx** (串口发送模块): Receives `Tx_data_valid`, `[7:0]tx_data`, `clk`, and `Rst_n`. It outputs `Tx_pin` to **数字滤波器**.
 - 数字滤波器** (Digital Filter): Receives `Tx_pin` and outputs `FDSSA LMS_pin` to `Uart tx`.
 - 电压电流峰值检测模块** (Voltage/Current Peak Detection Module): Receives `clk`, `Rst_n`, and `Tx_pin`. It outputs `UI_pin` to `Uart ui`.
 - 周期频率检测模块** (Period/Frequency Detection Module): A block labeled "设计在上位机当中" (Designed in the host).
- Outputs:** `Uart tx`, `Uart ui`, and `Ad9238_clk`.

5.2 带有方向性的同步信号控制电平触发方式设计

32

析，本系统采用的外触发方式为正向通过触发电平，即信号电平值从低到高的通过触发电平产生触发。

图 5-2 展示正向电平触发的仿真结果（该仿真是在 MATLAB 2022 仿真环境下进行的），在该仿真中，触发电平被设定为一个电平区间，当有信号样值落入到电平值区间并且信号以正向方式进入该区间时，产生触发信号，启动 Time Base 时基信号增长。图 5-2 中正弦波形子图中的两条横线，表示的是电平触发区间的边界电平值。

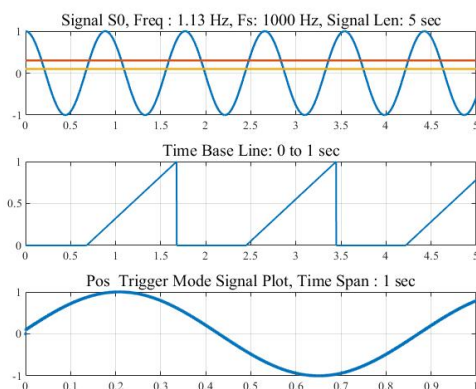


图 5-2 正向电平触发仿真结果

基于 MATLAB 2022 仿真测试，并将其思路应用到 FPGA 硬件程序控制中，该部分电平触发模块由三部分组成，包括信号源激励模块、触发模块、时基模块。如图 5-3 所示。

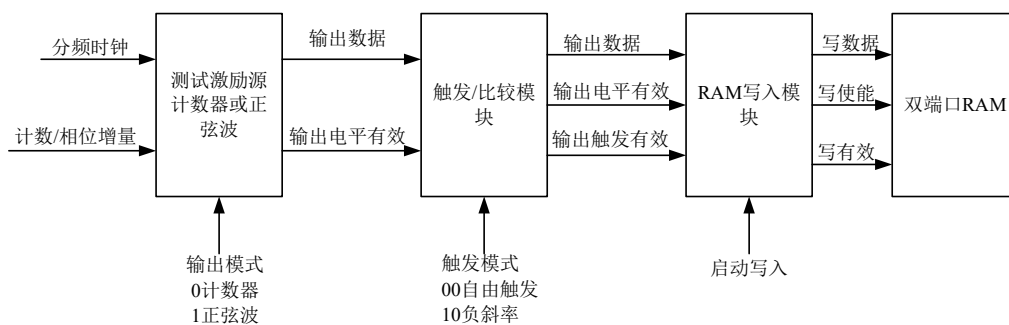


图 5-3 触发电路总体结构图

该模块的触发电平可以配置，触发模块包括 4 种：

- （1）自由触发，触发输出始终有效。
- （2）正斜率触发，输入信号值以正斜率方式通过触发电平时触发。
- （3）负斜率触发，输入信号值以负斜率方式通过触发电平时触发。
- （4）电平值触发，输入信号值落入触发电平区间时触发。

信号触发有效后，F-FRAM 写入电路启动工作，从 0 地址开始将信号样值写入 F-FRAM 中，直到 F-FRAM 写满。

信号源激励模块的用途是，根据输入的模式配置数据，输出正弦波或循环计数三角波。

信号源激励电路结构如图 5-4 所示。

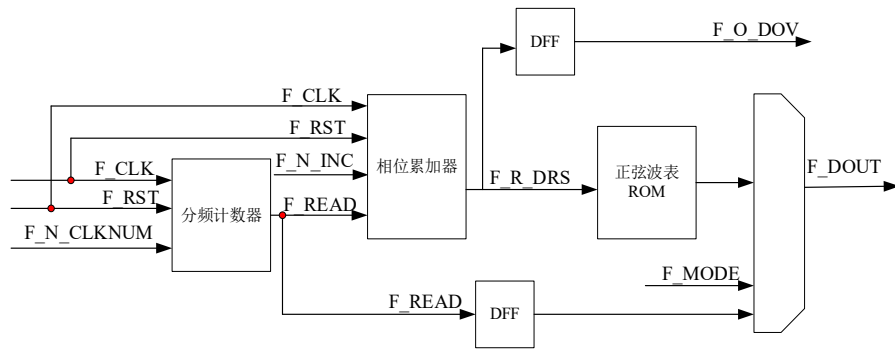


图 5-4 信号源激励模块结构

信号源激励模块的工作流程为：首先由工作分频计数器模块，根据输入的工作周期分配参数，输出单周期、高电平有效的工作使能信号，该信号周期为 F_N_CLKNUM ，占空比为 $1/F_N_CLKNUM$ 。后级的相位累加计数器根据工作使能信号，在使能有效的周期动作一次，生成 ROM 的读取地址。根据模式 MODE 信号配置，选择把地址计数信号或是 ROM 的读取数据信号输出作为激励信号。地址计数信号作为输出数据时，需要使用 D 触发器（DFF）进行流水线延迟匹配。工作使能信号经过 D 触发器（DFF）进行流水延迟适配后，输出至外部作为输出有效信号。

触发模块的作用是，对每个数据样点进行检测，如果当前输出样点满足触发条件，则将其标识为触发有效。触发模块电路结构如图 5-5 所示。

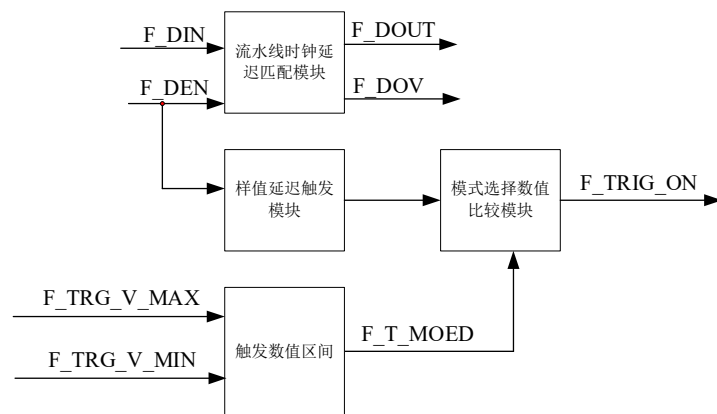


图 5-5 触发模块电路结构图

触发模块的工作原理为：对输入样值进行判断，判定值是否落入触发数值区间，然后对输入样值进行延迟，保存上一个输入样值的数据；联合当前输入样值，以及上一个输入样值，以及触发模式设定参数，判定当前样值数据是否符合触发条件；对输入样值进行流水线时钟延迟匹配，与触发信号进行流水线时钟对齐后输出。

时基模块的工作状态变迁逻辑描述如下：模块复位后进入空闲待命状态 IDLE；当模块处于 IDLE 状态或是 F-FRAM_FULL 状态时，来自主控器的启动信号有效时，模块进入触发等待的状态；当接收到第一个有效触发数据后，进入数据存储状态，依次保存所有的有效数据，生成写使能和写地址信号，直到数据 F-FRAM 装满；数据 F-FRAM 装满后，进入 F-FRAM 写满状态，生成 F-FRAM 写满状态信号，等待主控器再次启动。上述状态机的状态迁移过程如图 5-6 所示。

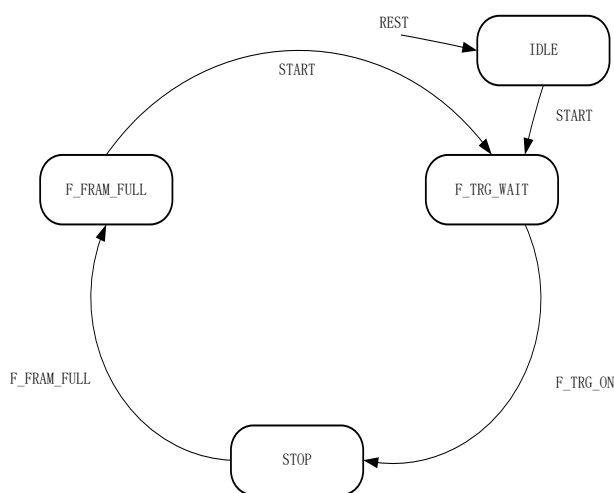


图 5-6 时基模块状态迁移状态机图

时基模块的电路结构由状态机和计数器 2 部分构成。其中状态机模块用于进行状态切换和生成计数器的控制信号，以及对输入数据进行流水线延迟适配，使得计数器模块的输入数据和其控制信号的流水延迟时序对齐。

计数器模块由状态机启动其工作，启动计数后，每次输入一个有效数据，计数器则生成数据 F-FRAM 的写入数据及地址和写使能信号。当 F-FRAM 写满后，计数器停止动作并且置位“存储器写满”标志位信号，状态机得到此信号后，更新内部状态及输出信号，并通知时基模块的主控信号读取 F-FRAM 中的波形数据。时基模块电路结构如 5-7 图所示。

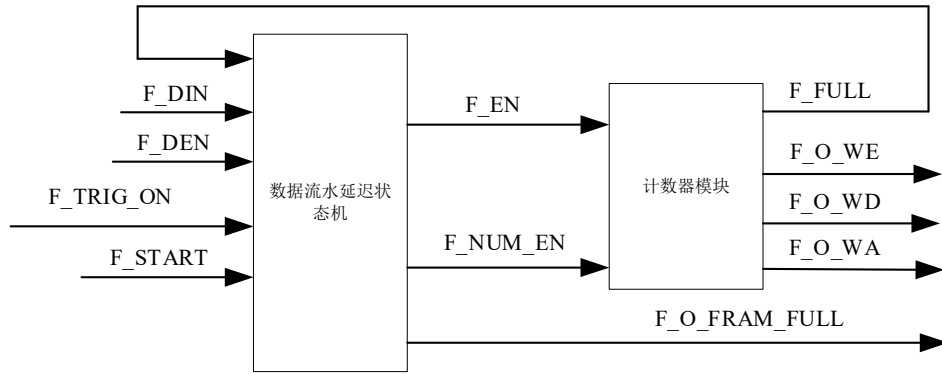


图 5-7 时基模块电路结构图

本模块的测试采用 Modelsim 10.4 仿真进行功能测试，模块的 Testbench 代码在整个仿真周期中，产生若干次的 START 信号，启动时基模块捕获数据。图 5-8 与图 5-9 是以不同的时间尺度观察的时基模块的 Modelism 的仿真结果。程序仿真结果与 MATLAB 2022 仿真结果一致。

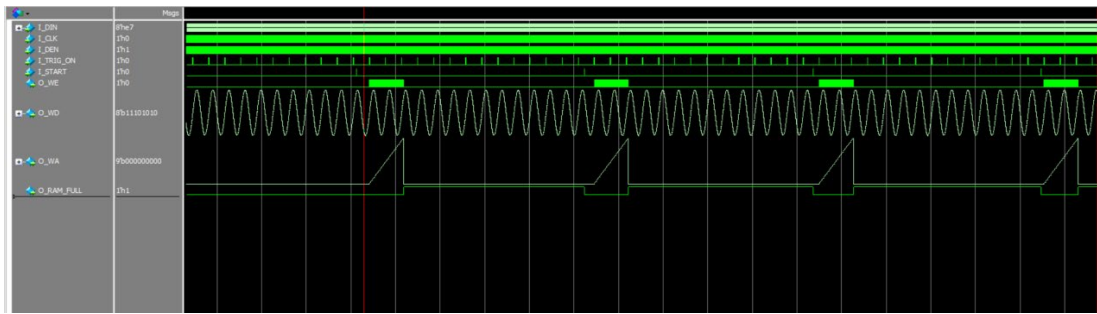


图 5-8 有方向性的电平触发方式设计程序仿真 1

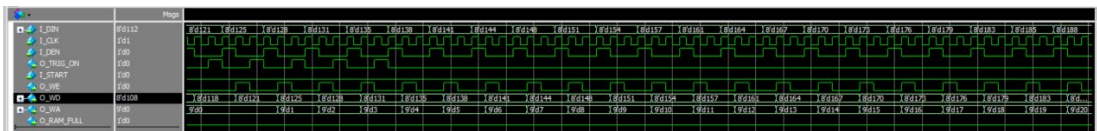


图 5-9 有方向性的电平触发方式设计程序仿真 2

5.3 AD9238 数据采集模块程序设计

本部分的程序设计是将 AD 采集到的数据以包的形式发送到串口，PC 端接收到串口传输的数据，在波形显示上位机显示实际采集到的外部信号。数据采集模块程序主要包含三个子模块：AD 转化模块、数据转换模块、串口发送模块。其中 AD 转化模块完成 AD 数据的采集；数据转换模块完成电压和十六进制到十进制的格式转换；串口发送程序完成采集数据的 ASIC 码的串口数据发送。FPGA 的 AD 模块的功能框图如图 5-10 所示。

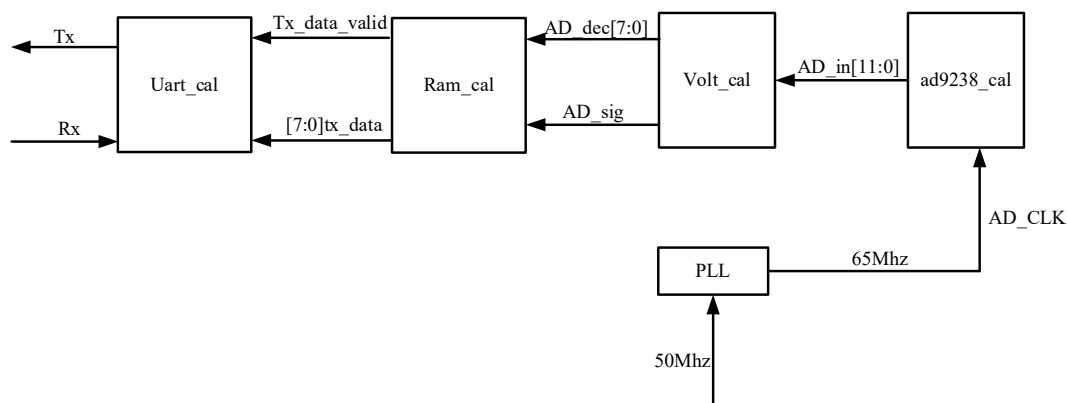


图 5-10 FPGA 的 AD 模块功能框图

下面对 FPGA 数据采集程序中用到的部分模块做简单的功能介绍：

（1）AD 转化模块（ad9238_cal.v）：完成 AD 数据的采集。

（2）数据转换模块（Volt_cal.v）：将由 AD 模块采集的 12 位数据转换为 8 位的十进制电压数据。在 AD 模块捕获的 8 位数据中，最高位用作正负符号指示器。因此，在电压计算过程中，必须去除符号位，并将剩余的 7 位数据转换为电压数值。

（3）数据存储模块（Ram_cal.v）：将转换的数据以数据包的形式存储在 RAM 中，本模块在 5.4 节将详细介绍。

（4）串口发送模块（Uart_cal.v）：串口发送程序定时向串口发送 8 位的数据来现实采集到的电压值，串口发送十进制的电压值时需要转换为 ASCII 码。程序中调用了串口发送程序和串口时钟产生程序，按照波特率 115200 发送电压值到 PC 上位机。

5.4 数据存储模块程序设计

数据存储子模块负责将 AD 模块采集的数据打包处理写入 F-FRAM 中。当需要发送数据时，通过 PC 端的主机对系统发送指令。数据写入方面，当工作在采样模式时，数据在使能信号为 01 时传入。在写入 F-FRAM 时，综合考虑 F-FRAM 位宽、采样精度以及现实需求，数据存储模块采用包处理方式按照 1024 个采样数据为一组进行打包，循环储存，写入数据地址依次递增，当写满 1024 个地址空间时回到地址 0 开始覆盖写入。数据读取方面，当外部同步信号触发模块将使能信号传输给数据存储模块的输出信号控制线上时，数据会被送到 UART 发送子模块。如图 5-11 为数据存储模块流程图。

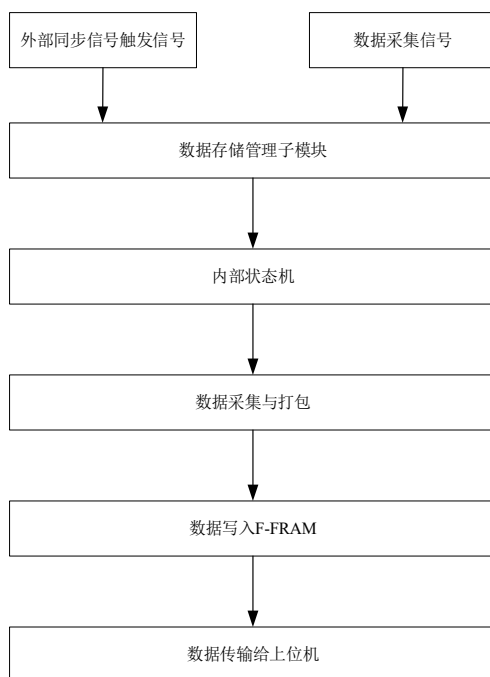


图 5-11 数据存储模块流程图

数据存储模块通过状态机的中间处理将从 AD 模块获取的滤波后的数据封装并存储到 F-FRAM 中。在内部，系统在等待触发信号的状态下开始运行，直到接收到外部触发信号。一旦触发信号到达，系统将转换到数据采集和打包状态，从而开始数据采集和封装过程。随后，在完成数据封装或激活写入使能信号后，系统将转换到将数据写入 F-FRAM 的状态，在该状态下，数据被写入 F-FRAM 存储介质中。在写入过程结束后，系统将恢复到等待触发信号的状态，为下一个信号激活的情况做准备。此外，一旦外部触发信号被初始化，系统将直接转移到“数据读取状态”，在该状态下，数据被检索并传输到 UART 传输子模块。然后，数据进一步传播到主机计算机的波形显示模块，以便进行波形可视化。

5.5 本章小结

本章详细阐述了基于 FPGA 的高压脉冲调制器数据采集系统的程序逻辑设计。从总体功能出发，本章首先对总体逻辑设计进行了描述，之后分别对电平触发模块、数据采集模块、和数据存储模块的具体实现进行了详细阐述。

第 6 章 系统实验测试

在完成整个系统在 FPGA 中的软硬件设计后,就必须对该系统进行板级的调试与功能验证。本系统最终选用紫光同创的 PGL22G 芯片作为核心芯片;对于 AD 数据采集模块,采用了 ADI 公司的 AD9238 芯片并将其设计成模块化的采集板模块,该模块通过 FEP 可插拔高速接口与开发板上的 FEP 扩展接口连接,方便且可移植性高,图 6-1 为本系统设计的硬件实物图。

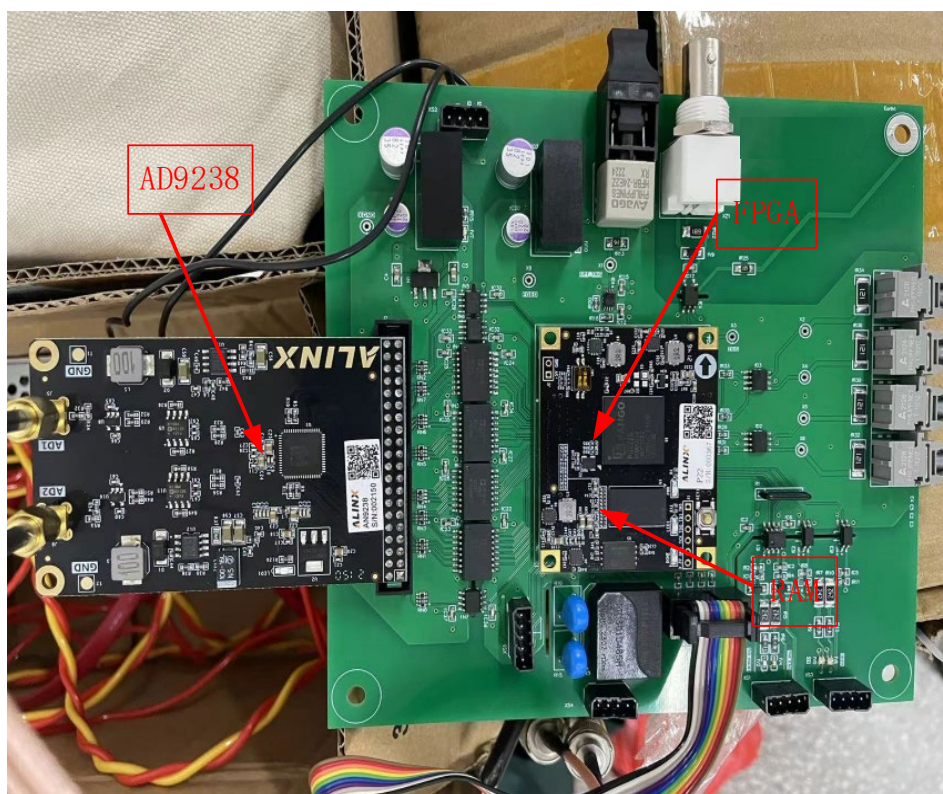


图 6-1 高压脉冲调制器数据采集实物图

6.1 系统实验测试平台

在测试实验之前,确定测试实验样机所处的测试环境,如表 6-1 所示。

表 6-1 测试环境

序号	天气指标	指标范围
1	温度	15℃~35℃
2	相对湿度	25%~75%
3	气压	86k Pa~106k Pa

所需测试仪器和要求，如表 6-2 所示。

表 6-2 测试工具

序号	名称	技术要求	型号	数量	备注
1	示波器	双踪	TEKTRONIX 1012	1	配两个探头
2	万用表		VICTOR VC9806+	1	
3	电容分压器	耐压大于 60kV	VD-60	1	

测试现场图如图 6-2 所示。

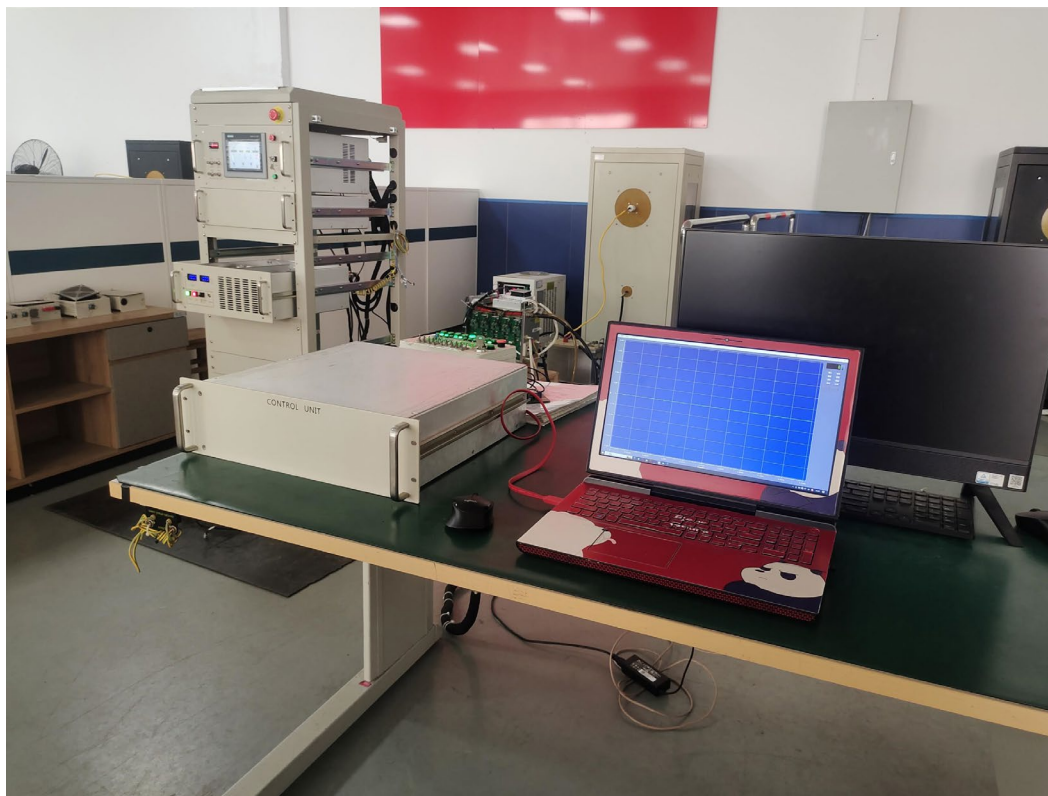


图 6-2 测试现场图

6.2 高压脉冲调制器数据采集系统板级测试

6.2.1 数据采集系统电源测试

本章节的测试旨在验证 FPGA 板级电源的稳定性和性能，以确保其符合设计要求并能够可靠地支持 FPGA 的正常运行。用示波器测量各电压等级+24V（CH1）、+5V（CH2）、+3.3V（CH4）、1.1V（CH3）输出值如图 6-3 所示。

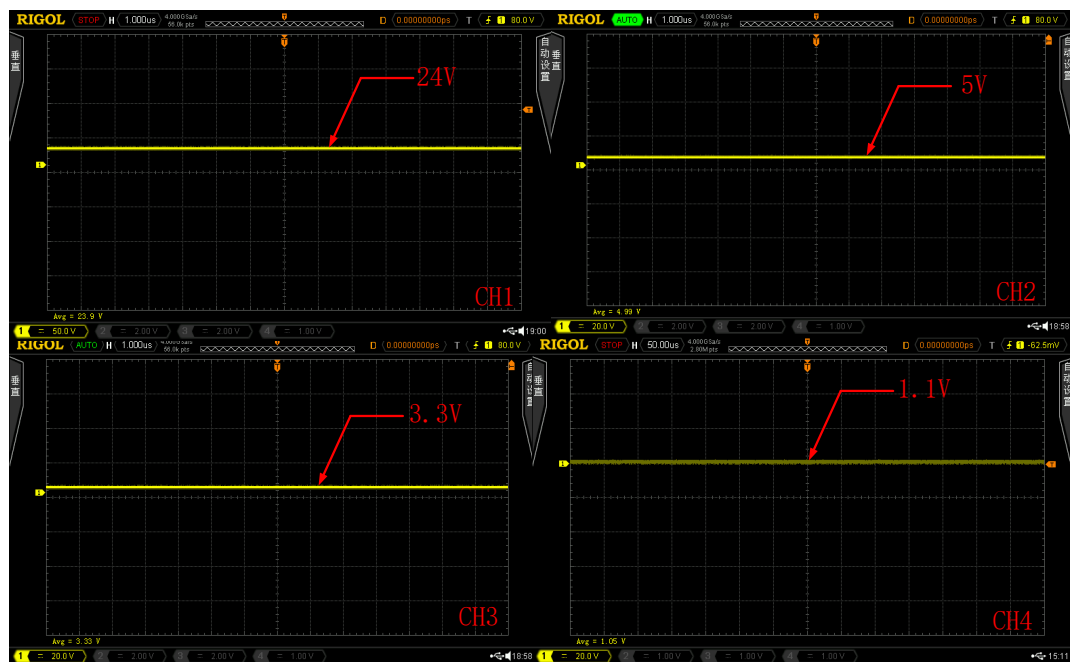


图 6-3 不同电压等级输出值

根据以上测试结果，FPGA 板级电源在所测试的各项指标下均符合设计要求，能够提供稳定可靠的电源支持。

6.2.2 数据采集系统 AD 采样模块测试

本节测试的目的是验证高压脉冲调制器数据采集系统内部 AD 采样模块的功能，确保其能按设计要求准确采样模拟信号并转换为数字信号。使用信号发生器产生 $2\text{kHz}_{\pm 5\text{V}_{\text{pp}}}$ 的信号传输给 AD 板的 SMA 接口，数据通过暂时存储在 F-FRAM 中，通过上位机发送指令传输给下位机，通过外部同步信号触发模块触发信号对数据进行的接收、处理和输出。系统接收到数据上传至上位机，然后在波形显示上位机上进行波形显示。信号发生器输出正弦信号传输给系统的测试环境如图 6-4 所示，图 6-5 为信号发生器输出正弦信号配置图，图 6-6 为上位机输出波形显示图。

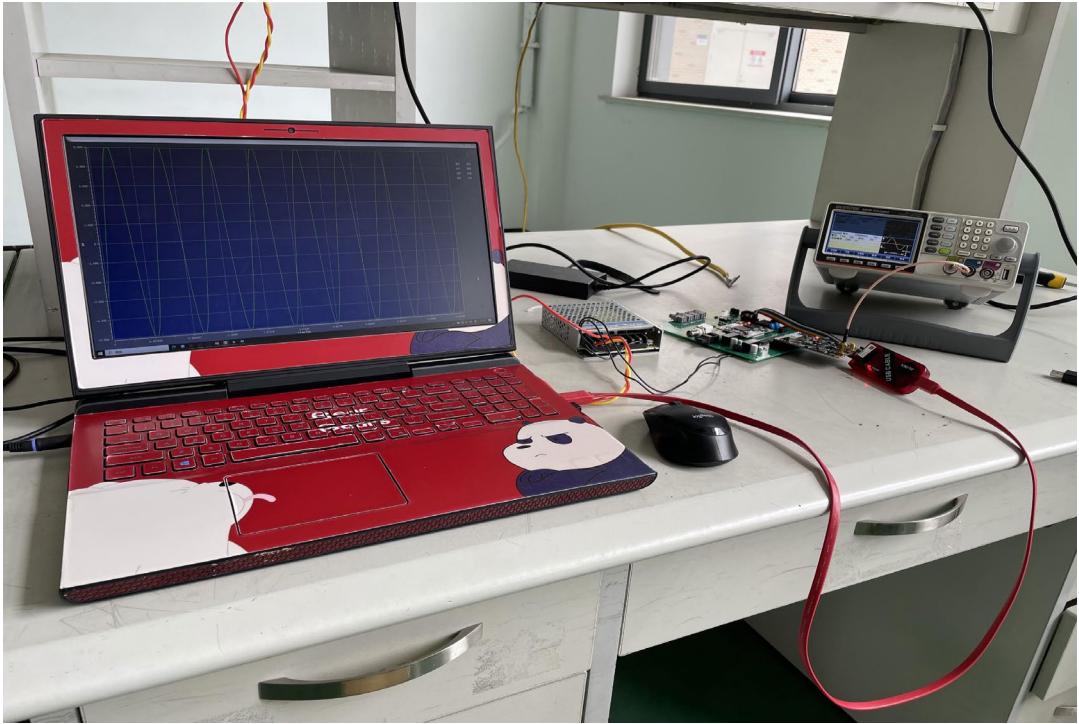


图 6-4 AD 采样测试环境

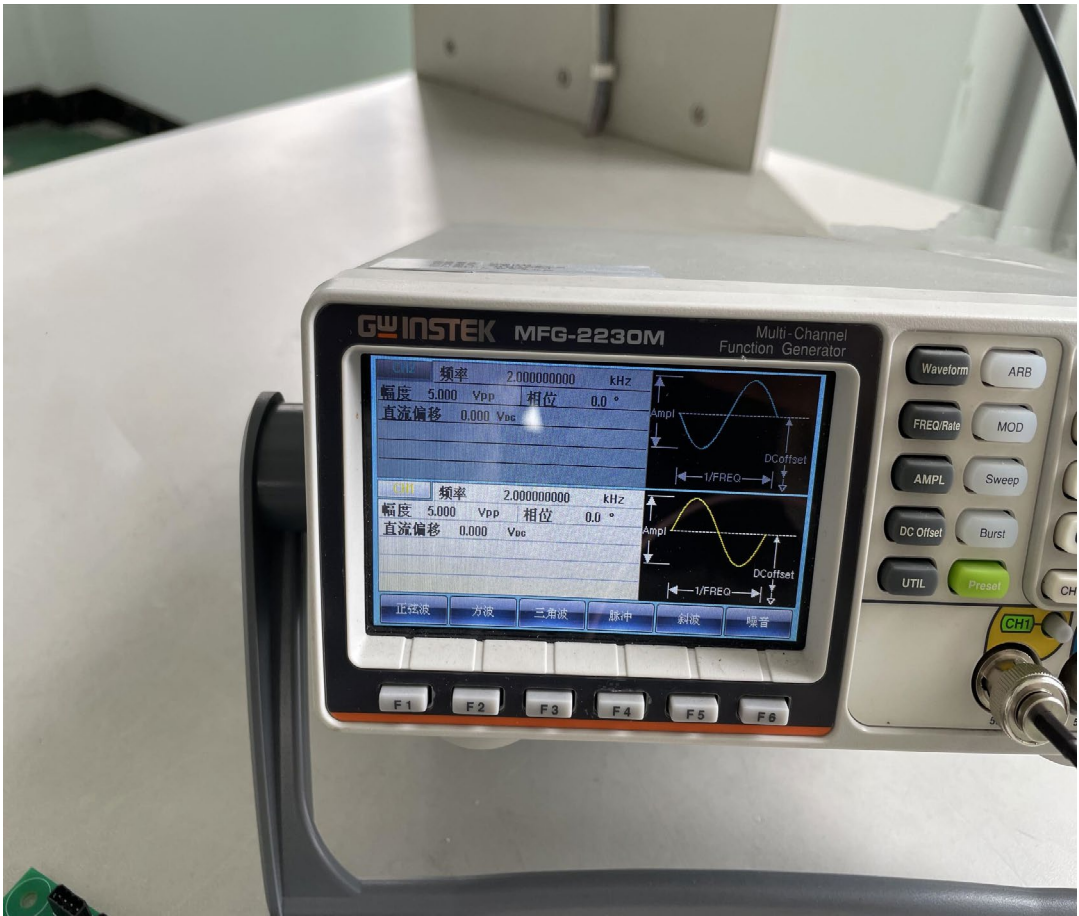


图 6-5 信号发生器输出信号配置



图 6-6 上位机输出波形结果图

根据以上测试结果，高压脉冲调制器数据采集系统内部 AD 采样模块在各项指标下均符合设计要求，能够输出准确、稳定的信号。

6.3 数据采集系统调制器信号捕获测试

本节将基于 6.1 节所介绍的系统实验测试平台，根据测试要求进行高压脉冲调制器的输出脉冲信号的抓取与滤波处理。由于脉冲调制器输出的脉冲信号高于 AD 的电压等级，因此使用电流互感器进行电流信号衰减、分压器进行电压信号的衰减，衰减至使 AD 芯片所能接受的模拟输入范围，使采集到的信号的最大值与最小值均稳定在 $\pm 5\text{V}$ 区间再进行信号抓取与滤波处理。

首先，确保在调试过程中遵守安全操作规程，戴上必要的防护装备，如护目镜和手套。然后对调制器的各项功能进行测试，例如调整输出脉冲的参数、检查设备的响应和稳定性。设置输出脉冲的幅值、宽度、频率和波形等参数，使用示波器等测试仪器监测输出信号的波形、幅度和频率，与预期结果进行比较。设备调试完成后，考虑到调制器输出信号为 170A，超过 AD 芯片所能承受的电压电流范围，因此采用互感器将输出信号以 10 倍进行衰减至 1.7A，然后使用 SMA 接口协议的双通口将调制器输出信号接口与系统设计的数据采集板的数据采集接口连接。此外，为了确保与外部的脉冲信号能够同步触发，以此提高脉冲信号的时间抖动指标，从而满足时间抖动的高稳定性要求，将触发宽度设定为 $2.5\mu\text{s}$ 、触发倍数设定为 2、触发模式设定为 5.2 节设计的带有方向性的同步信号电平触

发模式。数据通过串口传输至波形显示上位机，上位机捕获的高压脉冲调制器输出脉冲信号如图 6-7 所示。由于调制器处于强干扰环境下，因此输出信号有一段被其他信号干扰的信号波动。

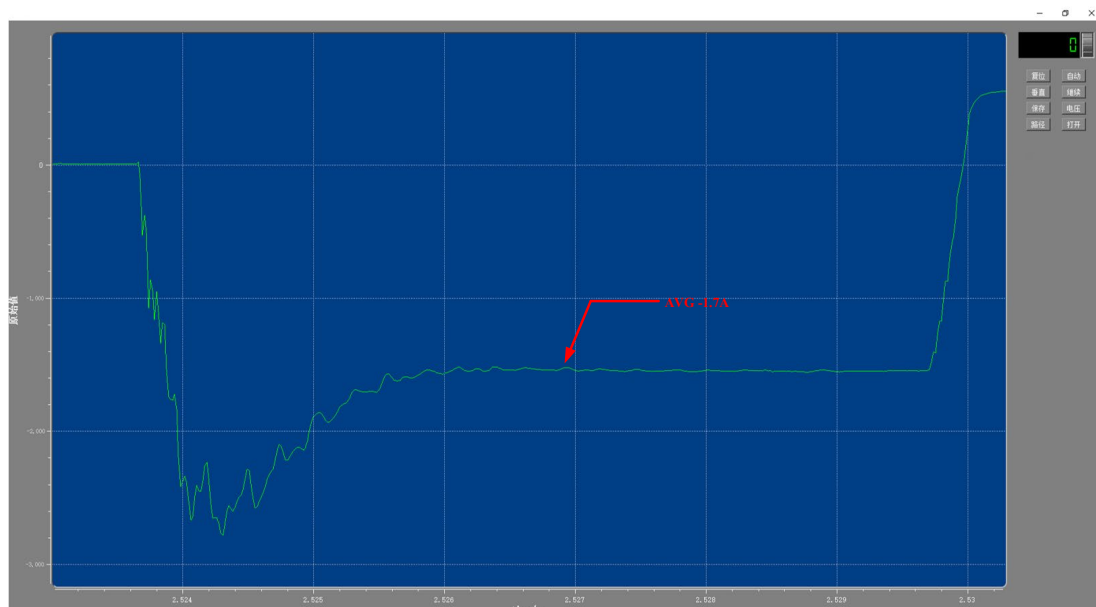


图 6-7 调制器输出受干扰电压信号采集结果图

由图 6-7 可以明显看出采集到的脉冲信号平均值在-1.7A，但信号明显受到外部信号的干扰，因此利用第 3 章设计的 FDSSA-LMS 数字滤波器进行滤波处理，数字滤波器的相关参数如表 6-3 所示。

表 6-3 FDSSA-LMS 滤波器相关参数设置

阶数 M	20	采样率 f_s	125Mhz
种群 POP	100	生产者 PD	20
迭代次数	100	步长 r	0.0008

将该滤波器的系数由 MATLAB 2022 导入 FPGA 中，并对这段信号进行 FDSSA-LMS 数字滤波器滤波，通过上位机波形显示模块显示脉冲调制器输出脉冲信号经 FPGA 滤波模块处理后的波形图，经滤波后系统采集到的高压脉冲调制器输出脉冲信号波形如图 6-8 所示。

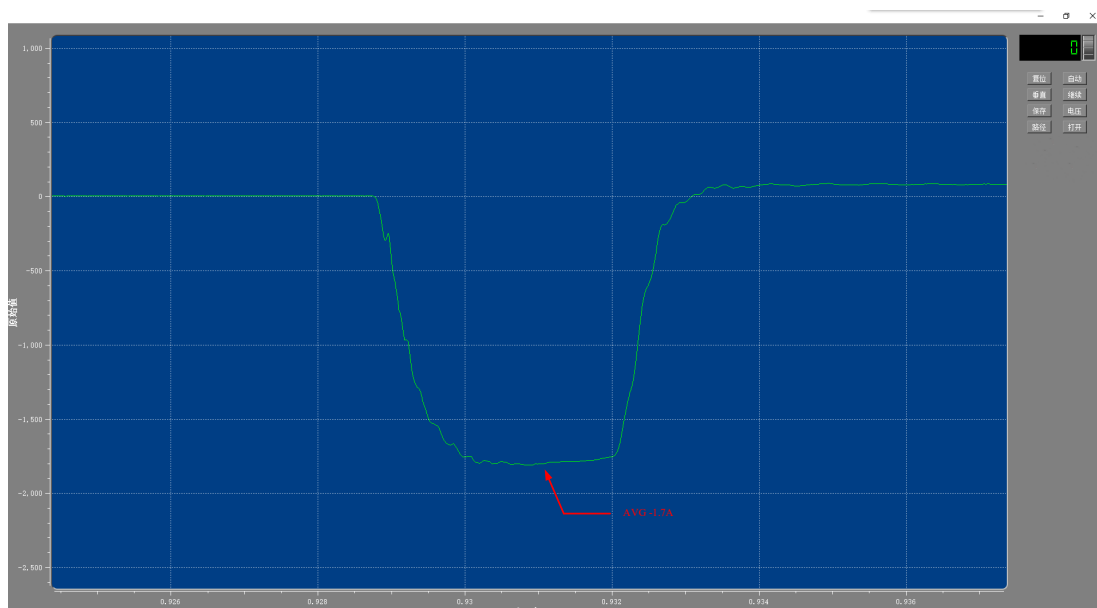


图 6-8 系统采集的脉冲信号滤波后的波形

由图 6-8 可以看出被干扰的那段信号已经被滤除且采集到的数据满足课题需求，同时采用示波器与图 6-8 系统采集的脉冲信号滤波后的信号进行对比实验。调制器输出滤波后的脉冲波形在上位机与示波器上的对比实验如图 6-9 所示。



图 6-9 高压调制器输出信号对比实验

由图 6-9 可以明显看出上位机采集到的滤波后的脉冲信号与示波器采集到的滤波信号一致。

6.4 本章小结

本章主要对高压脉冲调制器数据采集系统中的部分模块进行功能验证和实际测试。首先，介绍了用于系统测试的实验平台。随后，对系统的电源和 AD 模块进行了功能测试，从而确认了所设计系统的完整性。最后，利用系统对高压脉冲调制器输出的信号进行滤波和捕获。实验分析可知，本文设计的高压脉冲调制器数据采集系统在滤波和捕获高压脉冲调制器输出信号方面表现出色。此外，在一定程度上，本系统可以取代示波器用于收集调制器输出信号，从而实现集成。极大地，便利了对高压脉冲调制器性能的研究。

第 7 章 总结与展望

7.1 全文总结

根据市场需求,本文设计了基于 FPGA 的高压脉冲调制器数据采集系统。所设计的系统解决了高压脉冲电源输出脉冲电压电流的数据采集和处理问题,减小控制器体积,提高电源功率密度;提高多路脉冲的时间抖动指标,满足时间抖动的高稳定性要求;实现稳定可靠的数据采集与多路脉冲同步系统。本文的设计内容包括:

(1) 高压脉冲调制器数据采集系统设计,通过深入探讨系统的具体应用场景。确定系统需要满足的功能需求,并根据这些需求确定系统关键硬件选择和程序设计。

(2) 数据采集系统的设计,主要分为数据采集及同步信号触发两大模块的设计,针对系统如何准确快速地抓取调制器输出的脉冲信号,并尽可能降低与外部同步信号之间的时间抖动,研究了数据触发机制以及数据采集模块的设计方案,在此基础上引入了一种带有方向性的同步信号控制电平触发机制,达到能根据设定触发模式较为准确地捕获到调制器输出的脉冲信号。

(3) 数字信号处理模块的设计,首先分析了经典 LMS 自适应滤波算法的相关特性,并对现有 LMS 算法进行改进。针对文献[23]跟踪性能较差、峰值失真的问题,结合文献对 SSA 的改进及应用提出了一种改进的 FDSSA-LMS 并将其应用到系统中,完成了 FDSSA-LMS 数字滤波器的 FPGA 架构设计与实现。

(4) 最后本文通过上板调试,分别对数据采集系统以及信号处理系统进行功能测试,通过对高压脉冲调制器输出信号的抓取与滤波处理,验证了本文系统设计的正确性。通过调制器输出信号捕获测试实验,本文成功设计了适用在高压脉冲调制器中的数据采集系统。

7.2 后续工作展望

本文设计的基于 FPGA 的高压脉冲调制器数据采集系统能够根据现实需求滤波和捕获外部信号,并通过串行总线便捷地进行后续数据检索。然而,受时间限制和对数据采集与存储方法的理解不足的限制,系统整体设计还存在一些缺陷,需要进一步完善。主要围绕以下几个方面:

（1）在后续的工作中将进一步优化 FPGA 的设计，提高系统的性能和稳定性，使其能够更高效地处理脉冲信号，同时优化数据采集和处理算法，提高系统的响应速度和准确性，以满足更严格的实时性要求。

（2）将高压脉冲调制器数据采集系统与其他相关设备或系统进行集成，构建更完整、更强大的测量和控制系统。与传感器、探测器、图像处理系统等设备进行集成，实现多模态数据采集和处理，提高系统的综合性能和应用价值。

（3）开发专用的控制软件和数据分析工具，简化系统的操作和管理。开发适用于不同平台的数据可视化和分析软件，支持数据的回读、记录和分析，为系统提供更丰富的数据处理功能。

参考文献

- [1] 刘永芳,黄丽.高压脉冲调制器数据采集系统设计[J].自动化与仪器仪表,2019, 41(10):1-4.
- [2] 辜霄,彭伟,江涛,等.210kV全固态高压脉冲调制器设计[J].真空电子技术,2024,25(01):56-61.
- [3] 胡伟.磁控管刚性脉冲电源系统的设计[D].南华大学,2021.
- [4] 王丽,鄢然,蒲友雷,等.高功率毫米波回旋器件的需求及发展[J].真空电子技术,2010,24(02):21-26.
- [5] 陈仁金,孙小杨,杨波,等.医用直线加速器高压脉冲调制系统的研究[J].机电工程技术,2017,46(06):104-106.
- [6] 杨军,张磊,石浩.基于GaNFET的超窄脉冲高压调制器技术研究[J].信息化研究,2019,45(04):45-50+56.
- [7] 金军赛.大功率毫米波回旋行波管高压脉冲调制电源研制[D].电子科技大学,2018.
- [8] 罗廷芳,孟志强.基于IGBT的固态高压脉冲电源的研究与设计[J].电子设计工程,2012,20(05):113-115.
- [9] Hartman C, Graas M, Elmquist K, et al. PPM pulse to pulse stability[C].IEEE Pulsed Power Conference, 2011 , 1593-1597.
- [10] 王敦,郭劼,陆坚,等.国产化关键芯片引入评估方法与实施研究[J].航空计算技术,2022,52(03):112-115.
- [11] 徐思燕.FPGA器件设计技术发展综述[J]通讯世界,2015,24(19): 223.
- [12] 尚明.FPGA技术的应用与发展趋势[J].科技资讯,2007,41(14): 10-12.
- [13] 王红,彭亮,于宗光.FPGA现状与发展趋势[J].电子与封装,2007,38(07): 32-37.
- [14] 王海力.浅谈国产FPGA芯片的产业化之路[J].中国电子商情(基础电子).2013,354(005):60-65.
- [15] 朱建红,顾菊平,任浩锋,等.基于DSP数据采集风电并网监控设计[J].南通大学学报(自然科学版),2022,21(02):79-87.
- [16] Khedkar A, Khade R H. High speed FPGA-based data acquisition system [J].

- Microprocessors and microsystems,2016,49:87-94.
- [17] Gregoire M D, Brooks N, Trubko R, et al. Analysis of polarizability measurements made with atom interferometry[J]. Atoms, 2016, 4(3): 21.
- [18] Jinding G, Yubao H, Long S. Design of high-speed sampling and adaptive filtering system[C]. 2011 Fourth International Conference on Intelligent Computation Technology and Automation. IEEE, 2011, 2: 506-508.
- [19] Liu Y, Tang Z, Bai L, et al. Measurement of inclined oil-water two-phase flows with the combination of electromagnetic flowmeter and differential pressure sensor[J]. IEEE Sensors Journal, 2023.
- [20] 苏伟童,韩文念,王康,等.基于ZYNQ的ICP-MS数据采集处理系统设计与实现[J].质谱学报,2022,43(04):473-481.
- [21] 倪国斌,李永红,李辉,等.基于FPGA和千兆以太网的数据采集系统[J].单片机与嵌入式系统应用,2023,23(12):76-79+83.
- [22] 林师远,李文慧,孙双花,等.基于FPGA的高速动态测量数据采集系统[J].电子测量技术,2023,46(15):32-37.
- [23] 辜霄,彭伟,江涛,等.210kV全固态高压脉冲调制器设计[J].真空电子技术,2024,(01):56-61.
- [24] 宫龙,刘林,程辉,吴登科,等.5MW小型化全固态高压脉冲调制器的研制与应用.芜湖国睿兆伏电子有限公司,2016-01-01.
- [25] 宋岷生.毫米波磁控管的功率合成以及阵列化设计[D].电子科技大学,2023.
- [26] 刘宏霖.基于IGBT的大功率固态脉冲调制器研究[D].电子科技大学,2020.
- [27] 郝建民.采样定理与奈奎斯特准则的研究[J].遥测遥控,1998,(02):12-20.
- [28] 陈元.基于FPGA的大功率电源数据采集与信号处理设计与实现[D].电子科技大学.
- [29] 徐义忠,曾艳丽,孙超,等.基于Linux+ARM和FPGA的高速数据采集存储系统设计及实现[J].电子设计工程,2023,31(18):21-27.
- [30] 于濮嘉,王康谊.基于ARM+FPGA的实时流传输车载记录仪设计[J].单片机与嵌入式系统应用,2021,21(09):83-86+91.
- [31] 徐海纳,郑骏.基于FPGA和ARM架构的串行通信接口模块设计[J].信息与电

- 脑(理论版),2023,35(16):190-193.
- [32] 徐胜,文丰.基于FPGA的UART自适应接收IP核设计[J].单片机与嵌入式系统应用,2023,23(11):14-16+20.
- [33] 郭忠峰,杨子豪,王赫莹.结合最小均方差滤波和目标灰度的边缘检测[J].机械工程与自动化,2020,24(04):18-20.
- [34] 甄国涌,王森,程茜茜.一种改进的LMS自适应滤波算法[J].舰船电子工程,2023,43(12):76-79+118.
- [35] 周云波.串行通讯技术[M].北京:电子工业出版社,2019
- [36] Peng H, Zheng Y, Lu G, et al. The realization of serial communication between kingview 6.55 and MCU based on Modbus-RTU protocol[C]. 2016 6th International Conference on Machinery, Materials, Environment, Biotechnology and Computer. Atlantis Press, 2016: 13-18.
- [37] Künzel G, Ribeiro M A C, Pereira C E. A tool for response time and schedulability analysis in modbus serial communications[C]. 2014 12th IEEE International Conference on Industrial Informatics (INDIN). IEEE, 2014: 446-451.
- [38] 刘光星,赵永强,王立.基于M-LVDS/RS485双速率通信系统设计[J].工业控制计算机,2023,36(05):48-50.
- [39] 卢超. 基于RS485总线网络的高速数字采编系统设计与实验[D].中北大学,2019.
- [40] Kurtaj L, Shatri V. HMI and control loops over serial line communication channel with MODBUS protocol for combinatorial weigher at potato chips production line[C]. WSEAS International Conference. Proceedings. Mathematics and Computers in Science and Engineering. World Scientific and Engineering Academy and Society, 2009 (10).
- [41] Michael D. Cultivation. Verilog HDL高级数字设计(第二版)[M].电子工业出版社,2010.
- [42] Wu H, Zhang H, Zhang Y, et al. The RFI Fast Mitigation Algorithm Based on Block LMS Filter[J]. Research in Astronomy and Astrophysics,2024,24(01):267-274.

- [43] Haykin. 著. 郑宝玉等译. 自适应滤波器原理(第四版). 北京: 电子工业出版社, 2003.
- [44] 潘玉梅. 分数阶微积分算子与Mittag-Leffler类函数的研究[D]. 中国矿业大学, 2023.
- [45] 江妍, 马瑜, 梁远哲. 基于分数阶麻雀搜索优化OTSU肺组织分割算法[J]. 计算机科学, 2021, 48(S1): 28-32.
- [46] Maity S, Saha M, Saha P, et al. Fractional calculus-based modeling and state-of-charge estimation of supercapacitor[J]. Journal of Energy Storage, 2024, 28(9): 118-259.
- [47] MA Y, ZHAO J L, LI Z X, et al. Denoised enhancement algorithm based on fraction differential and integral in 3D images [J]. computer engineering and design, 2015, 36(6): 1586-1591.
- [48] Solteiro Pires E J, Tenreiro Machado J A, de Moura Oliveira P B, et al. Particle swarm optimization with fractional-order velocity[J]. Nonlinear Dynamics, 2010, 61: 295-301.
- [49] GUO T, LAN J L, LI Y F, et al. Adaptive fractional-order Darwinian particle swarm optimization algorithm [J]. Journal of Communications, 2014, 35(4): 130-140.
- [50] Khan SA, Mitra J, Nayak TK. Development of FPGA based phase alignment logic for the high-speed protocol in HEP Experiments[J]. Computer Physics Communications. 2021, 259.
- [51] Bienert J, Maeder M, Marburg S, et al. Modal Analysis on Highly Damped Structures Using Fractional Calculus[J]. Available at SSRN 4782778.
- [52] Zhu M, Cao Y, He Z, et al. Research on Fractional-Order Sliding Mode PMSM Speed Regulation Based on Load Observer[J]. Journal of Electrical Engineering & Technology, 2024: 1-10.
- [53] Waseem, Ullah A, Awwad F A, et al. Analysis of the Corneal Geometry of the Human Eye with an Artificial Neural Network[J]. Fractal and Fractional, 2023, 7(10): 764.
- [54] ARORA S, ANAND P. Chaotic grasshopper optimization algorithm for global

- optimization[J]. Neural Computing and Applications,2018,31:4385-4405.
- [55] 张越,沈建明,王庆祥,等.一种新的变步长LMS算法及其在语音降噪中的应用[J].电子制作,2023,31(16):93-96.
- [56] 亓洪涛.基于变阶数LMS算法的光纤陀螺降噪技术研究[D].哈尔滨工程大学,2019.
- [57] Haykin.著.郑宝玉等译.自适应滤波器原理(第四版) [M].北京:电子工业出版社,2003.7.
- [58] 王展.现代数字信号处理[M].国防科技大学出版社,2016.
- [59] 吴轶刚,范猛.自适应滤波器参数选择和仿真结果[J].吉林工学院学报,2001,22(2):25-29.
- [60] 赵轶骁,汪镭.基于粒子群的LMS算法在信号滤波降噪中的应用[J].微型电脑应用,2017,33(09):71-74.
- [61] 吴熠坤,杨梓新,徐豪,等.PCB的铜表面粗糙度对高频区域信号传输损失的影响[J].印制电路信息,2024,32(02):7-13.

攻读硕士学位期间的研究成果

- [1] C. Zhou, C. Zhang, S. Luo, W. Yang, X. Liu, and R. Yu, "The LMS filtering algorithm optimized using an improved fractional-order cuckoo search algorithm," 2023 38th Youth Academic Annual Conference of Chinese Association of Automation (YAC), Hefei, China, 2023.

致谢

随着我即将完成硕士学业，我想借此机会向所有在我学术生涯中给予支持和指导的人们表达我衷心的感谢之情。

首先，我要深深感谢我的导师张春教授，在整个研究过程中给予我细致的指导和坚定的支持。张教授渊博的知识和严谨的学术态度深深影响了我的学术成长，使我能够不断取得进步。他的悉心指导和宝贵建议在解决许多困难和不确定性方面起到了关键作用，极大地丰富了我的学术和个人发展。

我还要感谢研究组的同学们杨威、戴前程和李浩宇等人。在我们共同的研究课题中，你们的合作和支持对课题的顺利执行起到了重要作用。共同努力和相互学习的过程不仅丰富了我的学术之旅，也彰显了团队合作的重要性。

此外，我要感谢校外导师刘新明和余瑞。感谢他们给予我宝贵的指导和见解。他们丰富的经验和独特的观点对我研究方向的塑造和深化起到了重要作用。

最后，我要感谢我的家人和朋友们。你们始终如一的支持和理解是我学习和生活中的动力源泉。

在此，我想向所有给予我支持和帮助的人们致以最诚挚的感谢！

尚德敏学 唯实惟新

